



Sub-1GHz 低电流 RF 收发器 A/D Flash 单片机

# BC66F3652

版本: V1.41 日期: 2023-02-09

[www.holtek.com](http://www.holtek.com)

## 目录

特性 .....	7
CPU 特性 .....	7
周边特性 .....	7
RF 收发器特性 .....	8
概述 .....	9
方框图 .....	10
引脚图 .....	11
引脚说明 .....	12
内部连接信号 .....	16
极限参数 .....	17
直流电气特性 .....	17
工作电压特性 .....	17
工作电流特性 .....	18
待机电流特性 .....	18
交流电气特性 .....	19
内部高速 RC 振荡器 – HIRC – 频率精度 .....	19
外部高速晶体 / 陶瓷振荡器 – HXT .....	19
内部低速振荡器 – LIRC .....	19
外部低速晶体振荡器 – LXT .....	19
工作频率电气特性曲线图 .....	20
系统上电时间电气特性 .....	20
输入 / 输出电气特性 .....	21
存储器电气特性 .....	22
A/D 转换器电气特性 .....	22
LVD/LVR 电气特性 .....	24
内部参考电压电气特性 .....	24
比较器电气特性 .....	25
软件控制的 LCD 驱动器电气特性 .....	25
RF 电气特性 .....	26
SPI 电气特性 .....	28
上电复位电气特性 .....	28
系统结构 .....	29
时序和流水线结构 .....	29
程序计数器 .....	30
堆栈 .....	30
算术逻辑单元 – ALU .....	31
Flash 程序存储器 .....	32
结构 .....	32
特殊向量 .....	32

查表 .....	32
查表范例 .....	33
在线烧录 – ICP .....	34
片上调试 – OCDS .....	34
在线应用编程 – IAP .....	35
<b>数据存储器 .....</b>	<b>49</b>
结构 .....	49
数据存储器寻址 .....	50
通用数据存储器 .....	50
特殊功能数据存储器 .....	50
<b>特殊功能寄存器 .....</b>	<b>52</b>
间接寻址寄存器 – IAR0, IAR1, IAR2 .....	52
存储器指针 – MP0, MP1H/MP1L, MP2H/MP2L .....	52
累加器 – ACC .....	53
程序计数器低字节寄存器 – PCL .....	54
表格寄存器 – TBLP, TBHP, TBLH .....	54
状态寄存器 – STATUS .....	54
<b>EEPROM 数据存储器 .....</b>	<b>56</b>
EEPROM 数据存储器结构 .....	56
EEPROM 寄存器 .....	56
EEPROM 读操作 .....	58
EEPROM 页擦操作 .....	58
EEPROM 写操作 .....	59
写保护 .....	60
EEPROM 中断 .....	60
编程注意事项 .....	60
<b>振荡器 .....</b>	<b>63</b>
振荡器概述 .....	63
系统时钟配置 .....	63
外部晶体 / 陶瓷振荡器 – HXT .....	64
内部高速 RC 振荡器 – HIRC .....	64
外部 32.768kHz 晶体振荡器 – LXT .....	64
内部 32kHz 振荡器 – LIRC .....	65
<b>工作模式和系统时钟 .....</b>	<b>66</b>
系统时钟 .....	66
系统工作模式 .....	66
控制寄存器 .....	68
工作模式切换 .....	70
待机电流的注意事项 .....	73
唤醒 .....	73
编程注意事项 .....	74
<b>看门狗定时器 .....</b>	<b>74</b>
看门狗定时器时钟源 .....	74

看门狗定时器控制寄存器 .....	74
看门狗定时器操作 .....	75
<b>复位和初始化 .....</b>	<b>76</b>
复位功能 .....	76
复位初始状态 .....	79
<b>输入 / 输出端口 .....</b>	<b>83</b>
上拉电阻 .....	83
PA 口唤醒 .....	84
输入 / 输出端口控制寄存器 .....	85
输入 / 输出端口源电流控制 .....	85
引脚共用功能 .....	86
输入 / 输出引脚结构 .....	91
编程注意事项 .....	92
<b>定时器模块 – TM .....</b>	<b>92</b>
简介 .....	92
TM 操作 .....	92
TM 时钟源 .....	93
TM 中断 .....	93
TM 外部引脚 .....	93
编程注意事项 .....	94
<b>简易型 TM – CTM .....</b>	<b>95</b>
简易型 TM 操作 .....	95
简易型 TM 寄存器介绍 .....	95
简易型 TM 工作模式 .....	99
<b>标准型 TM – STM .....</b>	<b>105</b>
标准型 TM 操作 .....	105
标准型 TM 寄存器介绍 .....	105
标准型 TM 工作模式 .....	109
<b>周期型 TM – PTM .....</b>	<b>117</b>
周期型 TM 操作 .....	117
周期型 TM 寄存器介绍 .....	117
周期型 TM 工作模式 .....	121
<b>A/D 转换器 .....</b>	<b>128</b>
A/D 简介 .....	128
A/D 转换寄存器介绍 .....	128
A/D 转换器参考电压 .....	132
A/D 转换器输入信号 .....	132
A/D 操作 .....	133
A/D 转换率及时序图 .....	134
A/D 转换步骤 .....	134
编程注意事项 .....	135
A/D 转换功能 .....	135
A/D 转换应用范例 .....	136

<b>比较器 .....</b>	<b>138</b>
比较器操作 .....	138
比较器寄存器 .....	138
比较器中断 .....	139
编程注意事项 .....	139
<b>串行接口模块 – SIM.....</b>	<b>140</b>
SPI 接口 .....	140
PC 接口 .....	147
<b>UART 接口 .....</b>	<b>156</b>
UART 外部引脚.....	156
UART 数据传输方案.....	157
UART 状态和控制寄存器.....	157
波特率发生器 .....	161
UART 模块的设置与控制.....	162
UART 发送器.....	163
UART 接收器.....	164
接收错误处理 .....	165
UART 模块中断结构.....	166
UART 模块暂停和唤醒.....	167
<b>带 SCOM 和 SSEG 功能的 LCD.....</b>	<b>168</b>
LCD 操作 .....	168
LCD 控制寄存器 .....	169
<b>低电压检测 – LVD .....</b>	<b>172</b>
LVD 寄存器 .....	172
LVD 操作 .....	172
<b>中断 .....</b>	<b>173</b>
中断寄存器 .....	173
中断操作 .....	178
外部中断 .....	179
比较器中断 .....	179
多功能中断 .....	179
A/D 转换器中断 .....	179
时基中断 .....	180
TM 中断 .....	181
串行接口模块中断 .....	182
UART 传输中断.....	182
LVD 中断 .....	182
EEPROM 中断.....	182
中断唤醒功能 .....	182
编程注意事项 .....	182
<b>配置选项 .....</b>	<b>183</b>
<b>存储器映射 .....</b>	<b>183</b>
控制寄存器访问 .....	183

<b>SFR 映射和位定义</b> .....	<b>184</b>
公用区控制寄存器 .....	184
Bank 0 控制寄存器.....	196
Bank 1 控制寄存器.....	204
Bank 2 控制寄存器.....	210
<b>特殊功能说明</b> .....	<b>211</b>
Sub-1GHz RF 收发器 .....	211
串行接口 .....	211
系统时钟 .....	213
频率合成器 .....	213
调制器 .....	213
状态机 .....	214
校准 .....	218
AGC & RSSI .....	218
数据包处理器 .....	219
FIFO 工作模式.....	221
接收数据包判断 .....	224
连续 RX 模式.....	225
ARK 模式：自动重发和自动应答.....	225
ATR 模式：自动发送 / 接收.....	227
信息流程范例 .....	231
<b>缩写</b> .....	<b>234</b>
<b>应用电路</b> .....	<b>236</b>
<b>指令集</b> .....	<b>237</b>
简介 .....	237
指令周期 .....	237
数据的传送 .....	237
算术运算 .....	237
逻辑和移位运算 .....	237
分支和控制转换 .....	238
位运算 .....	238
查表运算 .....	238
其它运算 .....	238
<b>指令集概要</b> .....	<b>239</b>
惯例 .....	239
扩展指令集 .....	242
<b>指令定义</b> .....	<b>244</b>
扩展指令定义 .....	256
<b>封装信息</b> .....	<b>266</b>
SAW Type 46-pin QFN (6.5mm×4.5mm×0.75mm) 外形尺寸.....	267

## 特性

### CPU 特性

- 工作电压：
  - ◆  $f_{SYS}=8\text{MHz}$ : 1.9V~3.6V
  - ◆  $f_{SYS}=12\text{MHz}$ : 2.7V~3.6V
  - ◆  $f_{SYS}=16\text{MHz}$ : 3.3V~3.6V
- $V_{DD}=3.3\text{V}$ , 系统时钟为 16MHz 时, 指令周期为 0.25 $\mu\text{s}$
- 提供暂停和唤醒功能, 以降低功耗
- 振荡器类型：
  - ◆ 外部高速晶振 – HXT
  - ◆ 内部高速 8/12/16MHz RC – HIRC
  - ◆ 外部低速 32.768kHz 晶振 – LXT
  - ◆ 内部低速 32kHz RC – LIRC
- 多种工作模式: 快速、低速、空闲和休眠
- 内部集成的振荡器无需外接元件
- 所有指令都可在 1~3 个指令周期内完成
- 查表指令
- 115 条指令
- 8 层堆栈
- 位操作指令

### 周边特性

- Flash 程序存储器: 8K $\times$ 16
- 数据存储器: 512 $\times$ 8
- True EEPROM 存储器: 128 $\times$ 8
- 看门狗定时器功能
- 支持在线应用编程 – IAP
- 22 个双向 I/O 口
- 两个与 I/O 口共用的外部中断引脚
- 可编程 I/O 口源电流可用于 LED 驱动应用
- 多个定时器模块用于时间测量、比较匹配输出、PWM 输出及单脉冲输出
- 串行接口模块 – SIM, 用于 SPI 或 I<sup>2</sup>C 通信
- 全双工通用异步收发器接口 – UART
- 软件控制 18 个 SCOM/SSEG 口和 4 个 SSEG 口的 1/3 bias LCD 驱动
- 带可编程内部参考电压  $V_R$  的 12 个外部通道 12-bit 分辨率 A/D 转换器
- 一个比较器功能
- 双时基功能用以产生固定的时间中断信号
- 低电压复位功能
- 低电压检测功能
- 封装类型: 46-pin QFN

## RF 收发器特性

- 频率带宽: 315/433/470/868/915MHz
- FSK/GFSK 调制
- 支持 3 线或 4 线 SPI 接口
- 输入电压范围宽: 1.9V~3.6V
- 可编程数据速率: 2Kbps~250Kbps
- 可编程 TX 输出功率: 高达 13dBm
- 低电流损耗
  - ◆ Deep Sleep 模式电流 0.4 $\mu$ A, 支持数据保存
  - ◆ RX 电流损耗 (AGC 开启 & 低数据速率) @ 433.92MHz: 4.2mA
  - ◆ RX 电流损耗 (AGC 开启 & 低数据速率) @ 868.3MHz: 5.5mA
  - ◆ TX 电流损耗 @ 433.92MHz: 22mA @ 10dBm P<sub>OUT</sub>
  - ◆ TX 电流损耗 @ 868.3MHz: 24mA @ 10dBm P<sub>OUT</sub>
- 高 RX 灵敏度 (433.92MHz)
  - ◆ -119dBm @ 2Kbps 无线数据速率
  - ◆ -109dBm @ 50Kbps 无线数据速率
  - ◆ -100dBm @ 250Kbps 无线数据速率
- 高 RX 灵敏度 (868.3MHz)
  - ◆ -118dBm @ 2Kbps 无线数据速率
  - ◆ -108dBm @ 50Kbps 无线数据速率
  - ◆ -100dBm @ 250Kbps 无线数据速率
- 片上 VCO 以及带内置回路滤波器的小数 N 分频合成器
- 支持低成本 16MHz 晶振, 内置负载电容
- 可编程数字通道滤波器, 实现各种数据速率条件下较佳性能
- AGC (自动增益控制) 功能实现宽输入范围, 高达 +10dBm
- AFC (自动频率补偿) 功能用于补偿晶振老化造成的频漂
- 片上低功率 RC 振荡器用于 WOR (从 RX 唤醒) 和 WOT (从 TX 唤醒) 功能
- 物理 TX/RX FIFO 缓冲器: TX 64 字节, RX 64 字节
- Simple FIFO/Block FIFO/Extend FIFO (高达 255 字节)/Infinite FIFO 模式
- 可编程载波检测阈值
- FIFO 模式和 Direct 模式支持帧同步识别
- 数据包处理
  - ◆ FEC (正向纠错)
  - ◆ 数据白化
  - ◆ 曼彻斯特编码
  - ◆ CRC-16 校验
- ATR (自动发送 / 接收)
  - ◆ 自动重发
  - ◆ 自动应答
  - ◆ WOT + 自动重发
  - ◆ WOR + 自动应答

- 数据包过滤
  - ◆ CRC 过滤
  - ◆ 地址过滤

## 概述

该单片机是一款具有 8 位高性能精简指令集的 Flash 单片机，集成高功率 PA、GFSK 频率合成器及数字解调功能。

在存储器特性方面，Flash 存储器可多次编程的特性给用户提供了较大的方便。此外还包含了一个 RAM 数据存储器和一个可用于存储序号、校准数据等非易失性数据的 True EEPROM 存储器。

在模拟特性方面，该单片机包含一个多通道 12 位 A/D 转换器和比较器功能。还带有多个较为灵活的定时器模块，可提供定时功能、脉冲产生功能及 PWM 产生功能。内建完整的 SPI，I<sup>2</sup>C 和 UART 功能，这三种流行接口为设计人员提供了易与外部硬件通信的方式。内部看门狗定时器、低电压复位和低电压检测等保护特性，外加优秀的抗干扰和 ESD 保护性能，确保单片机在恶劣的电磁干扰环境下可靠地运行。

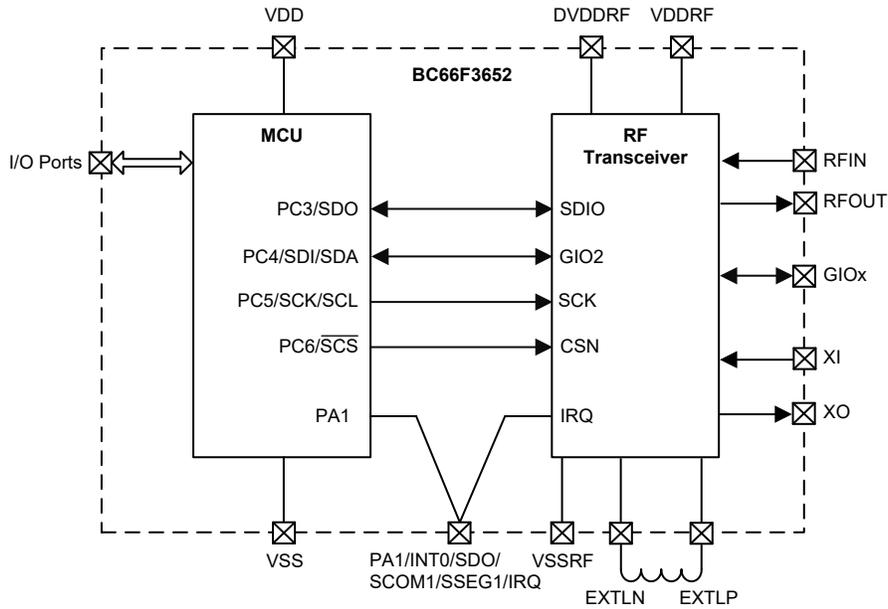
该单片机提供了丰富的内部和外部高速、低速振荡器功能选项，且内建完整的系统振荡器，无需外围元器件。其在不同工作模式之间动态切换的能力，为用户提供了一个优化单片机操作和减少功耗的手段。

内建 RF 模块为高性能、低成本 FSK/GFSK 收发器，可用于 315MHz、433MHz、470MHz、868MHz 和 915MHz 频段的无线应用。该芯片内置一个高度集成的 sub-1GHz 收发器和一个基带调制解调器，可编程数据速率范围是 2Kbps~250Kbps。数据处理特性包括 64 字节 TX/RX FIFO 和数据包处理如 CRC 生成、正向纠错、数据白化和曼彻斯特编码。

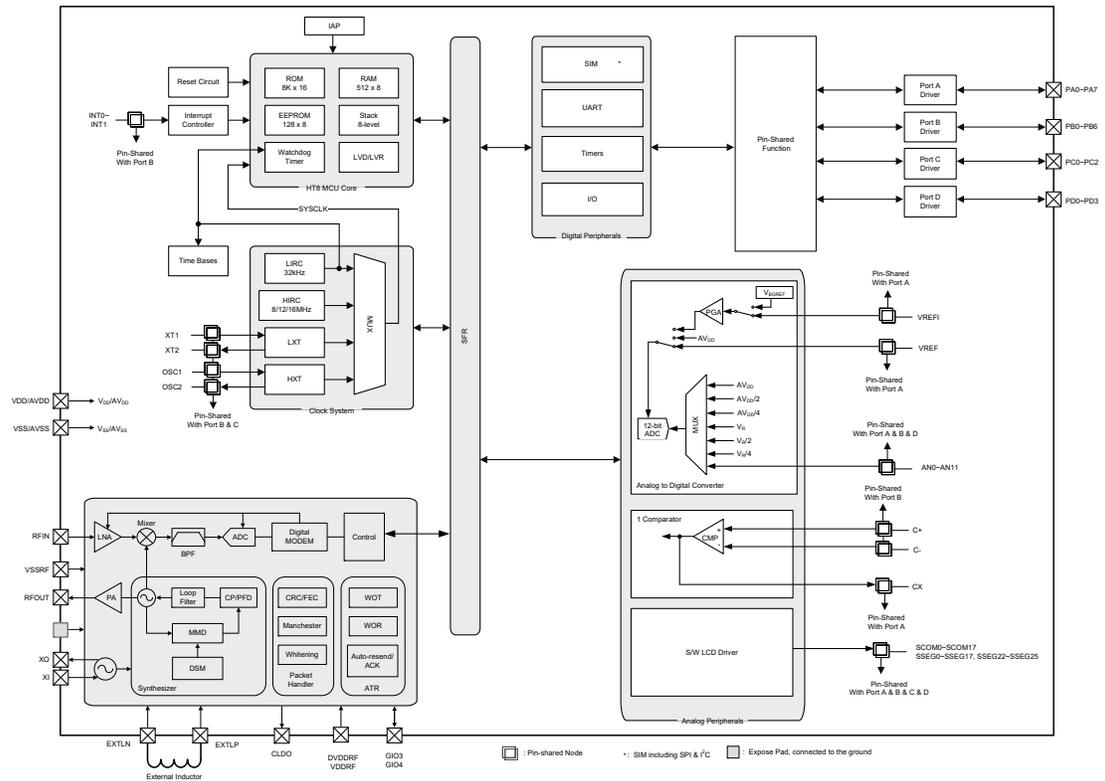
内建 RF 模块针对低功耗应用优化性能。在 433MHz 频段，其 RX 模式工作电流为 4.2mA，提供 +10dBm TX 输出功率时的电流损耗为 22mA。低功耗低中频接收器可在 433/868MHz 频段数据速率为 2Kbps 时实现 -119dBm 的灵敏度。E 类功率放大器可在 433/868MHz 频段提供高达 +13dBm 的输出功率。完全内置的小数 N 分频合成器所支持的频率范围宽，分辨率高。芯片内部还内置有回路滤波器和晶振负载电容，减少外部元器件需求。

包含 I/O 使用灵活、时基功能和其它特性确保了该单片机可以广泛应用于各种产品中，例如 IoT (智能小区)，无线抄表(水表/气表)，农业/工业控制等方面。

方框图

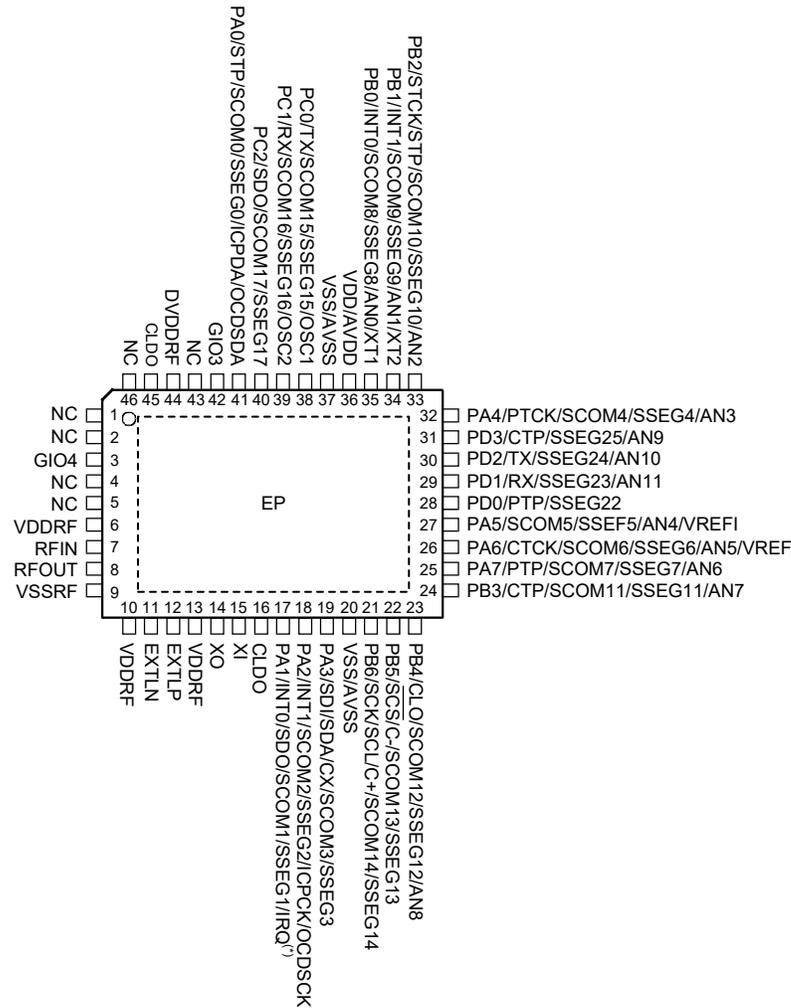


单片机连接框图



功能方框图

## 引脚图



BC66F3652/BC66V3652  
46 QFN-A

- 注：1. 若共用引脚同时有多种输出，所需引脚共用功能通过引脚共用寄存器中相应的软件位控制。
2. BC66V3652 是 BC66F3652 的 OCDS EV 芯片，OCSDA 和 OCDSCK 引脚为 OCDS 专用引脚，仅存在于 OCDS EV 芯片。
3. \*：与 PA1 共用的 IRQ 引脚是 RF 的数字功能输出线，若要使用该引脚功能，PA1 相关的引脚共用功能选择位需合理设置以选择 I/O 功能。
4. 对于未引出的引脚，需合理设置其状态以避免输入浮空造成额外耗电，详见“待机电流注意事项”和“输入/输出端口”章节。

## 引脚说明

每个引脚的功能如下表所列。然而，引脚配置的详细内容见规格书的其它章节。

引脚名称	功能	OPT	I/T	O/T	说明
PA0/STP/SCOM0/ SSEG0/ICPDA/ OCDSDA	PA0	PAS0 PAWU PAPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	STP	PAS0	—	CMOS	STM 输出
	SCOM0	PAS0	—	SCOM	软件控制 LCD 通用输出
	SSEG0	PAS0	—	SSEG	软件控制 LCD SEG 输出
	ICPDA	—	ST	CMOS	ICP 数据 / 地址
	OCDSDA	—	ST	CMOS	OCDS 数据 / 地址，仅用于 EV 芯片
PA1/INT0/SDO/ SCOM1/SSEG1/IRQ	PA1	PAS0 PAWU PAPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	INT0	PAS0 INTEG INTC0 IFS	ST	—	外部中断 0
	SDO	PAS0	—	CMOS	SPI 数据输出
	SCOM1	PAS0	—	SCOM	软件控制 LCD 通用输出
	SSEG1	PAS0	—	SSEG	软件控制 LCD SEG 输出
	IRQ	—	—	CMOS	数字功能输出
PA2/INT1/SCOM2/ SSEG2/ICPCK/ OCDSCK	PA2	PAS0 PAWU PAPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	INT1	PAS0 INTEG INTC2 IFS	ST	—	外部中断 1
	SCOM2	PAS0	—	SCOM	软件控制 LCD 通用输出
	SSEG2	PAS0	—	SSEG	软件控制 LCD SEG 输出
	ICPCK	—	ST	—	ICP 时钟
	OCDSCK	—	ST	—	OCDS 时钟，仅用于 EV 芯片
PA3/SDI/SDA/CX/ SCOM3/SSEG3	PA3	PAS0 PAWU PAPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	SDI	PAS0 IFS	ST	—	SPI 数据输入
	SDA	PAS0 IFS	ST	NMOS	I <sup>2</sup> C 数据线
	CX	PAS0	—	CMOS	比较器输出
	SCOM3	PAS0	—	SCOM	软件控制 LCD 通用输出
	SSEG3	PAS0	—	SSEG	软件控制 LCD SEG 输出

引脚名称	功能	OPT	I/T	O/T	说明
PA4/PTCK/SCOM4/ SSEG4/AN3	PA4	PAS1 PAWU PAPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	PTCK	PAS1	ST	—	PTM 时钟输入
	SCOM4	PAS1	—	SCOM	软件控制 LCD 通用输出
	SSEG4	PAS1	—	SSEG	软件控制 LCD SEG 输出
	AN3	PAS1	AN	—	A/D 转换器模拟输入通道 3
PA5/SCOM5/ SSEG5/AN4/VREFI	PA5	PAS1 PAWU PAPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	SCOM5	PAS1	—	SCOM	软件控制 LCD 通用输出
	SSEG5	PAS1	—	SSEG	软件控制 LCD SEG 输出
	AN4	PAS1	AN	—	A/D 转换器模拟输入通道 4
	VREFI	PAS1	AN	—	A/D 转换器参考电压输入
PA6/CTCK/SCOM6/ SSEG6/AN5/VREF	PA6	PAS1 PAWU PAPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	CTCK	PAS1	ST	—	CTM 时钟输入
	SCOM6	PAS1	—	SCOM	软件控制 LCD 通用输出
	SSEG6	PAS1	—	SSEG	软件控制 LCD SEG 输出
	AN5	PAS1	AN	—	A/D 转换器模拟输入通道 5
	VREF	PAS1	AN	—	A/D 转换器参考电压输入
PA7/PTP/SCOM7/ SSEG7/AN6	PA7	PAS1 PAWU PAPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻和唤醒功能
	PTP	PAS1	—	CMOS	PTM 输出
	SCOM7	PAS1	—	SCOM	软件控制 LCD 通用输出
	SSEG7	PAS1	—	SSEG	软件控制 LCD SEG 输出
	AN6	PAS1	AN	—	A/D 转换器模拟输入通道 6
PB0/INT0/SCOM8/ SSEG8/AN0/XT1	PB0	PBS0 PBPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	INT0	PBS0 INTEG INTC0 IFS	ST	—	外部中断 0
	SCOM8	PBS0	—	SCOM	软件控制 LCD 通用输出
	SSEG8	PBS0	—	SSEG	软件控制 LCD SEG 输出
	AN0	PBS0	AN	—	A/D 转换器模拟输入通道 0
	XT1	PBS0	AN	—	LXT 振荡器引脚

引脚名称	功能	OPT	I/T	O/T	说明
PB1/INT1/SCOM9/ SSEG9/AN1/XT2	PB1	PBS0 PBPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	INT1	PBS0 INTEG INTC2 IFS	ST	—	外部中断 1
	SCOM9	PBS0	—	SCOM	软件控制 LCD 通用输出
	SSEG9	PBS0	—	SSEG	软件控制 LCD SEG 输出
	AN1	PBS0	AN	—	A/D 转换器模拟输入通道 1
	XT2	PBS0	—	AN	LXT 振荡器引脚
PB2/STCK/STP/ SCOM10/SSEG10/ AN2	PB2	PBS0 PBPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	STCK	PBS0	ST	—	STM 时钟输入
	STP	PBS0	—	CMOS	STM 输出
	SCOM10	PBS0	—	SCOM	软件控制 LCD 通用输出
	SSEG10	PBS0	—	SSEG	软件控制 LCD SEG 输出
	AN2	PBS0	AN	—	A/D 转换器模拟输入通道 2
PB3/CTP/SCOM11/ SSEG11/AN7	PB3	PBS0 PBPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	CTP	PBS0	—	CMOS	CTM 输出
	SCOM11	PBS0	—	SCOM	软件控制 LCD 通用输出
	SSEG11	PBS0	—	SSEG	软件控制 LCD SEG 输出
	AN7	PBS0	AN	—	A/D 转换器模拟输入通道 7
PB4/CLO/SCOM12/ SSEG12/AN8	PB4	PBS1 PBPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	CLO	PBS1	—	CMOS	系统时钟输出
	SCOM12	PBS1	—	SCOM	软件控制 LCD 通用输出
	SSEG12	PBS1	—	SSEG	软件控制 LCD SEG 输出
	AN8	PBS1	AN	—	A/D 转换器模拟输入通道 8
PB5/ $\overline{\text{SCS}}$ /C-/ SCOM13/SSEG13	PB5	PBS1 PBPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	$\overline{\text{SCS}}$	PBS1 IFS	ST	CMOS	SPI 从机选择
	C-	PBS1	AN	—	比较器负极输入
	SCOM13	PBS1	—	SCOM	软件控制 LCD 通用输出
	SSEG13	PBS1	—	SSEG	软件控制 LCD SEG 输出
PB6/SCK/SCL/C+/ SSEG14/SCOM14	PB6	PBS1 PBPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	SCK	PBS1 IFS	ST	CMOS	SPI 串行时钟
	SCL	PBS1 IFS	ST	NMOS	I <sup>2</sup> C 时钟线
	C+	PBS1	AN	—	比较器正极输入

引脚名称	功能	OPT	I/T	O/T	说明
PB6/SCK/SCL/C+/ SSEG14/SCOM14	SCOM14	PBS1	—	SCOM	软件控制 LCD 通用输出
	SSEG14	PBS1	—	SSEG	软件控制 LCD SEG 输出
PC0/TX/SCOM15/ SSEG15/OSC1	PC0	PCS0 PCPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	TX	PCS0	—	CMOS	UART TX 串行数据输出
	SCOM15	PCS0	—	SCOM	软件控制 LCD 通用输出
	SSEG15	PCS0	—	SSEG	软件控制 LCD SEG 输出
	OSC1	PCS0	AN	—	HXT 振荡器引脚
PC1/RX/SCOM16/ SSEG16/OSC2	PC1	PCS0 PCPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	RX	PCS0 IFS	ST	—	UART RX 串行数据输入
	SCOM16	PCS0	—	SCOM	软件控制 LCD 通用输出
	SSEG16	PCS0	—	SSEG	软件控制 LCD SEG 输出
	OSC2	PCS0	—	AN	HXT 振荡器引脚
PC2/SDO/SCOM17/ SSEG17	PC2	PCS0 PCPU	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	SDO	PCS0	—	CMOS	SPI 串行数据输出
	SCOM17	PCS0	—	SCOM	软件控制 LCD 通用输出
	SSEG17	PCS0	—	SSEG	软件控制 LCD SEG 输出
PD0/PTP/SSEG22	PD0	PDS0 PDPUP	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	PTP	PDS0	—	CMOS	PTM 输出
	SSEG22	PDS0	—	SSEG	软件控制 LCD SEG 输出
PD1/RX/SSEG23/ AN11	PD1	PDS0 PDPUP	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	RX	PDS0 IFS	ST	—	UART RX 串行数据输入
	SSEG23	PDS0	—	SSEG	软件控制 LCD SEG 输出
	AN11	PDS0	AN	—	A/D 转换器模拟输入通道 11
PD2/TX/SSEG24/ AN10	PD2	PDS0 PDPUP	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	TX	PDS0	—	CMOS	UART TX 串行数据输出
	SSEG24	PDS0	—	SSEG	软件控制 LCD SEG 输出
	AN10	PDS0	AN	—	A/D 转换器模拟输入通道 10
PD3/CTP/SSEG25/ AN9	PD3	PDS0 PDPUP	ST	CMOS	通用 I/O 口，可通过寄存器设置上拉电阻
	CTP	PDS0	—	CMOS	CTM 输出
	SSEG25	PDS0	—	SSEG	软件控制 LCD SEG 输出
	AN9	PDS0	AN	—	A/D 转换器模拟输入通道 9
VDD/AVDD	VDD	—	PWR	—	数字正电源
	AVDD	—	PWR	—	模拟正电源

引脚名称	功能	OPT	I/T	O/T	说明
VSS/AVSS	VSS	—	PWR	—	数字负电源
	AVSS	—	PWR	—	模拟负电源，接地
GIO3	GIO3	—	ST	CMOS	RF 多功能 I/O 3
GIO4	GIO4	—	ST	CMOS	RF 多功能 I/O 4
NC	NC	—	—	—	未连接
VDDRF	VDDRF	—	PWR	—	RF 模拟正电源
DVDDRF	DVDDRF	—	PWR	—	RF 数字正电源
RFIN	RFIN	—	AN	—	RF LNA 信号输入
RFOUT	RFOUT	—	—	AN	RF 功率放大器输出
VSSRF	VSSRF	—	PWR	—	RF 地
EXTLN	EXTLN	—	AN	—	连接到外部电感
EXTLP	EXTLP	—	AN	—	连接到外部电感
XO	XO	—	—	AN	RF 晶体振荡器输出
XI	XI	—	AN	—	RF 晶体振荡器输入
CLDO	CLDO	—	—	PWR	LDO 输出，连接旁路电容
GND	GND	—	PWR	—	地
EP	VSS	—	PWR	—	裸露焊盘，接地

注：I/T：输入类型；

OPT：通过寄存器选项来配置；

PWR：电源

ST：施密特触发输入；

SSEG：软件控制 LCD SEG；

O/T：输出类型；

AN：模拟信号；

CMOS：CMOS 输出；

NMOS：NMOS 输出；

SCOM：软件控制 LCD COM。

### 内部连接信号

MCU 的 PC3、PC4、PC5、PC6 分别与收发器的 SDIO、GIO2、SCK、CSN 进行内部连接，且都未引出到外部封装。用户需合理配置 PC3、PC4、PC5、PC6 相关 I/O 控制以实现正确的内部连接。

MCU 信号	类型	RF 收发器信号	类型	描述
PC3/SDO	DI/O	SDIO	DI/O	RF SPI 数据输入 / 输出
PC4/SDI/SDA	DI/O	GIO2	DI/O	RF 多功能 I/O 2
PC5/SCK/SCL	DO	SCK	DI	RF SPI 时钟输入
PC6/SCS	DO	CSN	DI	RF SPI 芯片选择输入，低有效

注：DI：数字输入；

DO：数字输出；

DI/O：数字输入 / 输出。

## 极限参数

电源供应电压 .....	$V_{SS}-0.3V\sim 3.6V$
输入电压 .....	$V_{SS}-0.3V\sim V_{DD}+0.3V$
储存温度 .....	$-60^{\circ}C\sim 150^{\circ}C$
工作温度 .....	$-40^{\circ}C\sim 85^{\circ}C$
$I_{OL}$ 总电流 .....	80mA
$I_{OH}$ 总电流 .....	-80mA
总功耗 .....	500mW
ESD HBM .....	$\pm 2kV$

\* 该单片机对 ESD 敏感。人体模式 (Human Body Mode) 符合 MIL-STD-883 标准。  
注：这里只强调额定功率，超过极限参数所规定的范围将对芯片造成损害，无法预期芯片在上述标示范围外的工作状态，而且若长期在标示范围外的条件下工作，可能影响芯片的可靠性。

## 直流电气特性

以下表格中参数测量结果可能受多个因素影响，如振荡器类型、工作电压、工作频率、引脚负载状况、温度和程序指令等等。

### 工作电压特性

$T_a=-40^{\circ}C\sim 85^{\circ}C$

符号	参数	测试条件	最小	典型	最大	单位
$V_{DD}$	工作电压 - HXT	$f_{SYS}=f_{HXT}=8MHz$	1.9	—	3.6	V
		$f_{SYS}=f_{HXT}=12MHz$	2.7	—	3.6	
		$f_{SYS}=f_{HXT}=16MHz$	3.3	—	3.6	
	工作电压 - HIRC	$f_{SYS}=f_{HIRC}=8MHz$	1.9	—	3.6	V
		$f_{SYS}=f_{HIRC}=12MHz$	2.7	—	3.6	
		$f_{SYS}=f_{HIRC}=16MHz$	3.3	—	3.6	

### 工作电流特性

Ta=-40°C~85°C

符号	工作模式	测试条件		最小	典型	最大	单位			
		V <sub>DD</sub>	条件							
I <sub>DD</sub>	低速模式 – LIRC	3V	f <sub>SYS</sub> =32kHz	—	10	20	μA			
	低速模式 – LXT	3V	f <sub>SYS</sub> =32768Hz	—	10	20	μA			
	快速模式 – HIRC	3V	f <sub>SYS</sub> =8MHz	—	1.0	1.5	mA			
		2.7V	f <sub>SYS</sub> =12MHz	—	1.2	2.2				
		3V		—	1.50	2.75				
	快速模式 – HXT	3V	f <sub>SYS</sub> =16MHz	—	3.2	4.8	mA			
		3V	f <sub>SYS</sub> =8MHz	—	1.0	1.5		mA		
				2.7V	f <sub>SYS</sub> =12MHz	—			1.2	2.2
				3V		—			1.50	2.75
	3.3V	f <sub>SYS</sub> =16MHz	—	3.2	4.8	mA				

注：当使用该表格电气特性数据时，以下几点需注意：

1. 任何数字输入都设置为非浮空的状态。
2. 所有测量都在无负载且所有外围功能关闭的条件下进行。
3. 无直流电流路径。
4. 所有工作电流数值是在执行连续的 NOP 指令循环程序下测得。

### 待机电流特性

Ta=25°C，除非另有说明。

符号	工作模式	测试条件		最小	典型	最大	最大 @85°C	单位			
		V <sub>DD</sub>	条件								
I <sub>STB</sub>	休眠模式	3V	WDT off	—	0.5	1.8	3.5	μA			
		3V	WDT on	—	1.8	3.6	8.0	μA			
	空闲模式 0 – LIRC	3V	f <sub>SUB</sub> on	—	3.0	5.0	9.0	μA			
	空闲模式 0 – LXT	3V	f <sub>SUB</sub> on	—	3.0	5.0	9.0	μA			
	空闲模式 1 – HIRC	3V	f <sub>SUB</sub> on, f <sub>SYS</sub> =8MHz	—	360	500	600	μA			
		2.7V	f <sub>SUB</sub> on, f <sub>SYS</sub> =12MHz	—	550	700	800				
		3V		—	650	800	900				
	空闲模式 1 – HXT	3.3V	f <sub>SUB</sub> on, f <sub>SYS</sub> =16MHz	—	1.8	3.6	4.4	mA			
		3V	f <sub>SUB</sub> on, f <sub>SYS</sub> =8MHz	—	360	500	600		μA		
				2.7V	f <sub>SUB</sub> on, f <sub>SYS</sub> =12MHz	—	432			600	720
				3V		—	540			750	900
	3.3V	f <sub>SUB</sub> on, f <sub>SYS</sub> =16MHz	—	1.8	3.6	4.4	mA				

注：当使用该表格电气特性数据时，以下几点需注意：

1. 任何数字输入都设置为非浮空的状态。
2. 所有测量都在无负载且所有外围功能关闭的条件下进行。
3. 无直流电流路径。
4. 所有待机电流数值都是在 HALT 指令执行后即停止执行所有指令后测得。

## 交流电气特性

以下表格中参数测量结果可能受多个因素影响，如振荡器类型、工作电压、工作频率和温度等等。

### 内部高速 RC 振荡器 – HIRC – 频率精准度

程序烧录时，烧录器会依据用户选择的 HIRC 频率和工作电压 (3V) 对 HIRC 进行频率精准度调整。

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	温度				
f <sub>HIRC</sub>	通过烧录器调整后的 8MHz HIRC 频率	3V	25°C	-1%	8	+1%	MHz
			-40°C~85°C	-2%	8	+2%	
	通过烧录器调整后的 12MHz HIRC 频率	3V	25°C	-1%	12	+1%	MHz
			-40°C~85°C	-2%	12	+2%	
	通过烧录器调整后的 16MHz HIRC 频率	3V	25°C	-2.5%	16	+2.5%	MHz
			-40°C~85°C	-3%	16	+3%	

- 注：1. 烧录器可在 3V 电压下对 HIRC 频率进行调整，在此提供 V<sub>DD</sub>=3V 时的参数值。  
 2. 3V 表格列下面提供的是全压条件下的参数值。当应用电压范围是 1.9V~3.6V 时，建议烧录器电压固定在 3V。  
 3. 表格中提供的最小和最大误差值仅在对应的烧录器调整频率下有效。当烧录器已对所选的频率进行调整，此后再通过程序中振荡器控制位将其频率改为其它值时，频率误差范围将增加到 ±20%。

### 外部高速晶体 / 陶瓷振荡器 – HXT

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	温度				
f <sub>HXT</sub>	系统时钟 – HXT	1.9V~3.6V	-40°C~85°C	—	8	—	MHz
		2.7V~3.6V		—	12	—	MHz
		3.3V~3.6V		—	16	—	MHz
t <sub>START</sub>	HXT 启动时间	3V	-40°C~85°C	—	—	25	ms

### 内部低速振荡器 – LIRC

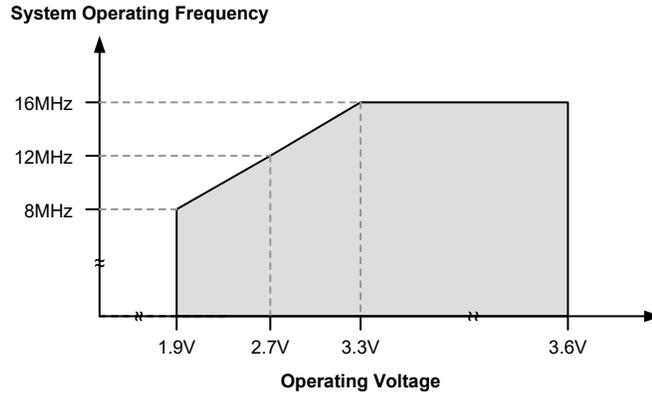
符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	温度				
f <sub>LIRC</sub>	LIRC 频率	2.2V~3.6V	-40°C~85°C	-10%	32	+10%	kHz
t <sub>START</sub>	LIRC 启动时间	—	-40°C~85°C	—	—	100	μs

### 外部低速晶体振荡器 – LXT

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
f <sub>LXT</sub>	系统时钟 – LXT	1.9V~3.6V	-40°C~85°C	—	32768	—	Hz
t <sub>START</sub>	LXT 启动时间	3V	-40°C~85°C	—	—	1000	ms
Duty Cycle	占空比	—	-40°C~85°C	40	—	60	%
R <sub>NEG</sub>	负阻	2.2V	-40°C~85°C	3×ESR	—	—	Ω

注：C<sub>1</sub>、C<sub>2</sub>、R<sub>p</sub> 为外部元器件，C<sub>1</sub>=C<sub>2</sub>=10pF，R<sub>p</sub>=10MΩ。C<sub>L</sub>=7pF，ESR=30kΩ。

### 工作频率电气特性曲线图



### 系统上电时间电气特性

Ta=-40°C~85°C

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
t <sub>SST</sub>	系统启动时间 (从 f <sub>sys</sub> off 的状态下唤醒)	—	f <sub>sys</sub> =f <sub>H</sub> ~f <sub>H</sub> /64, f <sub>H</sub> =f <sub>HXT</sub>	—	128	—	t <sub>HXT</sub>
		—	f <sub>sys</sub> =f <sub>H</sub> ~f <sub>H</sub> /64, f <sub>H</sub> =f <sub>HIRC</sub>	—	16	—	t <sub>HIRC</sub>
		—	f <sub>sys</sub> =f <sub>sub</sub> =f <sub>LXT</sub>	—	1024	—	t <sub>LXT</sub>
		—	f <sub>sys</sub> =f <sub>sub</sub> =f <sub>LIRC</sub>	—	2	—	t <sub>LIRC</sub>
	系统启动时间 (从 f <sub>sys</sub> on 的状态下唤醒)	—	f <sub>sys</sub> =f <sub>H</sub> ~f <sub>H</sub> /64, f <sub>H</sub> =f <sub>HXT</sub> 或 f <sub>HIRC</sub>	—	2	—	t <sub>H</sub>
		—	f <sub>sys</sub> =f <sub>sub</sub> =f <sub>LXT</sub> 或 f <sub>LIRC</sub>	—	2	—	t <sub>sub</sub>
		—	f <sub>HXT</sub> off→on	—	1024	—	t <sub>HXT</sub>
系统速度切换时间 (快速模式 → 低速模式或 低速模式 → 快速模式)	—	f <sub>HIRC</sub> off→on	—	16	—	t <sub>HIRC</sub>	
	—	f <sub>LXT</sub> off→on	—	1024	—	t <sub>LXT</sub>	
	—	RR <sub>POR</sub> =5V/ms	14	16	18	ms	
t <sub>RSTD</sub>	系统复位延迟时间 (上电复位或 LVR 硬件复位)	—	—	14	16		18
	系统复位延迟时间 (LVRC/WDT/RTC 软件复位)	—	—	14	16		18
t <sub>SRESET</sub>	最小软件复位延迟脉宽	—	—	45	90	120	μs
t <sub>ACTV</sub>	ROM 激活时间 – 从暂停模式唤醒	—	—	32	—	64	μs

- 注：1. 系统启动时间参数里提到的 f<sub>sys</sub> on/off 状态取决于工作模式类型以及所选的系统时钟振荡器。更多相关细节请参考系统工作模式章节。
2. t<sub>HIRC</sub> 等符号所表示的时间单位，是其对应频率值的倒数，相关频率值在前面表格有说明。例如 t<sub>HIRC</sub>=1/f<sub>HIRC</sub>, t<sub>sys</sub>=1/f<sub>sys</sub> 等。
3. 若 LIRC 被选择作为系统时钟源且在休眠模式下 LIRC 关闭，则上面表格中对应 t<sub>SST</sub> 数值还需加上 LIRC 频率表格里提供的 LIRC 启动时间 t<sub>START</sub>。
4. 系统速度切换时间实际上是指新使能的振荡器的启动时间。
5. 在计算从暂停模式唤醒的系统总启动时间时，还需加上 ROM 激活时间 t<sub>ACTV</sub>。

## 输入 / 输出电气特性

Ta=-40°C~85°C

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
V <sub>IL</sub>	I/O 口低电平输入电压	—	—	0	—	0.2V <sub>DD</sub>	V
V <sub>IH</sub>	I/O 口高电平输入电压	—	—	0.8V <sub>DD</sub>	—	V <sub>DD</sub>	V
I <sub>OL</sub>	I/O 口灌电流	3V	V <sub>OL</sub> =0.1V <sub>DD</sub>	16	32	—	mA
I <sub>OH</sub>	I/O 口源电流	3V	V <sub>OH</sub> =0.9V <sub>DD</sub> , SLEDCn[m+1:m]=00B (n=0, 1; m=0, 2, 4, 6)	-0.7	-1.5	—	mA
		3V	V <sub>OH</sub> =0.9V <sub>DD</sub> , SLEDCn[m+1:m]=01B (n=0, 1; m=0, 2, 4, 6)	-1.3	-2.5	—	
		3V	V <sub>OH</sub> =0.9V <sub>DD</sub> , SLEDCn[m+1:m]=10B (n=0, 1; m=0, 2, 4, 6)	-1.8	-3.6	—	
		3V	V <sub>OH</sub> =0.9V <sub>DD</sub> , SLEDCn[m+1:m]=11B (n=0, 1; m=0, 2, 4, 6)	-4	-8	—	
R <sub>PH</sub>	I/O 口上拉电阻 (注)	3V	LVPU=0 PXPu=FFH (Px: PA, PB, PC, PD)	20	60	100	kΩ
		3V	LVPU=1 PXPu=FFH (Px: PA, PB, PC, PD)	6.67	15.00	23.00	kΩ
I <sub>LEAK</sub>	输入漏电流	3V	V <sub>IN</sub> =V <sub>DD</sub> 或 V <sub>IN</sub> =V <sub>SS</sub>	—	—	±1	μA
t <sub>TCK</sub>	TM 时钟输入引脚最小脉宽	—	—	0.3	—	—	μs
t <sub>INT</sub>	外部中断输入最小脉宽	—	—	10	—	—	μs

注: R<sub>PH</sub> 内部上拉电阻值的计算方法是: 引脚接地并设置为输入且使能上拉电阻功能, 然后在特定电源电压下测量该引脚上电流, 最后电压除以测量的电流值从而得到此上拉电阻值。

## 存储器电气特性

Ta=-40°C~85°C，除非另有说明。

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
V <sub>RW</sub>	读 / 写工作电压	—	—	V <sub>DDmin</sub>	—	V <sub>DDmax</sub>	V
<b>Flash 程序存储器 / 数据 EEPROM 存储器</b>							
t <sub>FWR</sub>	Flash 程序存储器写入时间	—	—	—	2.2	2.7	ms
t <sub>FER</sub>	Flash 程序存储器擦除时间	—	—	—	3.2	3.9	ms
t <sub>EERD</sub>	EEPROM 读取时间	—	—	—	—	4	t <sub>sys</sub>
t <sub>EEWR</sub>	EEPROM 写入时间 (Byte 模式)	—	—	—	5.4	6.6	ms
	EEPROM 写入时间 (Page 模式)	—	—	—	2.2	2.7	ms
t <sub>EEER</sub>	EEPROM 擦除时间	—	—	—	3.2	3.9	ms
E <sub>P</sub>	电容耐久性 – Flash 程序存储器	—	—	10K	—	—	E/W
	电容耐久性 – 数据 EEPROM 存储器	—	—	100K	—	—	
t <sub>RETD</sub>	ROM 数据保存时间	—	Ta=25°C	—	40	—	Year
<b>RAM 数据存储器</b>							
V <sub>DR</sub>	RAM 数据保存电压	—	—	1	—	—	V

注：“E/W”表示擦 / 写次数。

## A/D 转换器电气特性

Ta=-40°C~85°C

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
V <sub>DD</sub>	A/D 转换器工作电压	—	—	1.9	—	3.6	V
V <sub>ADI</sub>	A/D 转换器输入电压	—	—	0	—	V <sub>REF</sub>	V
V <sub>REF</sub>	A/D 转换器参考电压	—	—	1.9	—	V <sub>DD</sub>	V
N <sub>R</sub>	分辨精度	—	—	—	—	12	Bit
DNL	A/D 转换非线性微分误差	2V	SAINS[3:0]=0000B, SAVRS[1:0]=01B, V <sub>REF</sub> =V <sub>DD</sub> , t <sub>ADCK</sub> =0.5μs	-3	—	+3	LSB
		3V	SAINS[3:0]=0000B, SAVRS[1:0]=01B, V <sub>REF</sub> =V <sub>DD</sub> , t <sub>ADCK</sub> =0.5μs	-3	—	+3	LSB
	SAINS[3:0]=0000B, SAVRS[1:0]=01B, V <sub>REF</sub> =V <sub>DD</sub> , t <sub>ADCK</sub> =10μs						

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
INL	A/D 转换非线性积分误差	2V	SAINS[3:0]=0000B, SAVRS[1:0]=01B, V <sub>REF</sub> =V <sub>DD</sub> , t <sub>ADCK</sub> =0.5μs	-4	—	+4	LSB
		3V	SAINS[3:0]=0000B, SAVRS[1:0]=01B, V <sub>REF</sub> =V <sub>DD</sub> , t <sub>ADCK</sub> =0.5μs				
			SAINS[3:0]=0000B, SAVRS[1:0]=01B, V <sub>REF</sub> =V <sub>DD</sub> , t <sub>ADCK</sub> =10μs				
I <sub>ADC</sub>	A/D 转换器使能的额外电流	3V	无负载 (t <sub>ADCK</sub> =0.5μs)	—	450	600	μA
t <sub>ADCK</sub>	A/D 转换器时钟周期	—	2.0V ≤ V <sub>DD</sub> ≤ 3.6V	0.5	—	10.0	μs
t <sub>ADS</sub>	A/D 采样时间	—	—	—	4	—	t <sub>ADCK</sub>
t <sub>ADC</sub>	A/D 转换时间 (包括采样和保持时间)	—	—	—	16	—	t <sub>ADCK</sub>
t <sub>ON2ST</sub>	A/D 转换器 On-to-Start 时间	—	—	4	—	—	μs
I <sub>PGA</sub>	PGA 使能的额外电流	2.2V	无负载, PGAIS=1, PGAGS[1:0]=01	—	250	500	μA
		3V	无负载, PGAIS=1, PGAGS[1:0]=01	—	300	600	μA
V <sub>OR</sub>	PGA 最大输出电压范围	2.2V	—	V <sub>SS</sub> +0.1	—	V <sub>DD</sub> -0.1	V
		3V	—	V <sub>SS</sub> +0.1	—	V <sub>DD</sub> -0.1	V
V <sub>VR</sub>	PGA 固定电压输出	—	V <sub>DD</sub> =2.2V~3.6V V <sub>RI</sub> =V <sub>BGREF</sub> (PGAIS=1)	Typ. -1%	2	Typ. +1%	V
		—	V <sub>DD</sub> =3.2V~3.6V V <sub>RI</sub> =V <sub>BGREF</sub> (PGAIS=1)	Typ. -1%	3	Typ. +1%	V
V <sub>IR</sub>	PGA 输入电压范围	3V	增益 = 1, PGAIS=0 相对增益 增益误差 < ±5%	V <sub>SS</sub> +0.1	—	V <sub>DD</sub> -1.4	V
V <sub>OS_PGA</sub>	PGA 输入补偿电压	3V	未校准	-15	—	+15	mV

## LVD/LVR 电气特性

Ta=-40°C~85°C

符号	参数	测试条件		Min.	Typ.	Max.	Unit
		V <sub>DD</sub>	条件				
V <sub>LVR</sub>	低电压复位电压	—	LVR 使能, 电压选择 1.7V	-5%	1.7	+5%	V
			LVR 使能, 电压选择 1.9V	-5%	1.9	+5%	
			LVR 使能, 电压选择 2.55V	-3%	2.55	+3%	
			LVR 使能, 电压选择 3.15V	-3%	3.15	+3%	
			LVR 使能, 电压选择 3.8V	-3%	3.8	+3%	
V <sub>LVD</sub>	低电压检测电压	—	LVD 使能, 电压选择 1.8V	-5%	1.8	+5%	V
			LVD 使能, 电压选择 2.0V		2.0		
			LVD 使能, 电压选择 2.4V		2.4		
			LVD 使能, 电压选择 2.7V		2.7		
			LVD 使能, 电压选择 3.0V		3.0		
			LVD 使能, 电压选择 3.3V		3.3		
I <sub>LVR/LVD</sub>	工作电流	3V	LVD 使能, LVR 使能, V <sub>LVR</sub> =1.9V, V <sub>LVD</sub> =2V	—	—	10	μA
t <sub>LVDs</sub>	LVDO 稳定时间	—	LVR 使能, V <sub>BGEN</sub> =0, LVD off → on	—	—	18	μs
			LVR 除能, V <sub>BGEN</sub> =0, LVD off → on	—	—	150	
t <sub>LVR</sub>	产生 LVR 复位的低电压 最短保持时间	—	—	120	240	480	μs
t <sub>LVD</sub>	产生 LVD 中断的低电压 最短保持时间	—	—	60	120	240	μs
I <sub>LVR</sub>	LVR 使能的额外电流	3V	LVD 除能	—	—	8	μA
I <sub>LVD</sub>	LVD 使能的额外电流	3V	LVR 除能	—	—	8	μA

## 内部参考电压电气特性

Ta=-40°C~85°C, 除非另有说明。

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
V <sub>DD</sub>	工作电压	—	—	1.9	—	3.6	V
V <sub>BGREF</sub>	Bandgap 参考电压	2.2V~3.6V	—	Typ. -1%	1.2	Typ. +1%	V
I <sub>BGREF</sub>	Bandgap 参考电压 使能的额外电流	3.0V	—	—	25	35	μA
PSRR	电源电压抑制比	—	Ta=25°C, V <sub>ripple</sub> =1V <sub>P-P</sub> , f <sub>ripple</sub> =100Hz	75	—	—	dB
En	输出噪声	—	Ta=25°C, 无负载电流, f=0.1Hz~10Hz	—	300	—	μV <sub>RMS</sub>
I <sub>SD</sub>	关机电流	—	V <sub>BGREN</sub> =0	—	—	0.1	μA
t <sub>START</sub>	启动时间	1.9V~3.6V	Ta=25°C	—	—	400	μs

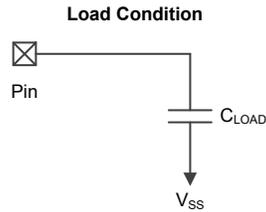
注: V<sub>BGREF</sub> 电压可用作 A/D 转换器 PGA 内部信号输入。

## 比较器电气特性

Ta=25°C

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
V <sub>DD</sub>	比较器工作电压	—	—	1.9	—	3.6	V
I <sub>COMP</sub>	比较器使能的额外电流	3V	—	—	—	200	μA
I <sub>CSTB</sub>	比较器暂停电流	3V	比较器除能	—	—	0.1	μA
V <sub>CM</sub>	比较器共模电压范围	3V	—	V <sub>SS</sub>	—	V <sub>DD</sub> - 1	V
A <sub>OL</sub>	比较器开环增益	3V	—	60	80	—	dB
V <sub>HYS</sub>	迟滞宽度	3V	CHYEN=0	0	0	5	mV
		3V	CHYEN=1	5	24	30	mV
t <sub>RP</sub>	比较器响应时间	3V	100mV 过驱动电压 <sup>(1)(2)</sup>	—	200	400	ns

- 注：1. 所有的测量都是在比较器正输入电压等于 (V<sub>DD</sub> - 1)/2 的条件下，并且保持不变。  
 2. 比较器一个输入引脚是在 V<sub>CM</sub>=(V<sub>DD</sub> - 1)/2 的条件下测量的，然而其它输入引脚是从 V<sub>SS</sub> 到 (V<sub>CM</sub>+100mV) 或是从 V<sub>DD</sub> 到 (V<sub>CM</sub> - 100mV) 下测量的。  
 3. 负载条件：C<sub>LOAD</sub>=50pF。



## 软件控制的 LCD 驱动器电气特性

Ta=-40°C~85°C

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
I <sub>BIAS</sub>	偏置电流	3V	ISEL[1:0]=00	—	8.30	—	μA
			ISEL[1:0]=01	—	16.60	—	
			ISEL[1:0]=10	—	50	—	
			ISEL[1:0]=11	—	100	—	
V <sub>SCOM</sub>	2/3V <sub>DD</sub> 电压用于 LCD SCOM/ SSEG 输出	2.2V~3.6V	无负载	0.305 V <sub>DD</sub>	0.330 V <sub>DD</sub>	0.355 V <sub>DD</sub>	V
V <sub>SCOM1</sub>	1/3V <sub>DD</sub> 电压用于 LCD SCOM/ SSEG 输出	2.2V~3.6V	无负载	0.31 V <sub>DD</sub>	0.33 V <sub>DD</sub>	0.35 V <sub>DD</sub>	V

## RF 电气特性

Ta=25°C, V<sub>DD</sub>=3.3V, f<sub>TAL</sub>=16MHz, FSK 调制 (含匹配电路和低 / 高通滤波器),  
RF 输出由 V<sub>DD</sub> (3.3V) 供电, 除非另有说明

符号	参数	测试条件	最小	典型	最大	单位
T <sub>OP</sub>	工作温度	—	-40	—	85	°C
V <sub>DD</sub>	电源电压	—	1.9	3.3	3.6	V
<b>数字输入 / 输出</b>						
V <sub>IH</sub>	高电平输入电压	—	0.7×V <sub>DD</sub>	—	V <sub>DD</sub>	V
V <sub>IL</sub>	低电平输入电压	—	0	—	0.3×V <sub>DD</sub>	V
V <sub>OH</sub>	高电平输出电压	I <sub>OH</sub> =-5mA	0.8×V <sub>DD</sub>	—	V <sub>DD</sub>	V
V <sub>OL</sub>	低电平输出电压	I <sub>OL</sub> =5mA	0	—	0.2×V <sub>DD</sub>	V
<b>电流损耗</b>						
I <sub>Sleep</sub>	Deep Sleep 模式电流损耗	—	—	0.4	1.0	μA
I <sub>IL</sub>	Idle 模式电流损耗	LIRC 开启, 晶振关闭	—	1.8	—	μA
	Light Sleep 模式电流损耗	晶振开启	—	0.55	—	mA
I <sub>Standby</sub>	Standby 模式电流损耗 @ 315/433MHz	晶振开启, 合成器开启	—	2.2	—	mA
	Standby 模式电流损耗 @ 868/915MHz		—	3.0	—	
I <sub>RX</sub> 或 I <sub>TX</sub>	315MHz 频段电流损耗	RX 模式 @ 50Kbps	—	4.1	—	mA
		RX 模式 @ 250Kbps	—	4.4	—	
		TX 模式 @ 0dBm P <sub>OUT</sub>	—	14	—	
		TX 模式 @ 10dBm P <sub>OUT</sub>	—	24	—	
		TX 模式 @ 13dBm P <sub>OUT</sub>	—	30	—	
	433MHz 频段电流损耗	RX 模式 @ 50Kbps	—	4.2	—	mA
		RX 模式 @ 250Kbps	—	4.6	—	
		TX 模式 @ 0dBm P <sub>OUT</sub>	—	14	—	
		TX 模式 @ 10dBm P <sub>OUT</sub>	—	22	—	
		TX 模式 @ 13dBm P <sub>OUT</sub>	—	30	—	
	868MHz 频段电流损耗	RX 模式 @ 50Kbps	—	5.5	—	mA
		RX 模式 @ 250Kbps	—	6.1	—	
		TX 模式 @ 0dBm P <sub>OUT</sub>	—	15	—	
		TX 模式 @ 10dBm P <sub>OUT</sub>	—	24	—	
		TX 模式 @ 13dBm P <sub>OUT</sub>	—	32	—	
	915MHz 频段电流损耗	RX 模式 @ 50Kbps	—	6	—	mA
		RX 模式 @ 250Kbps	—	6.5	—	
		TX 模式 @ 0dBm P <sub>OUT</sub>	—	18	—	
		TX 模式 @ 10dBm P <sub>OUT</sub>	—	24	—	
		TX 模式 @ 13dBm P <sub>OUT</sub>	—	32	—	

符号	参数	测试条件	最小	典型	最大	单位
f <sub>RF</sub>	RF 频段	315MHz 频段	—	315	—	MHz
		433MHz 频段	—	433.92	—	
		470~510MHz 频段	—	490	—	
		868MHz 频段	—	868.3	—	
		915MHz 频段	—	915	—	
DR	数据速率	GFSK 调制	2	—	250	Kbps
<b>发送器</b>						
P <sub>OUT</sub>	TX 输出功率	433MHz 频段	0	—	13	dBm
		868MHz 频段	0	—	13	
S.E.TX	TX 杂散 (P <sub>OUT</sub> =10dBm)	f < 1GHz	—	—	-36	dBm
		47MHz < f < 74MHz	—	—	-54	
		87.5MHz < f < 118MHz				
		174MHz < f < 230MHz				
		470MHz < f < 862MHz	—	—	-30	
<b>接收器</b>						
t <sub>ST, RX</sub>	RX 稳定时间	Light Sleep 模式到 RX 模式	—	150	—	μs
P <sub>Sens</sub>	433MHz RX 灵敏度 @ BER=0.1%	2Kbps (f <sub>DEV</sub> =8kHz)	—	-119	—	dBm
		10Kbps (f <sub>DEV</sub> =40kHz)	—	-112	—	
		50Kbps (f <sub>DEV</sub> =18.75kHz)	—	-109	—	
		125Kbps (f <sub>DEV</sub> =46.875kHz)	—	-104	—	
		250Kbps (f <sub>DEV</sub> =93.75kHz)	—	-100	—	
	868MHz RX 灵敏度 @ BER=0.1%	2Kbps (f <sub>DEV</sub> =8kHz)	—	-118	—	dBm
		10Kbps (f <sub>DEV</sub> =40kHz)	—	-112	—	
		50Kbps (f <sub>DEV</sub> =18.75kHz)	—	-108	—	
		125Kbps (f <sub>DEV</sub> =46.875kHz)	—	-104	—	
		250Kbps (f <sub>DEV</sub> =93.75kHz)	—	-100	—	
P <sub>IN, max</sub>	最大输入功率	@ BER<0.1%	—	—	10	dBm
IR	镜像抑制	—	—	25	—	dB
S.E.RX	RX 杂散	25MHz~1GHz	—	—	-57	dBm
		大于 1GHz	—	—	-47	
	RSSI 范围	AGC 开启	-110	—	-10	dBm
<b>LO 特性</b>						
f <sub>LO</sub>	RF 频率范围	315MHz 频段	290	—	335	MHz
		433MHz 频段	415	—	490	
		470~510MHz 频段	470	—	510	
		868MHz 频段	830	—	1000	
		915MHz 频段	870	—	1050	
f <sub>STEP</sub>	LO 频率分辨精度	—	—	—	1	kHz

符号	参数	测试条件	最小	典型	最大	单位
PN <sub>LO</sub>	315MHz 相位噪声	@ 100kHz 偏移	—	-86	—	dBc/ Hz
		@ 1MHz 偏移	—	-107	—	
	433MHz 相位噪声	@ 100kHz 偏移	—	-85	—	
		@ 1MHz 偏移	—	-106	—	
	868MHz 相位噪声	@ 100kHz 偏移	—	-82	—	
		@ 1MHz 偏移	—	-103	—	
915MHz 相位噪声	@ 100kHz 偏移	—	-82	—		
	@ 1MHz 偏移	—	-103	—		
<b>晶振</b>						
f <sub>XTAL</sub>	晶振频率	—	—	16	—	MHz
ESR	晶振等效串联电阻	—	—	—	100	Ω
C <sub>LOAD</sub>	晶振电容负载	—	12	16	20	pF
TOL	晶振容差 (注)	—	-20	—	+20	dBc/ Hz
t <sub>SU</sub>	晶振启动时间	49US XO	—	—	1	ms

注：当数据率 = 2Kbps @ 315/433.92MHz 时，晶振容差需选择 ±10ppm。  
当数据率 = 2Kbps @ 868/915MHz 时，晶振容差需选择 ±5ppm。

### SPI 电气特性

Ta=-40°C~85°C，除非另有说明。

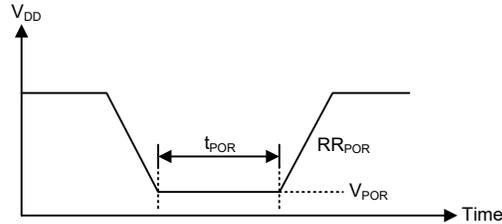
符号	参数	测试条件	最小	典型	最大	单位
f <sub>SCK</sub>	SCK 频率	—	—	—	f <sub>XCLK</sub> /2	MHz
t <sub>SCKH</sub>	SCK 高电平时间	—	1/f <sub>XCLK</sub>	—	—	s
t <sub>SCKL</sub>	SCK 低电平时间	—	1/f <sub>XCLK</sub>	—	—	s
t <sub>S_SDIO</sub>	SDIO 输入设置时间	—	20	—	—	ns
t <sub>H_SDIO</sub>	SDIO 输入保持时间	—	20	—	—	ns
t <sub>S_CSN</sub>	CSN 有效到 SCK 有效时间间隔	—	30	—	—	ns
t <sub>H_CSN</sub>	SCK 无效到 CSN 无效时间间隔	—	30	—	—	ns

注：f<sub>XCLK</sub> = f<sub>XTAL</sub>/(XODIV2+1)

### 上电复位电气特性

Ta=-40°C~85°C

符号	参数	测试条件		最小	典型	最大	单位
		V <sub>DD</sub>	条件				
V <sub>POR</sub>	上电复位电压	—	—	—	—	100	mV
RR <sub>POR</sub>	上电复位电压速率	—	—	0.035	—	—	V/ms
t <sub>POR</sub>	V <sub>DD</sub> 保持为 V <sub>POR</sub> 的最小时间	—	—	1	—	—	ms



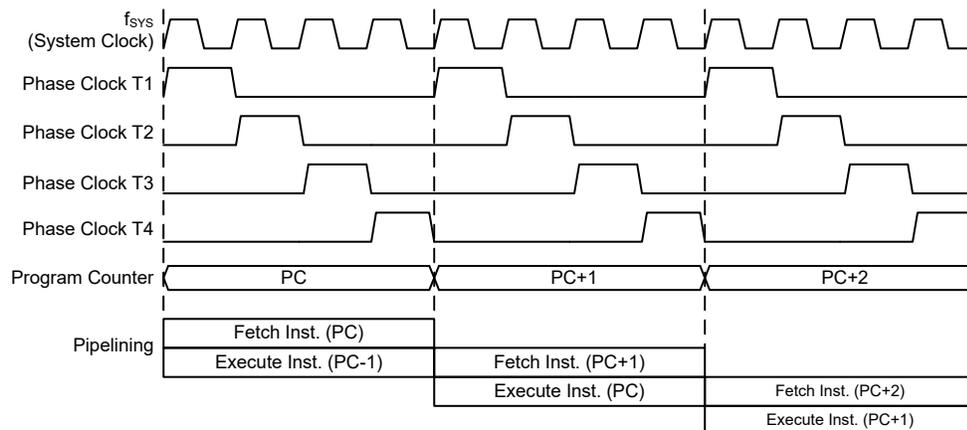
## 系统结构

内部系统结构是 Holtek 单片机具有良好性能的主要因素。由于采用 RISC 结构，该单片机具有高运算速度和高性能的特点。通过流水线的方式，指令的获取和执行同时进行，此举使得除了跳转和调用指令需多一个指令周期外，其它大部分标准指令或扩展指令都能分别在一个或两个指令周期内完成。8 位 ALU 参与指令集中所有的运算，它可完成算术运算、逻辑运算、移位、递增、递减和分支等功能，而内部的数据路径则是以通过累加器和 ALU 的方式加以简化。有些寄存器在数据存储中被实现，且可以直接或间接寻址。简单的寄存器寻址方式和结构特性，确保了在提供具有较大可靠性和灵活性的 I/O 和 A/D 控制系统时，仅需要少数的外部器件。使得该单片机适用于低成本和大量生产的控制应用。

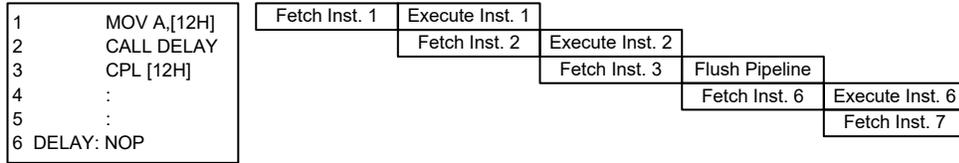
## 时序和流水线结构

主系统时钟由 HXT、LXT、HIRC 或 LIRC 振荡器提供，它被细分为 T1~T4 四个内部产生的非重叠时序。在 T1 时间，程序计数器自动加一并抓取一条新的指令。剩下的时间 T2~T4 完成译码和执行功能，因此，一个 T1~T4 时钟周期构成一个指令周期。虽然指令的抓取和执行发生在连续的指令周期，但单片机流水线结构会保证指令在一个指令周期内被有效执行。除非程序计数器的内容被改变，如子程序的调用或跳转，在这种情况下指令将需要多一个指令周期的时间去执行。

如果指令牵涉到分支，例如跳转或调用等指令，则需要两个指令周期才能完成指令执行。需要一个额外周期的原因是程序先用一个周期取出实际要跳转或调用的地址，再用另一个周期去实际执行分支动作，因此用户需要特别考虑额外周期的问题，尤其是在执行时间要求较严格的时候。



系统时序和流水线



指令捕捉

### 程序计数器

在程序执行期间，程序计数器用来指向下一个要执行的指令地址。除了“JMP”和“CALL”指令需要跳转到一个非连续的存储器地址之外，它会在每条指令执行完成以后自动加一。只有较低的 8 位，即所谓的程序计数器低字节寄存器 PCL，可以被用户直接读写。

当执行的指令要求跳转到不连续的地址时，如跳转指令、子程序调用、中断或复位等，单片机通过加载所需要的地址到程序寄存器来控制程序，对于条件跳转指令，一旦条件符合，在当前指令执行时取得的下一条指令将会被舍弃，而由一个空指令周期来取代。

程序计数器	
高字节	低字节 (PCL)
PC12~PC8	PCL7~PCL0

程序计数器

程序计数器的低字节，即程序计数器的低字节寄存器 PCL，可以通过程序控制，且它是可以读取和写入的寄存器。通过直接写入数据到这个寄存器，一个程序短跳转可直接执行，然而只有低字节的操作是有效的，跳转被限制在存储器的当前页中，即 256 个存储器地址范围内，当这样一个程序跳转要执行时，会插入一个空指令周期。程序计数器的低字节可由程序直接进行读取，PCL 的使用可能引起程序跳转，因此需要额外的指令周期。

### 堆栈

堆栈是一个特殊的存储空间，用来存储程序计数器中的内容。该单片机有 8 层堆栈，堆栈既不是数据部分也不是程序空间部分，而且它既不是可读取也不是可写入的。当前层由堆栈指针 (SP) 加以指示，同样也是不可读写的。在子程序调用或中断响应服务时，程序计数器的内容被压入到堆栈中。当子程序或中断响应结束时，返回指令 (RET 或 RETI) 使程序计数器从堆栈中重新得到它以前的值。当一个芯片复位后，堆栈指针将指向堆栈顶部。

如果堆栈已满，且有非屏蔽的中断发生，中断请求标志会被置位，但中断响应将被禁止。当堆栈指针减少 (执行 RET 或 RETI)，中断将被响应。这个特性提供程序设计者简单的方法来预防堆栈溢出。然而即使堆栈已满，CALL 指令仍然可以被执行，而造成堆栈溢出。使用时应避免堆栈溢出的情况发生，因为这可能导致不可预期的程序分支指令执行错误。

若堆栈溢出，则首个存入堆栈的程序计数器数据将会丢失。

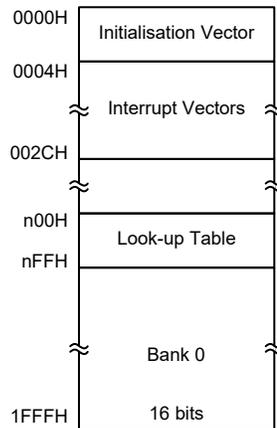


## Flash 程序存储器

程序存储器用来存放用户代码即储存程序。程序存储器为 Flash 类型意味着可以多次重复编程，方便用户使用同一芯片进行程序的修改。使用适当的单片机编程工具，此单片机提供用户灵活便利的调试方法和项目开发规划及更新。

### 结构

程序存储器的容量为 8K×16 位，程序存储器用程序计数器来寻址，其中也包含数据、表格和中断入口。数据表格可以设定在程序存储器的任何地址，由表格指针来寻址。



程序存储器结构

### 特殊向量

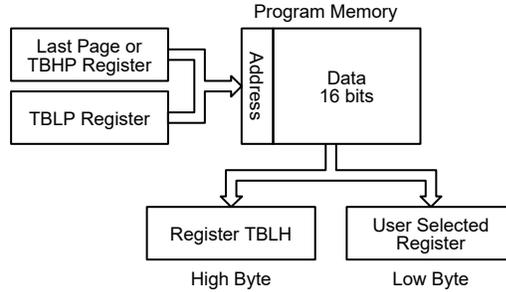
程序存储器内部某些地址保留用做诸如复位和中断入口等特殊用途。地址 0000H 是芯片复位后的程序起始地址。在芯片复位之后，程序将跳到这个地址并开始执行。

### 查表

程序存储器中的任何地址都可以定义成一个表格，以便储存固定的数据。使用表格时，表格指针必须先行设定，其方式是将表格的地址放在表格指针寄存器 TBLP 和 TBHP 中。这些寄存器定义表格总的地址。

在设定完表格指针后，当数据存储器 [m] 位于 Sector 0，表格数据可以使用如“ITABRD [m]”、“ITABRDL [m]”、“TABRD [m]”或“TABRDL [m]”等指令分别从程序存储器查表读取。如果存储器 [m] 位于其它 Sector，表格数据可以使用如“LITABRD [m]”、“LITABRDL [m]”、“LTABRD [m]”或“LTABRDL [m]”等指令分别从程序存储器查表读取。当这些指令执行时，程序存储器中表格数据低字节，将被传送到使用者所指定的数据存储器 [m]，程序存储器中表格数据的高字节，则被传送到 TBLH 特殊寄存器，而高字节中未使用的位将被读取为“0”。

下图是查表中寻址 / 数据流程：



## 查表范例

以下范例说明表格指针和表格数据如何被定义和执行。这个例子使用的表格数据用 ORG 伪指令储存在存储器中。ORG 指令的值“1F00H”指向的地址是 8K 程序存储器中最后一页的起始地址。表格指针低字节寄存器的初始值设为 06H，这可保证从数据表格读取的第一笔数据位于程序存储器地址 1F06H，即最后一页起始地址后的第六个地址。值得注意的是，假如“TABRD [m]”或“LTABRD”指令被使用，则表格指针指向 TBLP 和 TBHP 指定的地址。在这个例子中，表格数据的高字节等于零，而当“TABRD [m]”指令被执行时，此值将会自动的被传送到 TBLH 寄存器。

TBLH 寄存器为可读 / 可写寄存器，且能重复储存，若主程序和中断服务程序都使用表格读取指令，应该注意它的保护。使用表格读取指令，中断服务程序可能会改变 TBLH 的值，若随后在主程序中再次使用这个值，则会发生错误，因此建议避免同时使用表格读取指令。然而在某些情况下，如果同时使用表格读取指令是不可避免的，则在执行任何主程序的表格读取指令前，中断应该先除能，另外要注意的是所有与表格相关的指令，都需要两个指令周期去完成操作。

### 表格读取程序范例

```

tempreg1 db ?           ; temporary register #1
tempreg2 db ?           ; temporary register #2
:
:
mov a,06h                ; initialise low table pointer - note that this
                        ; address is referenced
mov tblp,a               ; to the last page or the page that tbhp pointed
mov a,1Fh                 ; initialise high table pointer
mov tbhp,a
:
:
tabrd tempreg1           ; transfers value in table referenced by table
                        ; pointer, data at program memory address "1F06H"
                        ; transferred to tempreg1 and TBLH
dec tblp                 ; reduce value of table pointer by one
tabrd tempreg2           ; transfers value in table referenced by table
                        ; pointer, data at program memory address "1F05H"
                        ; transferred to tempreg2 and TBLH
                        ; in this example the data "1AH" is transferred
                        ; to tempreg1 and data "0FH" to register tempreg2
                        ; the value "00H" will be transferred to the high
                        ; byte register TBLH
:
:

```

```
org 1F00h ; sets initial address of program memory
dc 00Ah, 00Bh, 00Ch, 00Dh, 00Eh, 00Fh, 01Ah, 01Bh
:
```

### 在线烧录 – ICP

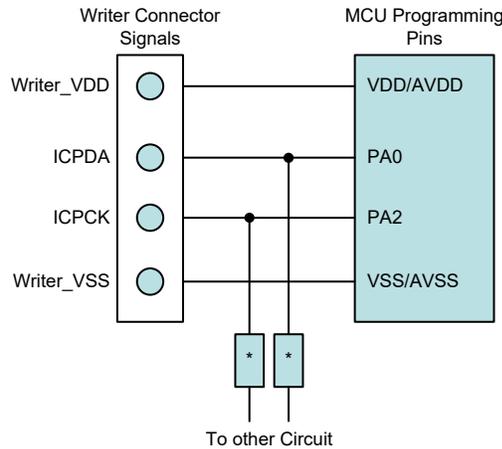
Flash 型程序存储器提供用户便利地对同一芯片进行程序的更新和修改。

另外，Holtek 单片机提供 4 线接口的在线烧录方式。用户可将进行过烧录或未经过烧录的单片机芯片连同电路板一起制成，最后阶段进行程序的更新和程序的烧录，在无需去除或重新插入芯片的情况下方便地保持程序为最新版。

Holtek 烧录器引脚名称	MCU 在线烧录引脚名称	引脚说明
ICPDA	PA0	串行数据 / 地址烧录
ICPCK	PA2	时钟烧录
VDD	VDD/AVDD	电源
VSS	VSS/AVSS	地

程序存储器可以通过 4 线的接口在线进行烧录。其中一个引脚用于数据串行下载或上传、另一个引脚用于串行时钟、两条用于提供电源。芯片在线烧写的详细使用说明超出此文档的描述范围，将由专门的参考文献提供。

烧录过程中，用户必须确保 ICPDA 和 ICPCK 这两个引脚没有连接至其它输出脚。



注：\* 可能为电阻或电容。若为电阻则其值必须大于 1kΩ，若为电容则其必须小于 1nF。

### 片上调试 – OCDS

EV 芯片 BC66V3652 用于 BC66F3652 单片机仿真。此 EV 芯片提供片上调试功能 (OCDS) 用于开发过程中的单片机调试。除了片上调试功能方面，EV 芯片和实际 MCU 在功能上几乎是兼容的。用户可将 OCSDA 和 OCDSCK 引脚连接至 Holtek HT-IDE 开发工具，从而实现 EV 芯片对实际 IC 的仿真。OCSDA 引脚为 OCDS 数据 / 地址输入 / 输出脚，OCDSCK 引脚为 OCDS 时钟输入脚。当用户用 EV 芯片进行调试时，实际单片机 OCSDA 和 OCDSCK 引脚上的其它共用功能无效。关于 OCDS 功能的详细描述，请参考“Holtek e-Link for 8-bit MCU OCDS 用户手册”文件。

Holtek e-Link 引脚	EV 芯片引脚	引脚描述
OCSDA	OCSDA	片上调试串行数据 / 地址输入 / 输出
OCDSCK	OCDSCK	片上调试时钟输入
VDD	VDD/AVDD	电源
VSS	VSS/AVSS	地

### 在线应用编程 – IAP

Flash 型程序存储器便于用户在同一芯片上对程序进行更新和修改。单片机提供的 IAP 功能使用户可以方便地对 Flash 程序存储器进行多次编程。IAP 功能可以通过内部固件进行程序的更新，而无需外接烧录器或 PC。此外，IAP 接口通过 I/O 引脚可以设置为任何类型的通信协议，例如 UART。关于内部固件，用户可以选择 Holtek 提供的版本或创建自己的内部固件。以下章节说明了如何执行 IAP 固件程序。

#### Flash 存储器读取 / 写入容量

Flash 存储器以页为单位进行擦 / 写操作，以字为单位进行读出操作。页的大小和写入缓冲器的大小都为 32 字。注意，在执行写入操作之前必须先执行擦除操作。

Flash 存储器擦 / 写功能成功使能时 CFWEN 位会被硬件置高，当该位被置高，便可写入数据到“写入缓冲器”。FWT 位用于启动写入程序，并指示写入操作的状态。当该位由应用程序置高时将开始一个写入程序，当写入操作结束后该位将由硬件清零。

读出操作是通过一个特定的读出程序来执行的。FRDEN 位用于使能读出功能，由应用程序设置 FRD 位来启动读出程序，并指示读出操作的状态。当读出操作结束后该位将由硬件清零。

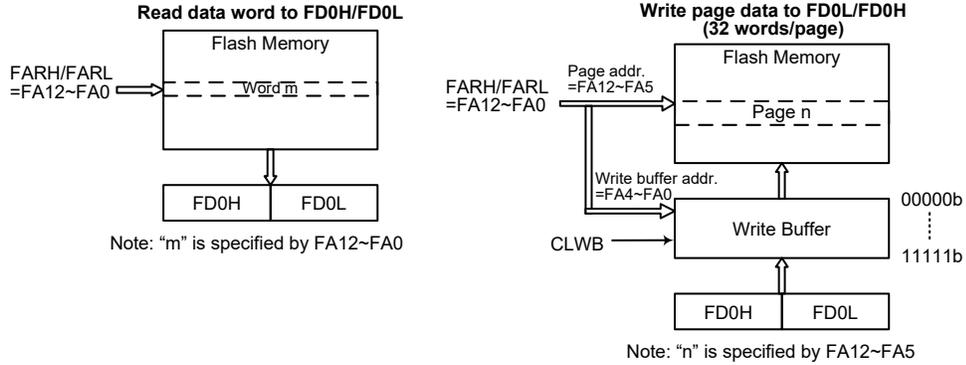
操作	格式
擦除	32 字 / 页
写入	32 字 / 次
读出	1 字 / 次

注：页大小 = 写入缓冲器大小 = 32 字

#### IAP 操作格式

页	FARH	FARL[7:5]	FARL[4:0]
0	0000 0000	000	Tag 位址
1	0000 0000	001	
2	0000 0000	010	
3	0000 0000	011	
4	0000 0000	100	
:	:	:	
:	:	:	
254	0001 1111	110	
255	0001 1111	111	

#### 页序号及位址选择



Flash 存储器 IAP 读 / 写结构

写入缓冲器

执行写入操作时写入缓冲器用于临时存储写入的数据。通过执行 Flash 存储器擦 / 写使能步骤成功使能 Flash 存储器擦 / 写功能后，才可将要写入的数据填入到写入缓冲器。通过配置 FC2 寄存器中的 CLWB 位可以清除写入缓冲器。置高 CLWB 位可以使能清除写入缓冲器程序，完成后该位会被硬件自动清零。建议第一次使用写入缓冲器或更新写入缓冲器内的数据时，应先置高 CLWB 位将写入缓冲器清零。

写入缓冲器的大小为每页 32 字。写入缓冲器的地址与存储器地址位 FA12~FA5 指定的 Flash 存储器页的地址相对应。写入到 FD0L 和 FD0H 寄存器的数据会被加载到写入缓冲器。当写入数据到高字节数据寄存器 FD0H 时，会将存储在 FD0L 和 FD0H 数据寄存器内的数据都加载到写入缓冲器，并使 Flash 存储器地址自动加一，之后新的地址会被加载到 FARH 和 FARL 地址寄存器。当 Flash 存储器地址到达当前页的最大地址，即 32 字的页为 11111b，地址将不再增加，并停在该页的最后一个地址，此时需要再设定一个新的页地址才可进行其它擦 / 写操作。

写入程序结束后，硬件会自动清除写入缓冲器。注意，如果在比对步骤时发现写入到 Flash 存储器的数据不正确，则需通过应用程序手动清除写入缓冲器，在写入缓冲器被清零之后再重新对其写入数据。

IAP Flash 程序存储器寄存器

与 IAP 相关的 Flash 存取寄存器有两个地址寄存器、四对 16-bit 数据寄存器和三个控制寄存器。这些寄存器都位于 Sector 0。使用地址、数据和控制寄存器可以对 Flash 存储器执行 16 位数据读 / 写操作。内部 Flash 程序存储器所有操作由一系列寄存器控制，即地址寄存器 FARL 和 FARH，数据寄存器 FDnL 和 FDnH，控制寄存器 FC0、FC1 和 FC2。

寄存器名称	位							
	7	6	5	4	3	2	1	0
FC0	CFWEN	FMOD2	FMOD1	FMOD0	FWPEN	FWT	FRDEN	FRD
FC1	D7	D6	D5	D4	D3	D2	D1	D0
FC2	—	—	—	—	—	—	—	CLWB
FARL	FA7	FA6	FA5	FA4	FA3	FA2	FA1	FA0
FARH	—	—	—	FA12	FA11	FA10	FA9	FA8
FD0L	D7	D6	D5	D4	D3	D2	D1	D0
FD0H	D15	D14	D13	D12	D11	D10	D9	D8

寄存器名称	位							
	7	6	5	4	3	2	1	0
FD1L	D7	D6	D5	D4	D3	D2	D1	D0
FD1H	D15	D14	D13	D12	D11	D10	D9	D8
FD2L	D7	D6	D5	D4	D3	D2	D1	D0
FD2H	D15	D14	D13	D12	D11	D10	D9	D8
FD3L	D7	D6	D5	D4	D3	D2	D1	D0
FD3H	D15	D14	D13	D12	D11	D10	D9	D8

IAP 寄存器列表

● FARL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FA7	FA6	FA5	FA4	FA3	FA2	FA1	FA0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 Flash 存储器地址 bit 7 ~ bit 0

● FARH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	FA12	FA11	FA10	FA9	FA8
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	—	—	—	0	0	0	0	0

Bit 7~5 未定义，读为“0”

Bit 4~0 Flash 存储器地址 bit 12 ~ bit 8

● FD0L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 第一个 Flash 存储器数据 bit 7 ~ bit 0

注意写入低字节数据寄存器 FD0L 的数据只能存储在 FD0L 寄存器，不会加载到低 8 位写入缓冲器。

● FD0H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D15	D14	D13	D12	D11	D10	D9	D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 第一个 Flash 存储器数据 bit 15 ~ bit 8

注意当写入 8 位数据到高字节数据寄存器 FD0H 时，存储在 FD0H 和 FD0L 寄存器内的 16 位数据将同时加载到 16 位写入缓冲器中，此时 Flash 存储器地址寄存器 FARH 和 FARL 的内容将自动加一。

● **FD1L 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 第二个 Flash 存储器数据 bit 7 ~ bit 0

● **FD1H 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D15	D14	D13	D12	D11	D10	D9	D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 第二个 Flash 存储器数据 bit 15 ~ bit 8

● **FD2L 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 第三个 Flash 存储器数据 bit 7 ~ bit 0

● **FD2H 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D15	D14	D13	D12	D11	D10	D9	D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 第三个 Flash 存储器数据 bit 15 ~ bit 8

● **FD3L 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 第四个 Flash 存储器数据 bit 7 ~ bit 0

● **FD3H 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D15	D14	D13	D12	D11	D10	D9	D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 第四个 Flash 存储器数据 bit 15 ~ bit 8

● FC0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CFWEN	FMOD2	FMOD1	FMOD0	FWPEN	FWT	FRDEN	FRD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 **CFWEN**: Flash 存储器擦 / 写功能使能控制  
 0: Flash 存储器擦 / 写功能除能  
 1: Flash 存储器擦 / 写功能已成功使能  
 当此位由应用程序清零后, Flash 存储器擦 / 写功能除能。注意, 对此位直接写“1”不会使能擦 / 写功能。此位可用于指示 Flash 存储器擦 / 写功能状态。当此位由硬件置为“1”时, 表明 Flash 存储器擦 / 写功能已经成功使能, 若为“0”, 表明 Flash 存储器擦 / 写功能除能。

Bit 6~4 **FMOD2~FMOD0**: Flash 存储器模式选择  
 000: 写入模式  
 001: 页擦除模式  
 010: 保留  
 011: 读出模式  
 100: 保留  
 101: 保留  
 110: Flash 存储器擦 / 写使能模式  
 111: 保留  
 这几位用于选择 Flash 存储器的操作模式。注意在执行擦 / 写 Flash 存储器操作之前必须先成功使能“Flash 存储器擦 / 写使能模式”。

Bit 3 **FWPEN**: Flash 存储器擦 / 写使能程序触发控制位  
 0: 擦 / 写使能程序未被触发或程序定时器发生溢出  
 1: 擦 / 写使能程序被触发且程序定时器开始计时  
 该位用于启动 Flash 存储器擦 / 写使能程序和内部定时器。此位由应用程序置高, 当内部定时器计时溢出后由硬件清零。需在 FWPEN 置高后尽快写入正确数据程序到 FD1L/FD1H、FD2L/FD2H 和 FD3L/FD3H 寄存器。

Bit 2 **FWT**: Flash 存储器写入控制位  
 0: 未开始 Flash 存储器写入程序或 Flash 存储器写入程序已完成  
 1: 开始 Flash 存储器写入程序  
 此位由软件置“1”, 当 Flash 存储器写入程序完成后由硬件清零。

Bit 1 **FRDEN**: Flash 存储器读出使能位  
 0: Flash 存储器读出除能  
 1: Flash 存储器读出使能  
 此位为 Flash 存储器读出使能位, 在执行 Flash 存储器读出操作之前需将此位置高。将此位清零则禁止 Flash 存储器读出操作。

Bit 0 **FRD**: Flash 存储器读出控制位  
 0: 未开始 Flash 存储器读出程序或 Flash 存储器读出程序已完成  
 1: 开始 Flash 存储器读出程序  
 此位由软件置“1”, 当 Flash 存储器读出程序完成后由硬件清零。

注: 1. 在同一条指令中 FWT、FRDEN 和 FRD 位不可同时设置为“1”。  
 2. 确保  $f_{SUB}$  时钟在执行擦或写动作前已稳定。  
 3. 当读、擦或写动作成功启动后, CPU 相关操作将停止。  
 4. 确保读、擦或写动作成功完成后才可执行其它操作。

● FC1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0     **D7~D0:** 整个芯片复位  
当写入“55H”到该寄存器中，将产生一个复位信号将整个单片机复位。

● FC2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	CLWB
R/W	—	—	—	—	—	—	—	R/W
POR	—	—	—	—	—	—	—	0

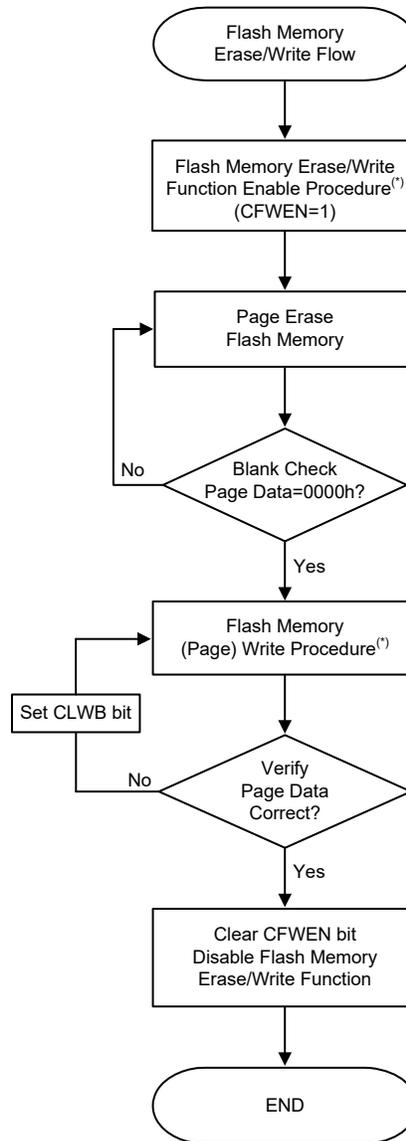
Bit 7~1     未定义，读为“0”  
Bit 0     **CLWB:** Flash 存储器写入缓冲器清除控制位  
0: 未开始写入缓冲器清除或写入缓冲器清除程序已完成  
1: 开始写入缓冲器清除程序  
此位由软件置“1”，当写入缓冲区清除过程完成后由硬件清零。

**Flash 存储器擦 / 写流程**

在开始更新 Flash 存储器之前，先了解 Flash 存储器擦 / 写流程操作是很重要的，用户可参考下列步骤进行 IAP 程序开发，以确保 Flash 存储器内容更新正确。

**Flash 存储器擦 / 写流程说明**

1. 先启动“Flash 存储器擦 / 写使能程序”。当 Flash 存储器擦 / 写功能成功使能后，FC0 寄存器中的 CFWEN 位会由硬件自动置高，此时才可执行 Flash 存储器擦或写操作。详细内容请参考“Flash 存储器擦 / 写使能步骤”。
2. 配置 Flash 存储器地址以指定要擦除的页，tag 位址然后擦除此页。对于页擦除操作，首先设定 FARL 和 FARH 寄存器以指定擦除页的起始地址，然后写入任意数据到 FD0H 寄存器来 tag 位址。每个任意数据被写入 FD0H 寄存器之后，当前地址可达到加 1 的目的。当 Flash 存储器地址到达当前页的最大地址，即 32 字的页为 11111b，地址将不再增加，并停在该页的最后一个地址。注意写操作到 FD0H 寄存器是为了 tag 位址，以便知道要对哪个位址进行操作。
3. 查空确认是否擦除成功，可采用 TABRD 指令进行读取并比对是否为“0000h”，如果擦除不成功返回步骤 2 再执行页擦除。
4. 写入数据至该页，详细内容请参考“Flash 存储器写入步骤”。
5. 采用 TABRD 指令进行读取并比对写入数据是否正确，如果读出的数据与写入数据不符，即写入不成功，设置 CLWB 位为“1”清除“写入缓冲器”再返回步骤 4，再写入相同数据。
6. 完成当前页擦 / 写后，如果无需擦 / 写其它页，可清除 CFWEN 位来除能“Flash 存储器擦 / 写使能模式”。



**Flash 存储器擦 / 写流程**

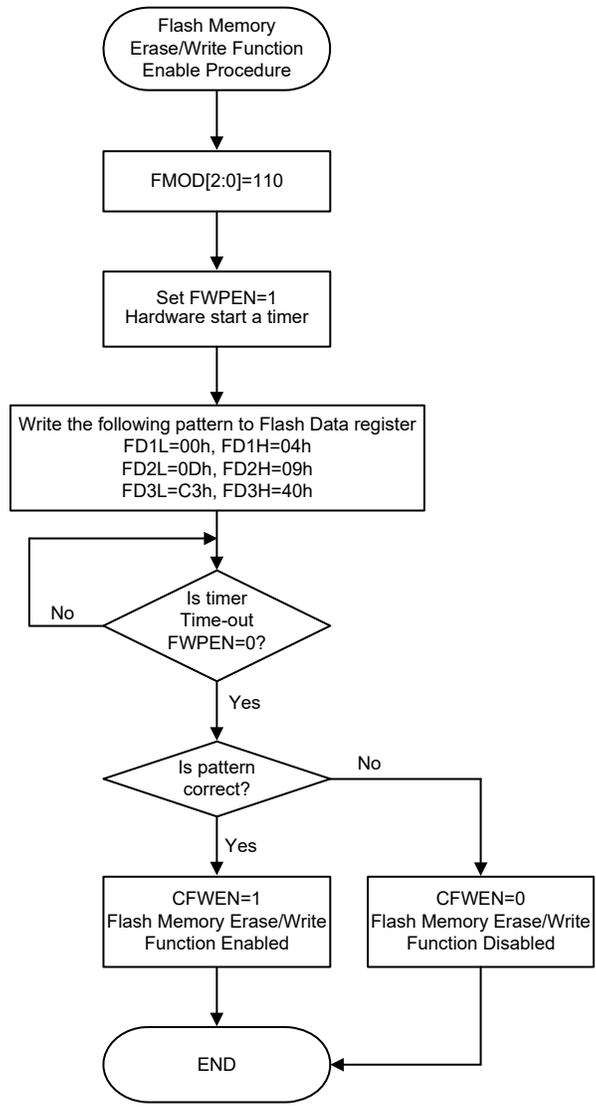
注：\* “Flash 存储器擦 / 写使能步骤” 和 “Flash 存储器写入步骤” 将在后面介绍。

**Flash 存储器擦 / 写使能步骤**

Flash 存储器擦 / 写使能模式是专门为保护 Flash 存储器内容不被轻易地修改而设计的。用户必须先使能 Flash 存储器擦 / 写功能，才能通过 IAP 控制寄存器来更改 Flash 存储器数据。

**Flash 存储器擦 / 写使能步骤说明**

1. 写入数值“110”至 FC0 寄存器中的 FMOD[2:0] 位，选择 Flash 存储器擦 / 写使能模式。
  2. 设置 FC0 寄存器中的 FWPEN 位为“1”，启动 Flash 存储器擦 / 写使能程序，此时内部硬件线路会启动一个内部定时器。
  3. 使用者必须在 FWPEN 位置高后尽快填入以下数据序列至 FD1L~FD3L 和 FD1H~FD3H 寄存器中，数据序列依次为 FD1L=00h、FD1H=04h、FD2L=0Dh、FD2H=09h、FD3L=C3h、FD3H=40h。
  4. 一旦定时器计时结束，无论写入的数据序列是否正确，FWPEN 位将由硬件自动清零。
  5. 如果写入的数据序列不正确，表示 Flash 存储器擦 / 写功能没有成功使能，需重复以上步骤。如果写入的数据序列正确，表示 Flash 存储器擦 / 写功能成功使能。
  6. 一旦 Flash 存储器擦 / 写功能成功使能，即可通过 IAP 控制寄存器进行页擦 / 写操作来更新 Flash 存储器内容。
- 将 FC0 寄存器中的 CFWEN 位清零，可除能 Flash 存储器擦 / 写功能，此时不必再执行以上步骤。



Flash 存储器擦 / 写使能步骤

### Flash 存储器写入步骤

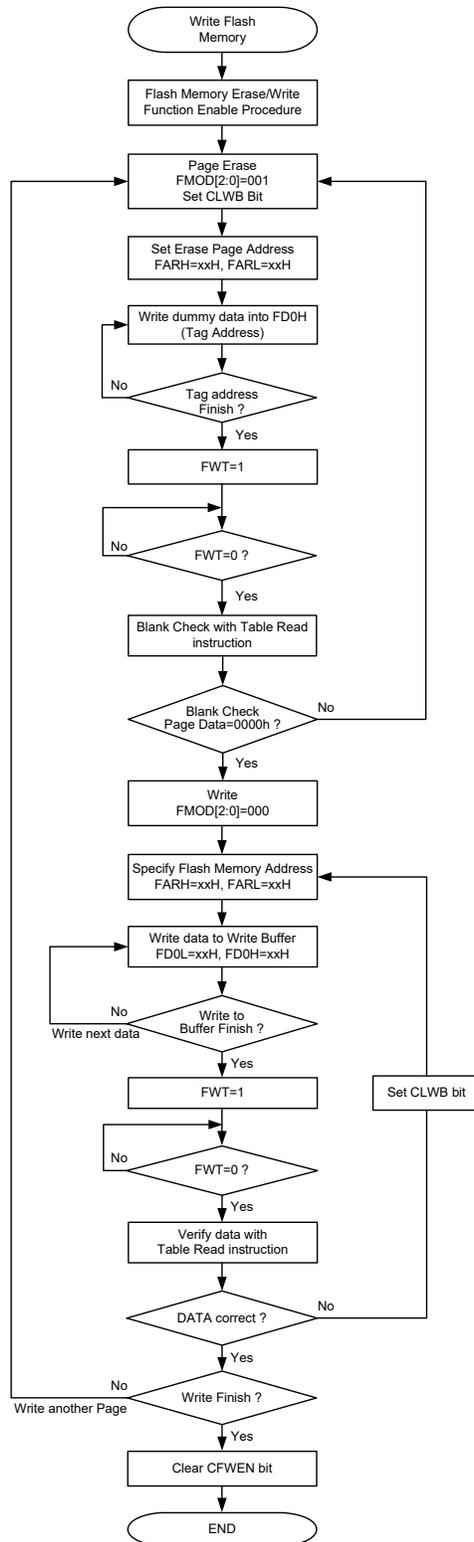
当 Flash 擦 / 写功能成功使能后，CFWEN 位会被硬件置高，此时要写入 Flash 存储器的数据才能加载到写入缓冲器。在开始写入程序之前，应先正确配置 IAP 控制寄存器，将所选的 Flash 存储器页的数据擦除。

写入缓冲器的大小为每页 32 个字，其地址与 FA12~FA5 指定的 Flash 存储器页的地址为相对应关系。注意，写入缓冲器的地址与对应存储器的地址必须在相同页。

### Flash 存储器连续地址写入步骤说明

对于写入操作每次写入的数据最多为 32 字。多笔连续地址的数据写入时，写入缓冲器的地址将自动加 1。用户只需将第一笔数据的地址填入 FARL 和 FARH，并将第一笔数据依序填入 FD0L 和 FD0H 寄存器。先写 FD0L 再写 FD0H，才会将 FD0L 和 FD0H 数据一起填入写入缓冲器。写入缓冲器的地址将自动加 1，因此，要填入第二笔数据时，可不用修改 FARL 和 FARH 重新指定地址。当连续地址到达当前页的最后一个地址时，写入缓冲器的地址将不会再自动加“1”，保持在最后一个地址。

1. 启动 Flash 存储器擦 / 写使能程序，确认 CFWEN 的值，如果 CFWEN 被硬件置高，表示可进行 IAP 擦 / 写操作。详细内容请参考“Flash 存储器擦 / 写使能步骤”。
2. 设定 FMODE[2:0] 为“001”，选择擦除模式并设置 CLWB 位为“1”清除“写入缓冲器”。设定 FWT 位为“1”，擦除 FARH 和 FARL 指定的目标页并且完成 tag 位址，直到 FWT 变为“0”。
3. 通过查表指令读出方式进行查空，以确保擦除操作已成功完成。  
如果擦除操作不成功则返回步骤 2。  
如果擦除操作成功则接着执行步骤 4。
4. 设定 FMODE[2:0] 为“000”，选择写入模式。
5. 先将目标起始地址写入 FARL 和 FARH 寄存器中，将要往连续地址所在页写入的数据依序写入 FD0L 和 FD0H 寄存器。最多可写入 32 个字。
6. 设定 FWT 位为“1”，将写入缓冲器的数据写入到对应的 Flash 存储器中，直到 FWT 变为“0”。
7. 通过查表指令读出方式进行数据比对，以确保写入操作已成功完成。  
如果写入操作不成功，设置 CLWB 位为“1”清除写入缓冲器，再返回步骤 5。  
如果写入操作成功则接着执行步骤 8。
8. 将 CFWEN 位清零以除能 Flash 存储器擦 / 写功能。



### Flash 存储器连续地址写入步骤

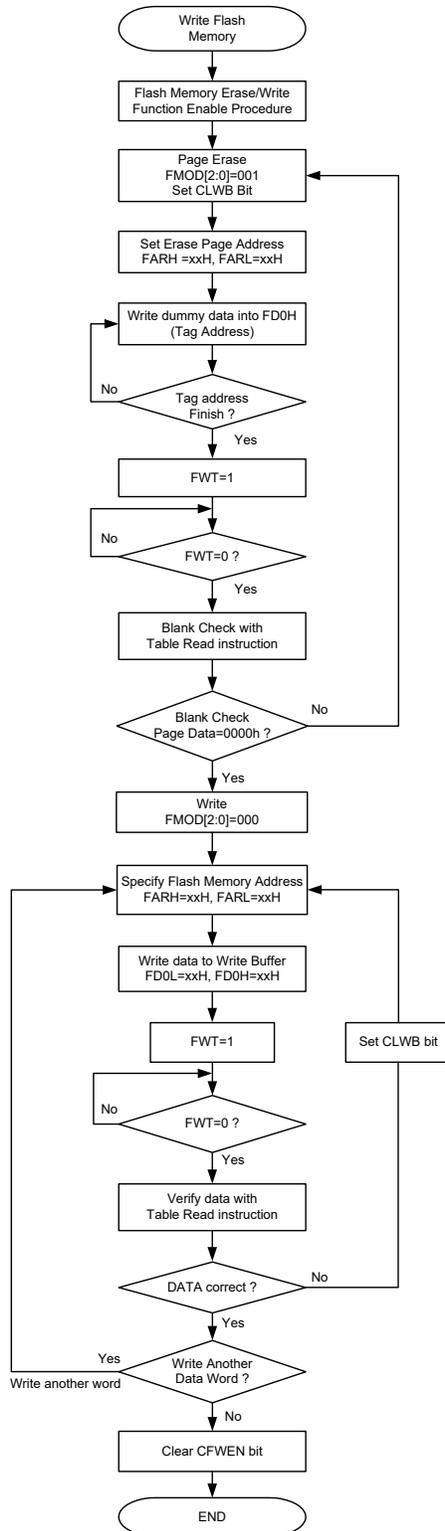
- 注：1. 当擦或写动作成功启动后，所有 CPU 相关操作将暂停。  
2. 由 FWT 位由高变低来判断擦除或写入是否已完成。

### Flash 存储器非连续地址写入步骤说明

连续地址写入操作与非连续地址写入操作的主要差别在于要写入的数据是否位于连续地址。如果要写入的数据不是位于连续的地址，当一笔数据成功写入到 Flash 存储器后需重新配置另一个目标地址。

以两笔非连续的数据写入操作为例，说明如下：

1. 启动 Flash 存储器擦 / 写使能程序，确认 CFWEN 位的值，如果 CFWEN 被硬件置高，表示可进行 IAP 擦 / 写操作。详细内容请参考“Flash 存储器擦写使能步骤”。
2. 设定 FMODE[2:0] 为“001”，选择擦除模式并设置 CLWB 位为“1”清除“写入缓冲器”。设定 FWT 位为“1”，擦除 FARH 和 FARL 指定的目标页并且完成 tag 位址，直到 FWT 变为“0”。
3. 通过查表指令读出方式进行查空，以确保擦除操作已成功完成。  
如果擦除操作不成功则返回步骤 2。  
如果擦除操作成功则接着执行步骤 4。
4. 设定 FMODE[2:0] 为“000”，选择写入模式。
5. 先将目标地址 ADDR1 写入 FARL 和 FARH 寄存器中，将要写入的数据 DATA1 先写入 FD0L 寄存器再写入 FD0H 寄存器。
6. 设定 FWT 位为“1”，将写入缓冲器的数据写入到对应的 Flash 存储器中，直到 FWT 变为“0”。
7. 通过查表指令读出方式进行数据比对，以确保写入操作已成功完成。  
如果写入操作不成功，设置 CLWB 位为“1”清除写入缓冲器，再返回步骤 5。  
如果写入操作成功则接着执行步骤 8。
8. 再将目标地址 ADDR2 写入 FARL 和 FARH 寄存器中，将要写入的数据 DATA2 先写入 FD0L 寄存器再写入 FD0H 寄存器。
9. 设定 FWT 位为“1”，将写入缓冲器的数据写入到对应的 Flash 存储器中，直到 FWT 变为“0”。
10. 通过查表指令读出方式进行数据比对，以确保写入操作已成功完成。  
如果写入操作不成功，设置 CLWB 位为“1”清除写入缓冲器，再返回步骤 8。  
如果写入操作成功则接着执行步骤 11。
11. 将 CFWEN 位清零以除能 Flash 存储器擦 / 写功能。



### Flash 存储器非连续地址写入步骤

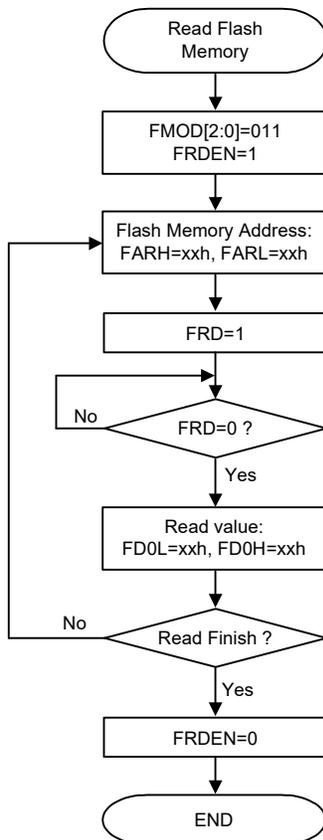
- 注：1. 当擦或写动作成功启动后，所有 CPU 相关操作将暂停。  
2. 由 FWT 位由高变低来判断擦除或写入是否已完成。

### Flash 存储器写入操作注意事项

1. 要开始对 Flash 存储器进行 IAP 擦 / 写操作之前，必须先完成“Flash 存储器擦 / 写使能步骤”。
2. Flash 存储器擦除操作以页为单位进行擦除。
3. 写入缓冲器中的数据填入 Flash 存储器是以页为单位进行的，且写入时不可跨页填写。
4. 数据写入 Flash 存储器后，必须以查表指令“TABRD”读出方式比对所写数据是否正确，若比对发现写入数据不正确时，通过置高 CLWB 位将写入缓冲器清除，然后重新写入数据。无需清除对应的 Flash 存储器页，直接再写入，然后再比对，直到写入正确。
5. IAP 写入与数据比对时需与最高应用频率相同。

### Flash 存储器读出步骤

要启动 Flash 存储器读出程序，需将 FMODE[2:0] 位设为“011”选择 Flash 存储器读出模式，将 FRDEN 位设为“1”使能读出功能。将要读出的地址填入 FARH 和 FARL 地址寄存器中，并将 FRD 位设为“1”，然后便可开始 Flash 存储器读出操作。当 FRD 被硬件清为“0”时，则可从 FD0H 和 FD0L 寄存器中取得 Flash 存储器中该地址数据。进行 Flash 存储器读出操作前，无需执行 Flash 存储器擦 / 写使能步骤。



### Flash 存储器读出步骤

- 注：1. 当读动作成功启动后，所有 CPU 相关操作将暂停。  
2. FRD 位由高变低所需时间为 3 个指令周期 (典型值)。

## 数据存储器的

数据存储器是内容可更改的 8 位 RAM 内部存储器，用来储存临时数据。

数据存储器分为两种类型，第一种是特殊功能数据存储器。这些寄存器有固定的地址且与单片机的正确操作密切相关。大多特殊功能寄存器都可在程序控制下直接读取和写入，但有些被加以保护而不对用户开放。第二种数据存储器是做一般用途使用，都可在程序控制下进行读取和写入。

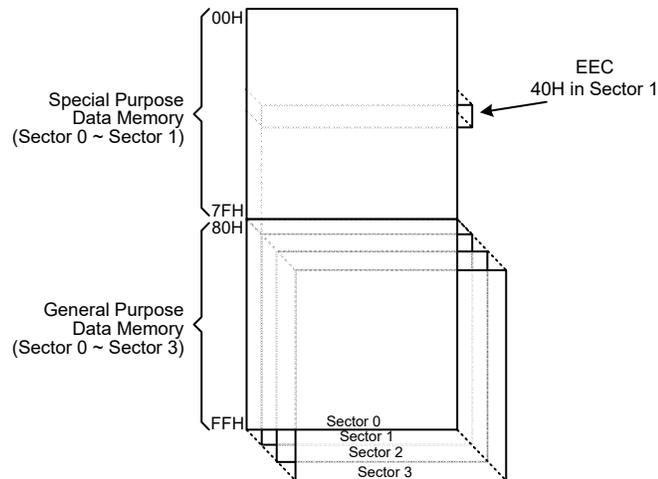
切换不同区域可通过设置区域指针实现。

### 结构

数据存储器被分为多个 Sector，都可在 8 位的存储器中实现。每个数据存储器 Sector 分为两种类型，即特殊功能数据存储器和通用数据存储器。特殊功能数据存储器的地址范围为 00H~7FH，而通用数据存储器的地址范围为 80H~FFH。

特殊功能数据存储器	通用数据存储器	
所在 Sector	容量	Sector: 地址
0: 00H~7FH 1: 40H (仅 EEC)	512×8	0: 80H~FFH
		1: 80H~FFH 2: 80H~FFH 3: 80H~FFH

数据存储器概要



数据存储器结构

## 数据存储寻址

此单片机支持扩展指令架构，因此它没有提供用于数据存储器 Sector 选择的存储区指针。当使用间接寻址方式对数据存储进行寻址时，通过 MP1H 或 MP2H 寄存器指定所需 Sector，通过 MP1L 或 MP2L 寄存器指定所选 Sector 的具体地址。

直接寻址可用于所有 Sector，通过扩展指令可以寻址所有可用的数据存储空间。当所访问的地址位于除 Sector 0 外的任何数据存储 Sector 时，扩展指令可代替间接寻址方式用来访问数据存储。标准指令和扩展指令的主要区别在于扩展指令中的数据存储地址“m”可以是 10 位，高字节表示 Sector，低字节表示指定的地址。

## 通用数据存储

所有的单片机程序需要一个读/写的存储区，让临时数据可以被储存和再使用，该 RAM 区域就是通用数据存储。这个数据存储区可让使用者进行读取和写入的操作。使用位操作指令可对个别的位做置位或复位的操作，较大地方方便了用户在数据存储内进行位操作。

## 特殊功能数据存储

这个区域的数据存储是存放特殊寄存器的，这些寄存器与单片机的正确操作密切相关，大多数的寄存器可进行读取和写入，只有一些是被写保护而只能读取的，相关细节的介绍请参看有关特殊功能寄存器的部分。要注意的是，任何读取指令对存储器中未定义的地址进行读取将返回“00H”。

Sector 0		Sector 1	Sector 0		Sector 1
00H	IAR0		40H		EEC
01H	MP0		41H	PC	
02H	IAR1		42H	PCC	
03H	MP1L		43H	PCPU	
04H	MP1H		44H	LXTC	
05H	ACC		45H	SIMC0	
06H	PCL		46H	SIMC1	
07H	TBLP		47H	SIMD	
08H	TBLH		48H	SIMC2/SIMA	
09H	TBHP		49H	SIMTOC	
0AH	STATUS		4AH	VBGRC	
0BH			4BH	TB1C	
0CH	IAR2		4CH	MF10	
0DH	MP2L		4DH	MF11	
0EH	MP2H		4EH	MF12	
0FH	RSTFC		4FH	SLEDC0	
10H	INTEG		50H	SLEDC1	
11H	INTC0		51H	IFS	
12H	INTC1		52H	PD	
13H	INTC2		53H	PDC	
14H	PA		54H	PDPU	
15H	PAC		55H	USR	
16H	PAPU		56H	UCR1	
17H	PAWU		57H	UCR2	
18H	LVDC		58H	BRG	
19H	SCC		59H	TXR_RXR	
1AH	WDTC		5AH	LVPUC	
1BH	TB0C		5BH	PAS0	
1CH	HIRCC		5CH	PAS1	
1DH	LVRC		5DH	PBS0	
1EH	EEA		5EH	PBS1	
1FH	EED		5FH	PCS0	
20H	SADOL		60H	PCS1	
21H	SAD0H		61H	PDS0	
22H	SADC0		62H	SLCDC0	
23H	SADC1		63H	SLCDS0	
24H	SADC2		64H	SLCDS1	
25H	PB		65H	SLCDS2	
26H	PBC		66H	PSC0R	
27H	PBPU		67H	PSC1R	
28H	CTMC0		68H	RSTC	
29H	CTMC1		69H	FC0	
2AH	CTMDL		6AH	FC1	
2BH	CTMDH		6BH	FC2	
2CH	CTMAL		6CH	FARL	
2DH	CTMAH		6DH	FARH	
2EH	CTMRP		6EH	FD0L	
2FH	STMC0		6FH	FD0H	
30H	STMC1		70H	FD1L	
31H	STMDL		71H	FD1H	
32H	STMDH		72H	FD2L	
33H	STMAL		73H	FD2H	
34H	STMAH		74H	FD3L	
35H	STM RP		75H	FD3H	
36H	HXTC		76H		
37H	PTMC0		77H		
38H	PTMC1		78H		
39H	PTMDL		79H		
3AH	PTMDH		7AH		
3BH	PTMAL		7BH		
3CH	PTMAH		7CH		
3DH	PTMRPL		7DH		
3EH	PTMRPH		7EH		
3FH	CMPC		7FH		

□: Unused, read as 00H

### 特殊功能数据存储结构

## 特殊功能寄存器

大部分特殊功能寄存器的细节将在相关功能章节描述，但有几个寄存器需在此章节单独描述。

### 间接寻址寄存器 – IAR0, IAR1, IAR2

间接寻址寄存器 IAR0、IAR1 和 IAR2 的地址虽位于数据存储区，但其并没有实际的物理地址。间接寻址的方法准许使用间接寻址指针做数据操作，以取代定义实际存储器地址的直接存储器寻址方法。在间接寻址寄存器 IAR0、IAR1 和 IAR2 上的任何动作，将对间接寻址指针 MP0、MP1L/MP1H 或 MP2L/MP2H 所指定的存储器地址产生对应的读 / 写操作。它们总是成对出现，IAR0 和 MP0 只可以访问 Sector 0，而 IAR1 和 MP1L/MP1H、IAR2 和 MP2L/MP2H 可以访问所有 Sector。因为这些间接寻址寄存器不是实际存在的，直接读取将返回“00H”的结果，而直接写入此寄存器则不做任何操作。

### 存储器指针 – MP0, MP1H/MP1L, MP2H/MP2L

该单片机提供五个存储器指针，即 MP0、MP1L、MP1H、MP2L 和 MP2H。由于这些指针在数据存储区中能像普通的寄存器一般被操作，因此提供了一个寻址和数据追踪的有效方法。当对间接寻址寄存器进行任何操作时，单片机指向的实际地址是由存储器指针所指定的地址。MP0、IAR0 仅可用于访问 Sector 0，而 MP1L/MP1H 和 IAR1、MP2L/MP2H 和 IAR2 可根据 MP1H 或 MP2H 寄存器访问所有的 Sector。使用扩展指令可对所有的数据存储区 Sector 进行直接寻址。以下例子说明如何清除一个具有 4 RAM 地址的区块，它们已事先定义成地址 adres1 到 adres4。

#### 间接寻址程序范例

##### 范例 1

```
data .section 'data'
adres1 db ?
adres2 db ?
adres3 db ?
adres4 db ?
block db ?
code .section at 0 'code'
org 00h
start:
    mov a, 04h                ; set size of block
    mov block, a
    mov a, offset adres1     ; Accumulator loaded with first RAM address
    mov mp0, a               ; set memory pointer with first RAM address
loop:
    clr IAR0                  ; clear the data at address defined by MP0
    inc mp0                   ; increase memory pointer
    sdz block                 ; check if last memory location has been cleared
    jmp loop
continue:
```

## 范例 2

```
data .section 'data'
adres1 db ?
adres2 db ?
adres3 db ?
adres4 db ?
block db ?
code .section at 0 'code'
org 00h
start:
    mov a, 04h            ; set size of block
    mov block, a
    mov a, 01h           ; set the memory sector
    mov mplh, a
    mov a, offset adres1 ; Accumulator loaded with first RAM address
    mov mp1l, a         ; set memory pointer with first RAM address
loop:
    clr IAR1            ; clear the data at address defined by MP1L
    inc mp1l            ; increase memory pointer MP1L
    sdz block           ; check if last memory location has been cleared
    jmp loop
continue:
```

在上面的例子中有一点值得注意，即并没有确定 RAM 地址。

## 使用扩展指令直接寻址程序范例

```
data .section 'data'
temp db ?
code .section at 0 'code'
org 00h
start:
    lmov a, [m]          ; move [m] data to acc
    lsub a, [m+1]        ; compare [m] and [m+1] data
    snz c                ; [m]>[m+1]?
    jmp continue        ; no
    lmov a, [m]          ; yes, exchange [m] and [m+1] data
    mov temp, a
    lmov a, [m+1]
    lmov [m], a
    mov a, temp
    lmov [m+1], a
continue:
```

注：“m”是位于数据存储器任意 Sector 的某一地址。例如，m=1F0H 表示 Sector 1 中的地址 0F0H。

## 累加器 – ACC

对任何单片机来说，累加器是相当重要的，且与 ALU 所完成的运算有密切关系，所有 ALU 得到的运算结果都会暂时存在 ACC 累加器里。若没有累加器，ALU 必须在每次进行如加法、减法和移位的运算时，将结果写入到数据存储器，这样会造成程序编写和时间的负担。另外数据传送也常常牵涉到累加器的临时储存功能，例如在使用者定义的一个寄存器和另一个寄存器之间传送数据时，由于两寄存器之间不能直接传送数据，因此必须通过累加器来传送数据。

## 程序计数器低字节寄存器 – PCL

为了提供额外的程序控制功能，程序计数器低字节设置在数据存储器的特殊功能区域内，程序员可对此寄存器进行操作，很容易的直接跳转到其它程序地址。直接给 PCL 寄存器赋值将导致程序直接跳转到程序存储器的某一地址，然而由于寄存器只有 8 位长度，因此只允许在本页的程序存储器范围内进行跳转，而当使用这种运算时，要注意会插入一个空指令周期。

## 表格寄存器 – TBLP, TBHP, TBLH

这三个特殊功能寄存器对存储在程序存储器中的表格进行操作。TBLP 和 TBHP 为表格指针，指向表格数据存储的地址。它们的值必须在任何表格读取指令执行前加以设定，由于它们的值可以被如“INC”或“DEC”的指令所改变，这就提供了一种简单的方法对表格数据进行读取。表格读取数据指令执行之后，表格数据高字节存储在 TBLH 中。其中要注意的是，表格数据低字节会被传送到使用者指定的地址。

## 状态寄存器 – STATUS

这 8 位的状态寄存器由 SC 标志位、CZ 标志位、零标志位 (Z)、进位标志位 (C)、辅助进位标志位 (AC)、溢出标志位 (OV)、暂停标志位 (PDF) 和看门狗定时器溢出标志位 (TO) 组成。这些算术 / 逻辑操作和系统运行标志位是用来记录单片机的运行状态。

除了 PDF 和 TO 标志外，状态寄存器中的位像其它大部分寄存器一样可以被改变。任何数据写入到状态寄存器将不会改变 TO 或 PDF 标志位。另外，执行不同的指令后，与状态寄存器有关的运算可能会得到不同的结果。TO 标志位只会受系统上电、看门狗溢出或执行“CLR WDT”或“HALT”指令影响。PDF 标志位只会受执行“HALT”或“CLR WDT”指令或系统上电影响。

Z、OV、AC、C、SC 和 CZ 标志位通常反映最近运算的状态。

- C: 当加法运算的结果产生进位，或减法运算的结果没有产生借位时，则 C 被置位，否则 C 被清零，同时 C 也会被带进位的移位指令所影响。
- AC: 当低半字节加法运算的结果产生进位，或低半字节减法运算的结果没有产生借位时，AC 被置位，否则 AC 被清零。
- Z: 当算术或逻辑运算结果是零时，Z 被置位，否则 Z 被清零。
- OV: 当运算结果高两位的进位状态异或结果为 1 时，OV 被置位，否则 OV 被清零。
- PDF: 系统上电或执行“CLR WDT”指令会清零 PDF，而执行“HALT”指令则会置位 PDF。
- TO: 系统上电或执行“CLR WDT”或“HALT”指令会清零 TO，而当 WDT 溢出则会置位 TO。
- CZ: 不同指令不同标志位的操作结果。详细资料请参考寄存器定义部分。
- SC: 当 OV 与当前指令操作结果 MSB 执行“XOR”所得结果。

另外，当进入一个中断程序或执行子程序调用时，状态寄存器不会自动压入到堆栈保存。假如状态寄存器的内容是重要的且子程序可能改变状态寄存器的话，则需谨慎的去做正确的储存。

● STATUS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SC	CZ	TO	PDF	OV	Z	AC	C
R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W
POR	x	x	0	0	x	x	x	x

“x”：未知

- Bit 7      **SC**: 当 OV 与当前指令操作结果 MSB 执行 “XOR” 所得结果
- Bit 6      **CZ**: 不同指令不同标志位的操作结果  
 对于 SUB/SUBM/LSUB/LSUBM 指令, CZ 等于 Z 标志位。  
 对于 SBC/SBCM/LSBC/LSBCM 指令, CZ 等于上一个 CZ 标志位与当前零标志位执行 “AND” 所得结果。对于其它指令, CZ 标志位无影响。
- Bit 5      **TO**: 看门狗溢出标志位  
 0: 系统上电或执行 “CLR WDT” 或 “HALT” 指令后  
 1: 看门狗溢出发生
- Bit 4      **PDF**: 暂停标志位  
 0: 系统上电或执行 “CLR WDT” 指令后  
 1: 执行 “HALT” 指令
- Bit 3      **OV**: 溢出标志位  
 0: 无溢出  
 1: 运算结果高两位的进位状态异或结果为 1
- Bit 2      **Z**: 零标志位  
 0: 算术或逻辑运算结果不为 0  
 1: 算术或逻辑运算结果为 0
- Bit 1      **AC**: 辅助进位标志位  
 0: 无辅助进位  
 1: 在加法运算中低四位产生了向高四位进位, 或减法运算中低四位不发生从高四位借位
- Bit 0      **C**: 进位标志位  
 0: 无进位  
 1: 如果在加法运算中结果产生了进位, 或在减法运算中结果不发生借位  
 C 标志位也受循环移位指令的影响。

## EEPROM 数据存储

该单片机的一个特性是内建 EEPROM 数据存储。由于其非易失的存储结构，即使在电源掉电的情况下存储器内的数据仍然保存完好。这种存储区扩展了存储器空间，对设计者来说增加了许多新的应用机会。EEPROM 可以用来存储产品编号、校准值、用户特定数据、系统配置参数或其它产品信息等。EEPROM 的数据读取和写入过程也会变的更简单。

### EEPROM 数据存储结构

该单片机的 EEPROM 数据存储容量为 128×8 位。由于映射方式与程序存储器和数据存储器不同，因此不能像其它类型的存储器一样寻址。使用 Sector 0 中的一个地址寄存器和一个数据寄存器以及 Sector 1 中的一个控制寄存器，可以实现对 EEPROM 的单字节读写操作。

### EEPROM 寄存器

有三个寄存器控制内部 EEPROM 数据存储总的操作。地址寄存器 EEA、数据寄存器 EED 及控制寄存器 EEC。EEA 和 EED 位于 Sector 0 中，它们能像其它特殊功能寄存器一样直接被访问。EEC 位于 Sector 1 中，只能通过 MP1L/MP1H 和 IAR1 或 MP2L/MP2H 和 IAR2 进行间接读取或写入。由于 EEC 控制寄存器位于 Sector 1 中的“40H”，在 EEC 寄存器上的任何操作被执行前，MP1L 或 MP2L 必须先设为“40H”，MP1H 或 MP2H 被设为“01H”。

寄存器名称	位							
	7	6	5	4	3	2	1	0
EEA	—	EEA6	EEA5	EEA4	EEA3	EEA2	EEA1	EEA0
EED	D7	D6	D5	D4	D3	D2	D1	D0
EEC	—	EREN	ER	MODE	WREN	WR	RDEN	RD

EEPROM 寄存器列表

#### • EEA 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	EEA6	EEA5	EEA4	EEA3	EEA2	EEA1	EEA0
R/W	—	R/W						
POR	—	0	0	0	0	0	0	0

Bit 7 未定义，读为“0”

Bit 6~0 **EEA6~ EEA0**: 数据 EEPROM 地址 bit 6~bit 0

#### • EED 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**: 数据 EEPROM 数据 bit 7~bit 0

• EEC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	EREN	ER	MODE	WREN	WR	RDEN	RD
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	0	0	0	0	0	0	0

Bit 7 未定义，读为“0”

Bit 6 **EREN**: 数据 EEPROM 擦使能位

0: 除能  
1: 使能

此位用来使能数据 EEPROM 擦功能，向数据 EEPROM 擦操作之前需将此位置高。擦周期结束后，硬件自动将此位清零。将此位清零时，则禁止向数据 EEPROM 擦操作。

Bit 5 **ER**: 数据 EEPROM 擦控制位

0: 擦除周期结束  
1: 开始擦周期

此位为数据 EEPROM 擦控制位，由应用程序将此位置高将激活擦除周期。擦除周期结束后，硬件自动将此位清零。当 EREN 未先置高时，此位置高无效。

Bit 4 **MODE**: 数据 EEPROM 操作模式选择位

0: 字节操作模式  
1: 页操作模式

此位为数据 EEPROM 操作模式选择位。当此位为高，则选择页写、擦或读操作模式。当此位为 0，则选择字节写或读操作模式。EEPROM 页缓存器大小为 16 字节。

Bit 3 **WREN**: 数据 EEPROM 写使能位

0: 除能  
1: 使能

此位为数据 EEPROM 写使能位，向数据 EEPROM 写操作之前需将此位置高。将此位清零时，则禁止向数据 EEPROM 写操作。无论通过 MODE 位选择了何种写模式，在写操作结束后硬件都会自动将 WREN 位清零。

Bit 2 **WR**: EEPROM 写控制位

0: 写周期结束  
1: 开始写周期

此位为数据 EEPROM 写控制位，由应用程序将此位置高将激活写周期。写周期结束后，硬件自动将此位清零。当 WREN 未先置高时，此位置高无效。

Bit 1 **RDEN**: 数据 EEPROM 读使能位

0: 除能  
1: 使能

此位为数据 EEPROM 读使能位，向数据 EEPROM 读操作之前需将此位置高。将此位清零时，则禁止向数据 EEPROM 读操作。

Bit 0 **RD**: EEPROM 读控制位

0: 读周期结束  
1: 开始读周期

此位为数据 EEPROM 读控制位，由应用程序将此位置高将激活读周期。读周期结束后，硬件自动将此位清零。当 RDEN 未先置高时，此位置高无效。

注: 1. 在同一条指令中 EREN、ER、WREN、WR、RDEN 和 RD 不能同时置为“1”。

2. 确保  $f_{SUB}$  时钟在执行擦 / 写动作前已稳定。

3. 确保擦 / 写动作完成后才可改写 EEPROM 相关寄存器或启动 IAP 功能。

## EEPROM 读操作

此单片机有两种模式可实现从 EEPROM 中读取数据，即字节读模式和页读模式，可通过 EEC 寄存器中的 EEPROM 操作模式选择位 MODE 选择。

### 字节读模式

当模式选择位 MODE 为 0 时，可执行 EEPROM 字节读操作。为了实现字节读操作，EEPROM 中要读取数据的地址需先放入 EEA 寄存器中，EEC 寄存器中的读使能位 RDEN 也要置高以启用读功能，然后再置高 RD 位以开始 EEPROM 字节读操作。注意，若 RD 位已置高而 RDEN 位还未被置高则不能开始读操作。若读周期结束，EEPROM 数据可以从 EED 寄存器中读取，RD 位将自动清零。读到的数据在其它读或写操作执行前将一直保留在 EED 寄存器中。应用程序可轮询 RD 位以确定数据可以有效地被读取。

### 页读模式

当模式选择位 MODE 为 1 时，可执行 EEPROM 页读操作。页读操作中页大小可达 16 个字节。为了实现页读操作，EEPROM 中要读取页的起始地址需先放入 EEA 寄存器中，EEC 寄存器中的读使能位 RDEN 也要置高以启用读功能，然后再置高 RD 位以开始 EEPROM 页读操作。注意，若 RD 位已置高而 RDEN 位还未被置高则不能开始读操作。若当前字节读周期结束，EEPROM 数据可以从 EED 寄存器中读取，而当前地址将由硬件自动加一，然后 RD 位将自动清零。只要再置高 RD 位无需重新配置 EEPROM 地址和 RDEN 控制位，就可以连续从 EED 寄存器中读取下一个 EEPROM 地址的数据。应用程序可轮询 RD 位以确定数据可以有效地被读取。

EEPROM 地址高 3 位用来指定要读取页的位置，而低 4 位用来指向实际的地址。在页操作模式低 4 位地址将自动加一，而高 3 位地址不会自动增加。当 EEPROM 地址低 4 位自动递增到页的上限，即 0FH，EEPROM 地址低 4 位的值会停止在 0FH，EEPROM 地址将不会再增加。

## EEPROM 页擦操作

当模式选择位 MODE 为 1 时，可执行 EEPROM 页擦操作。EEPROM 一页可擦除 16 个字节。上电复位后内部页缓存器将由硬件清零。当 EEPROM 擦使能控制位 EREN 由 1 变为 0 时，内部页缓存器也会被清零。注意当 EREN 位由 0 变为 1 时，内部页缓存器不会清零。EEPROM 地址高 3 位用来指定要擦除页的位置，而低 4 位用来指向实际的地址。在页擦操作模式每写入一字节任意数据到 EED 寄存器，低 4 位地址将自动加一，而高 3 位地址不会自动增加。当 EEPROM 地址低 4 位自动递增到页的上限，即 0FH，EEPROM 地址低 4 位的值会停止在 0FH，EEPROM 地址将不会再增加。

为了实现页擦操作，EEPROM 中要擦除页的起始地址需先放入 EEA 寄存器中，要写入的任意数据也需存入 EED 寄存器中。一页的最大数据长度为 16 字节。注意写 EED 是为了标记地址，这一操作必须执行以确定要擦除哪些地址。当一整页的任意数据都写入 EED 寄存器后，EEC 寄存器中的 EREN 位先置高以启用擦功能，然后 EEC 寄存器中的 ER 位需立即置高以开始擦操作。这两条指令必须在两个指令周期内连续执行才可成功启动一个擦除操作。进行擦除操作之前应先将总中断使能位 EMI 清零，在一个有效的擦启动步骤完成之后再将其使能。

由于控制 EEPROM 擦除周期是一个内部时钟，与单片机的系统时钟异步，所以擦除 EEPROM 数据的时间将有所延迟。可通过轮询 EEC 寄存器中的 ER 位或判断 EEPROM 中断以侦测擦周期是否完成。若擦除周期完成，ER 位将自动

清零，通知用户数据已擦除。因此，应用程序将轮询 ER 位以确定擦除周期是否结束。擦操作结束后，EREN 位将会被硬件置低。执行完一个页擦操作后，EEPROM 被擦除页的内容将为 0000H。

## EEPROM 写操作

此单片机有两种模式可实现写数据到 EEPROM，即字节写模式和页写模式，可通过 EEC 寄存器中的 EEPROM 操作模式选择位 MODE 选择。

### 字节写模式

当模式选择位 MODE 为 0 时，可执行 EEPROM 字节写操作。为了实现字节写操作，EEPROM 中要写入数据的地址需先放入 EEA 寄存器中，写入的数据也需存入 EED 寄存器中。EEC 寄存器中的写使能位 WREN 先置高以使能写功能，然后 EEC 寄存器中的 WR 位需立即置高以开始写操作。这两条指令必须在两个指令周期内连续执行才可成功启动一个写操作。进行写操作之前应先将总中断使能位 EMI 清零，在一个有效的写启动步骤完成之后再将其使能。若 WR 位已置为高而 WREN 位还未被设置则不能开始写操作。

由于控制 EEPROM 写周期是一个内部时钟，与单片机的系统时钟异步，所以数据写入 EEPROM 的时间将有所延迟。可通过轮询 EEC 寄存器中的 WR 位或判断 EEPROM 写中断以侦测写周期是否完成。若写周期完成，WR 位将自动清零，通知用户数据已写入 EEPROM。因此，应用程序将轮询 WR 位以确定写周期是否结束。写操作结束后，WREN 位将会被硬件置低。注意，字节写操作被成功启动前会自动执行字节擦除操作。

### 页写模式

在执行页写操作之前，务必确保已成功执行了相关的页擦除操作。当模式选择位 MODE 为 1 时，可执行 EEPROM 页写操作。EEPROM 一页可写入 16 个字节。上电复位后内部页缓存器将由硬件清零。当 EEPROM 写使能控制位 WREN 由 1 变为 0 时，内部页缓存器也会被清零。注意当 WREN 位由 0 变为 1 时，内部页缓存器不会清零。除了最多可以写入 16 字节 EEPROM 数据以外，页写操作初始化的方法与字节写操作相同。EEPROM 地址高 3 位用来指定要写入页的位置，而低 4 位用来指向实际的地址。在页写操作模式每写入一字节数据到 EED 寄存器，低 4 位地址将自动加一，而高 3 位地址不会自动增加。当 EEPROM 地址低 4 位自动递增到页的上限，即 0FH，EEPROM 地址低 4 位的值会停止在 0FH，EEPROM 地址将不会再增加。此时再对 EED 寄存器写入数据也将无效。

为了实现页写操作，EEPROM 中要写入页的起始地址需先放入 EEA 寄存器中，要写入的数据也需存入 EED 寄存器中。一页的最大数据长度为 16 字节。注意当写入一字节数据到 EED 寄存器，EED 中的数据会加载到内部页缓存器中，然后当前地址值会自动加一。当一页数据被全部写入页缓存器，EEC 寄存器中的写使能位 WREN 先置高以使能写功能，然后 EEC 寄存器中的 WR 位需立即置高以开始写操作。这两条指令必须在两个指令周期内连续执行才可成功启动一个写操作。进行写操作之前应先将总中断使能位 EMI 清零，在一个有效的写启动步骤完成之后再将其使能。若 WR 位已置为高而 WREN 位还未被设置则不能开始写操作。若 WR 位已置为高而 WREN 位还未被设置则不能开始写操作。

由于控制 EEPROM 写周期是一个内部时钟，与单片机的系统时钟异步，所以数据写入 EEPROM 的时间将有所延迟。可通过轮询 EEC 寄存器中的 WR 位或判断 EEPROM 写中断以侦测写周期是否完成。若写周期完成，WR 位将自动清零，通知用户数据已写入 EEPROM。因此，应用程序将轮询 WR 位以确定写周期是否结束。写操作结束后，WREN 位将会被硬件置低。

## 写保护

防止误写入的写保护有以下几种。单片机上电后控制寄存器中的写使能位将被清除以杜绝任何写入操作。上电后存储器指针高字节寄存器 MP1H 或 MP2H 将重置为“0”，这意味着数据存储区 Sector 0 被选中。由于 EEPROM 控制寄存器位于 Sector 1 中，这增加了对写操作的保护措施。在正常程序操作中确保控制寄存器中的写使能位被清除将能防止不正确的写操作。

## EEPROM 中断

EEPROM 写周期结束后将产生 EEPROM 擦 / 写中断，需先通过设置相关中断寄存器的 DEE 位使能 EEPROM 中断。EEPROM 中断属于多功能中断。当 EEPROM 擦 / 写周期结束，DEF 请求标志位将被置位。若总中断、EEPROM 中断和多功能中断使能且堆栈未满的情况下将跳转到相应的多功能中断向量中执行。当中断被响应，只有多功能中断可自动复位，而 EEPROM 中断标志位需通过应用程序手动复位。详情请参考中断章节。

## 编程注意事项

必须注意的是数据不会无意写入 EEPROM。在没有写动作时写使能位被正常清零可以增强保护功能。存储器指针高字节寄存器 MP1H 或 MP2H 也可以正常清零以阻止进入 EEPROM 控制寄存器存在的 Sector 1。尽管没有必要，写一个简单的读回程序以检查新写入的数据是否正确还是应该考虑的。

WREN 位置位后，EEC 寄存器中的 WR 位需立即置位，以确保写周期正确地执行。写或擦周期开始前总中断位 EMI 应先清零，在一个有效的写或擦启动步骤完成之后再将此位重新使能。注意，单片机不应在 EEPROM 读或写操作完全完成之前进入空闲或休眠模式，否则 EEPROM 读或写操作将失败。

## 程序举例

### 从 EEPROM 中读取一个字节数据 – 轮询法

```

MOV A, 040H                ; setup memory pointer low byte MP1L
MOV MP1L, A                ; MP1 points to EEC register
MOV A, 01H                 ; setup memory pointer high byte MP1H
MOV MP1H, A
CLR IAR1.4                 ; clear MODE bit, select byte operation mode
MOV A, EEPROM_ADRES       ; user defined address
MOV EEA, A
SET IAR1.1                 ; set RDEN bit, enable read operations
SET IAR1.0                 ; start Read Cycle - set RD bit
BACK:
SZ IAR1.0                  ; check for read cycle end
JMP BACK
CLR IAR1                    ; disable EEPROM read function
CLR MP1H
MOV A, EED                  ; move read data to register
MOV READ_DATA, A
    
```

### 从 EEPROM 中读取一页数据 – 轮询法

```

MOV A, 040H                ; setup memory pointer low byte MP1L
MOV MP1L, A                ; MP1 points to EEC register
MOV A, 01H                 ; setup memory pointer high byte MP1H
MOV MP1H, A
SET IAR1.4                 ; set MODE bit, select page operation mode
MOV A, EEPROM_ADRES       ; user defined address
    
```

```

MOV EEA, A
SET IAR1.1                ; set RDEN bit, enable read operations
; ~~~~ The data length can be up to 16 bytes (Start) ~~~~
CALL READ
CALL READ
:
:
JMP PAGE_READ_FINISH
; ~~~~ The data length can be up to 16 bytes (End) ~~~~
READ:
SET IAR1.0                ; start Read Cycle - set RD bit
BACK:
SZ IAR1.0                 ; check for read cycle end
JMP BACK
MOV A, EED                 ; move read data to register
MOV READ_DATA, A
RET
:
PAGE_READ_FINISH:
CLR IAR1                  ; disable EEPROM read function
CLR MP1H

```

### 写入一个字节数据到 EEPROM – 轮询法

```

MOV A, 40H                ; setup Memory Pointer MP1L
MOV MP1L, A               ; MP1L points to EEC register
MOV A, 01H                ; setup Memory Pointer MP1H
MOV MP1H, A
CLR IAR1.4                ; clear MODE bit, select byte write mode
MOV A, EEPROM_ADRES      ; user defined address
MOV EEA, A
MOV A, EEPROM_DATA       ; user defined data
MOV EED, A
CLR EMI
SET IAR1.3                ; set WREN bit, enable write operations
SET IAR1.2                ; start Write Cycle - set WR bit - executed
; immediately after set WREN bit

SET EMI
BACK:
SZ IAR1.2                 ; check for write cycle end
JMP BACK
CLR MP1H

```

### 擦除 EEPROM 的一页数据 – 轮询法

```

MOV A, 40H                ; setup Memory Pointer MP1L
MOV MP1L, A               ; MP1L points to EEC register
MOV A, 01H                ; setup Memory Pointer MP1H
MOV MP1H, A
SET IAR1.4                ; set MODE bit, select page operation mode
MOV A, EEPROM_ADRES      ; user defined address
MOV EEA, A                ; the data length can be up to 16 bytes (Start)
CALL WRITE_BUF
CALL WRITE_BUF
:
:
JMP Erase START          ; the data length can be up to 16 bytes (End)
WRITE_BUF:
MOV A, EEPROM_DATA       ; user defined data, erase mode don't care data
; value

```

```

MOV EED, A
RET
:
Erase_START:
CLR EMI
SET IAR1.6           ; set EREN bit, enable write operations
SET IAR1.5           ; start Write Cycle - set ER bit
SET EMI
BACK:
SZ IAR1.5           ; check for write cycle end
JMP BACK
CLR MP1H

```

### 写入一页数据到 EEPROM – 轮询法

```

MOV A, 040H           ; setup memory pointer low byte MP1L
MOV MP1L, A           ; MP1 points to EEC register
MOV A, 01H           ; setup memory pointer high byte MP1H
MOV MP1H, A
SET IAR1.4           ; set MODE bit, select page operation mode
MOV A, EEPROM_ADRES  ; user defined address
MOV EEA, A
; ~~~~ The data length can be up to 16 bytes (Start) ~~~~
CALL WRITE_BUF
CALL WRITE_BUF
:
:
JMP WRITE_START
; ~~~~ The data length can be up to 16 bytes (End) ~~~~
WRITE_BUF:
MOV A, EEPROM_DATA   ; user defined data
MOV EED, A
RET
:
WRITE_START:
CLR EMI
SET IAR1.3           ; set WREN bit, enable write operations
SET IAR1.2           ; start Write Cycle - set WR bit - executed
; immediately after setting WREN bit

SET EMI
BACK:
SZ IAR1.2           ; check for write cycle end
JMP BACK
CLR MP1H

```

## 振荡器

不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。振荡器的灵活性使得在速度和功耗方面可以达到较佳的优化。振荡器选择及相关操作是通过配置选项和相关的控制寄存器共同完成的。

### 振荡器概述

振荡器除了作为系统时钟源，还作为看门狗定时器和时基中断的时钟源。外部振荡器需要一些外围器件，而集成的内部振荡器不需要任何外围器件。它们提供的高速和低速系统振荡器具有较宽的频率范围。较高频率的振荡器提供更高的性能，但要求有更高的功率，反之亦然。动态切换快慢系统时钟的能力使单片机具有灵活而优化的性能/功耗比，此特性对功耗敏感的应用领域尤为重要。

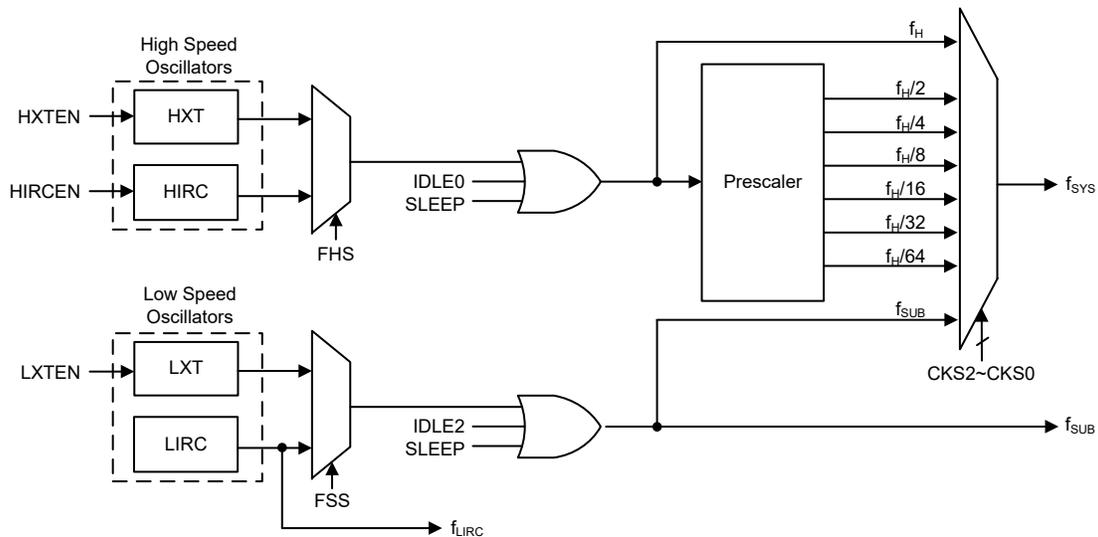
类型	名称	频率	引脚
外部高速晶振	HXT	400kHz~16MHz	OSC1/OSC2
内部高速 RC	HIRC	8/12/16MHz	—
外部低速晶振	LXT	32.768kHz	XT1/XT2
内部低速 RC	LIRC	32kHz	—

振荡器类型

### 系统时钟配置

该单片机有四个振荡器可被用作系统振荡器，包括两个高速振荡器和两个低速振荡器。高速振荡器有外部晶体/陶瓷振荡器 HXT 和内部 8/12/16MHz 高速振荡器 HIRC，低速振荡器有内部 32kHz 低速振荡器 LIRC 和外部 32.768kHz 晶振 LXT。使用高速或低速振荡器作为系统时钟的选择是通过设置 SCC 寄存器中的 CKS2~CKS0 位决定的，系统时钟可动态选择。

低速振荡器的实际时钟源由 SCC 寄存器的 FSS 位选择，高速振荡器的实际时钟源由 SCC 寄存器的 FHS 位选择。低速或高速系统时钟频率由 SCC 寄存器的 CKS2~CKS0 位决定的。请注意，两个振荡器必须做出选择，即一个高速和一个低速振荡器。

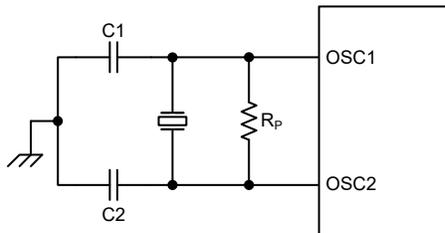


系统时钟配置

### 外部晶体 / 陶瓷振荡器 – HXT

外部高频晶体 / 陶瓷振荡器是一个高频振荡器，由 FHS 控制位选择。对于晶体振荡器，只要简单地将晶体连接至 OSC1 和 OSC2，则会产生振荡所需的相移及反馈，而不需其它外部电容。为保证某些低频率的晶体振荡和陶瓷谐振器的振荡频率更精准，建议连接两个小容量电容 C1 和 C2 到 VSS，具体数值与客户选择的晶体 / 陶瓷晶振有关。

为了确保振荡器的稳定性及减少噪声和串扰的影响，晶体振荡器及其相关的电阻和电容以及它们之间的连线都应尽可能的接近单片机。



Note: 1.  $R_p$  is normally not required. C1 and C2 are required.  
2. Although not shown OSC1/OSC2 pins have a parasitic capacitance of around 7pF.

### 晶体 / 陶瓷振荡器 – HXT

HXT 振荡器 C1 和 C2 值		
晶体频率	C1	C2
16MHz	0pF	0pF
12MHz	0pF	0pF
8MHz	0pF	0pF
6MHz	0pF	0pF
4MHz	0pF	0pF
1MHz	100pF	100pF

注：C1 和 C2 数值仅作参考

### 晶体振荡器电容推荐值

### 内部高速 RC 振荡器 – HIRC

内部 RC 振荡器是一个集成的系统振荡器，由 FHS 控制位选择，不需其它外部器件。内部 RC 振荡器具有三种固定的频率：8MHz，12MHz，16MHz，可通过 HIRCC 寄存器中的 HIRC1~HIRC0 位进行选择。为了确保能达到交流电气特性里描述的 HIRC 频率精准度，HIRC1~HIRC0 位需要与配置选项中选择的频率吻合。芯片在制造时进行调整且内部含有频率补偿电路，使得振荡频率因  $V_{DD}$ 、温度以及芯片制成工艺不同的影响较大程度地降低。应注意如果选择了该内部时钟，则无需外部引脚，此时的引脚可以作为通用 I/O 口或其它共用功能使用。

### 外部 32.768kHz 晶体振荡器 – LXT

外部 32.768kHz 晶体振荡器是一个低频振荡器，由 FSS 控制位选择。时钟频率固定为 32.768kHz，此时 XT1 和 XT2 间引脚必须连接 32.768kHz 的晶体振荡器。需要外部电阻和电容连接到 32.768kHz 晶振以帮助起振。对于那些要求精确频率的场合中，可能需要这些元件来对由制程产生的误差提供频率补偿。LXTEN 位置高使能 LXT 振荡器后，LXT 振荡器启动需要一定的延时。

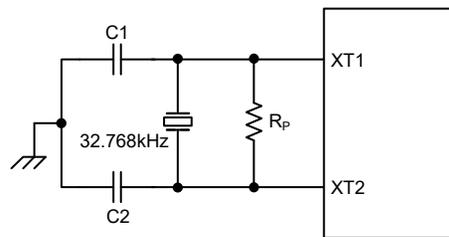
当系统进入空闲 / 休眠模式，系统时钟关闭以降低功耗。然而在某些应用，比如空闲 / 休眠模式下要保持内部定时器功能，必须提供额外的时钟，且与系统时钟无关。

然而，对于一些晶体，为了保证系统频率的启动与精度要求，需要外接两个小容量电容 C1 和 C2，具体数值与客户选择的晶体规格有关。外部并联的反馈电阻  $R_p$  是必需的。

引脚共用软件控制位决定 XT1/XT2 脚是用于 LXT 还是作为普通 I/O 口或其它共用功能使用。

- 若 LXT 振荡器未被用于任何时钟源，XT1/XT2 脚能被用作一般 I/O 口或其它共用功能使用。
- 若 LXT 振荡器被用于一些时钟源，32.768kHz 晶体应被连接至 XT1/XT2 脚。

为了确保振荡器的稳定性及减少噪声和串扰的影响，晶体振荡器及其相关的电阻和电容以及它们之间的连线都应尽可能的接近单片机。



Note: 1.  $R_p$ , C1 and C2 are required.  
2. Although not shown XT1/XT2 pins have a parasitic capacitance of around 7pF.

外部 LXT 振荡器

LXT 振荡器 C1 和 C2 值		
晶振频率	C1	C2
32.768kHz	10pF	10pF
注：1. C1 和 C2 数值仅作参考用 2. $R_p$ 的建议值为 5M $\Omega$ ~10M $\Omega$		

32.768kHz 振荡器电容推荐值

### 内部 32kHz 振荡器 – LIRC

内部 32kHz 系统振荡器是一个低频振荡器，由 FSS 控制位选择。它是一个完全集成 RC 振荡器，典型频率值为 32kHz 且无需外部元件。芯片在制造时进行调整且内部含有频率补偿电路，使得振荡器因电源电压、温度及芯片制成工艺不同的影响较大程度地降低。

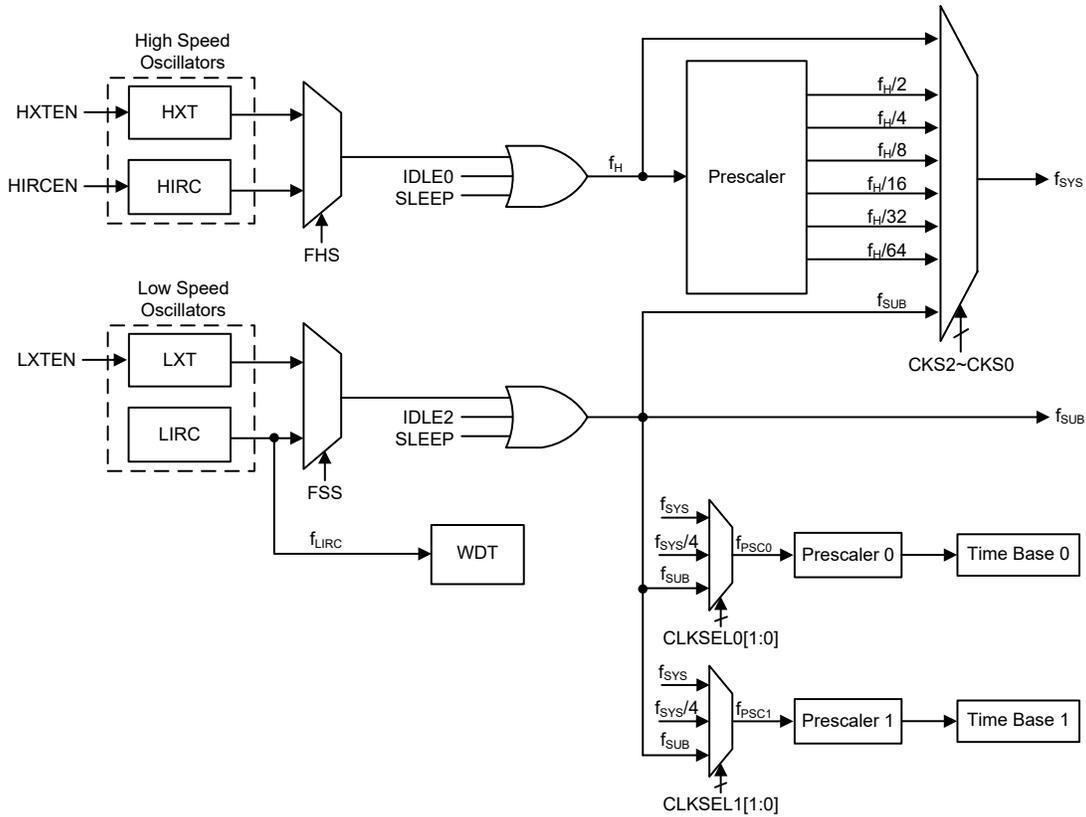
## 工作模式和系统时钟

现今的应用要求单片机具有较高的性能及尽可能低的功耗，这种矛盾的要求在便携式电池供电的应用领域尤为明显。高性能所需要的高速时钟将增加功耗，反之亦然。该单片机提供高、低速两种时钟源，它们之间可以动态切换，用户可通过优化单片机操作来获得较佳性能 / 功耗比。

### 系统时钟

单片机为 CPU 和外围功能操作提供了多种不同的时钟源。用户使用寄存器编程可获取多种时钟，进而使系统时钟获取较大的应用性能。

主系统时钟可来自高频时钟源  $f_H$  或低频时钟源  $f_{SUB}$ ，通过 SCC 寄存器中的 CKS2~CKS0 位进行选择。高频时钟来自 HXT 或 HIRC 振荡器，可通过 SCC 寄存器中的 FHS 位选择。低频系统时钟源来自  $f_{SUB}$ ，若  $f_{SUB}$  被选择，低频时钟来自 LXT 或 LIRC 振荡器，可通过 SCC 寄存器中的 FSS 位选择。其它系统时钟还有高速系统振荡器的分频  $f_H/2 \sim f_H/64$ 。



系统时钟选项

注：当系统时钟源  $f_{SYS}$  由  $f_H$  切换为  $f_{SUB}$  时，可以通过设置相应的高速振荡器使能控制位，选择停止以节省耗电，或者继续振荡，为外围电路提供  $f_H \sim f_H/64$  频率的时钟源。

### 系统工作模式

单片机有 6 种不同的工作模式，每种有它自身的特性，根据应用中不同的性能和功耗要求可选择不同的工作模式。单片机正常工作模式有两种：快速模式和低速模式。剩余的 4 种工作模式：休眠模式、空闲模式 0、空闲模式 1 和空闲模式 2 用于单片机 CPU 关闭时以节省耗电。

工作模式	CPU	寄存器设置			f <sub>sys</sub>	f <sub>H</sub>	f <sub>sub</sub>	f <sub>LIRC</sub>
		FHIDEN	FSIDEN	CKS2~CKS0				
快速模式	On	x	x	000~110	f <sub>H</sub> ~f <sub>H</sub> /64	On	On	On
低速模式	On	x	x	111	f <sub>sub</sub>	On/Off <sup>(1)</sup>	On	On
空闲模式 0	Off	0	1	000~110	Off	Off	On	On
				111	On			
空闲模式 1	Off	1	1	xxx	On	On	On	On
空闲模式 2	Off	1	0	000~110	On	On	Off	On
				111	Off			
休眠模式	Off	0	0	xxx	Off	Off	Off	On/Off <sup>(2)</sup>

“x”：无关

- 注：1. 在低速模式中，f<sub>H</sub> 开启或关闭由相应的振荡器使能位控制。  
2. 在休眠模式中，f<sub>LIRC</sub> 开启或关闭由 WDT 功能使能或除能控制。

### 快速模式

这是主要的工作模式之一，单片机的所有功能均可在此模式中实现且系统时钟由一个高速振荡器提供。该模式下单片机正常工作的时钟源来自 HXT 或 HIRC 振荡器，通过 SCC 寄存器的 FHS 位选择。高速振荡器频率可被分为 1~64 的不等比率，实际的比率由 SCC 寄存器中的 CKS2~CKS0 位选择。单片机使用高速振荡器分频作为系统时钟可减少工作电流。

### 低速模式

此模式的系统时钟虽为较低速时钟源，但单片机仍能正常工作。该低速时钟源可来自 f<sub>sub</sub>，而 f<sub>sub</sub> 可来自于 LXT 或 LIRC 振荡器，通过 SCC 寄存器的 FSS 位选择。

### 休眠模式

执行 HALT 指令后且 SCC 寄存器中的 FHIDEN 和 FSIDEN 位都为低时，系统进入休眠模式。在休眠模式中，CPU 停止运行，f<sub>sub</sub> 停止为外围功能提供时钟。若看门狗定时器功能由 WDTC 寄存器设定为使能，f<sub>LIRC</sub> 继续运行。

### 空闲模式 0

执行 HALT 指令后且 SCC 寄存器中的 FHIDEN 位为低、FSIDEN 位为高时，系统进入空闲模式 0。在空闲模式 0 中，CPU 停止，但低速振荡器会开启以驱动一些外围功能。

### 空闲模式 1

执行 HALT 指令后且 SCC 寄存器中的 FHIDEN 和 FSIDEN 位都为高时，系统进入空闲模式 1。在空闲模式 1 中，CPU 停止，但高速和低速振荡器都会开启以确保一些外围功能继续工作。

### 空闲模式 2

执行 HALT 指令后且 SCC 寄存器中的 FHIDEN 位为高、FSIDEN 位为低时，系统进入空闲模式 2。在空闲模式 2 中，CPU 停止，但高速振荡器会开启以确保一些外围功能继续工作。

## 控制寄存器

寄存器 SCC、HIRCC、HXTC 和 LXTC 用于控制系统时钟和相应的振荡器配置。

寄存器名称	位							
	7	6	5	4	3	2	1	0
SCC	CKS2	CKS1	CKS0	—	FHS	FSS	FHIDEN	FSIDEN
HIRCC	—	—	—	—	HIRC1	HIRC0	HIRCF	HIRCEN
HXTC	—	—	—	—	—	HXTM	HXTF	HXTEN
LXTC	—	—	—	—	—	LXTSP	LXTF	LXTEN

系统工作模式控制寄存器列表

### • SCC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CKS2	CKS1	CKS0	—	FHS	FSS	FHIDEN	FSIDEN
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
POR	0	0	0	—	0	0	0	0

Bit 7~5 **CKS2~CKS0**: 系统时钟选择位

000:  $f_H$   
 001:  $f_H/2$   
 010:  $f_H/4$   
 011:  $f_H/8$   
 100:  $f_H/16$   
 101:  $f_H/32$   
 110:  $f_H/64$   
 111:  $f_{SUB}$

这三位用于选择系统时钟源。除了  $f_H$  或  $f_{SUB}$  提供的系统时钟源外，也可使用高频振荡器的分频作为系统时钟。

Bit 4 未定义，读为“0”

Bit 3 **FHS**: 高频时钟选择位

0: HIRC  
 1: HXT

Bit 2 **FSS**: 低频时钟选择位

0: LIRC  
 1: LXT

Bit 1 **FHIDEN**: CPU 关闭时高频振荡器控制位

0: 除能  
 1: 使能

此位用来控制在 CPU 执行 HALT 指令关闭后高速振荡器是被激活还是停止。

Bit 0 **FSIDEN**: CPU 关闭时低频振荡器控制位

0: 除能  
 1: 使能

此位用来控制在 CPU 执行 HALT 指令关闭后低速振荡器是运行还是停止。

注：使用 CKS2~CKS0 位、FHS 位或 FSS 位进行时钟切换设置之后，在相关时钟成功切换至目标时钟源之前需要一定的延时。因此，若接下来执行的操作需要目标时钟源立即响应，则在此之前必须规划适当的延迟时间。

时钟切换延迟时间 =  $4 \times t_{SYS} + [0 \sim (1.5 \times t_{CURR} + 0.5 \times t_{TAR})]$ ，其中  $t_{CURR}$  指代当前的时钟周期， $t_{TAR}$  指代目标时钟周期， $t_{SYS}$  指代当前系统时钟周期。

• HIRCC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	HIRC1	HIRC0	HIRCF	HIRCEN
R/W	—	—	—	—	R/W	R/W	R	R/W
POR	—	—	—	—	0	0	0	1

Bit 7~4 未定义，读为“0”

Bit 3~2 **HIRC1~HIRC0**: HIRC 频率选择位

00: 8MHz  
01: 12MHz  
10: 16MHz  
11: 8MHz

当 HIRC 振荡器使能或通过应用程序改变 HIRC 频率选择位时，在 HIRCF 标志位置高后时钟频率会自动改变。

建议这里选择的频率与配置选项中选定的频率保持一致，以确保能够达到交流电气特性中标示的 HIRC 频率精度。

Bit 1 **HIRCF**: HIRC 振荡器稳定标志位

0: HIRC 未稳定  
1: HIRC 稳定

此位用于表明 HIRC 振荡器是否稳定。HIRCEN 位置高使能 HIRC 振荡器，或者通过应用程序改变 HIRC 频率选择位时，HIRCF 位会先被清零，待 HIRC 振荡器稳定后会被置高。

Bit 0 **HIRCEN**: HIRC 振荡器使能控制位

0: 除能  
1: 使能

• HXTC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	HXTM	HXTF	HXTEN
R/W	—	—	—	—	—	R/W	R	R/W
POR	—	—	—	—	—	0	0	0

Bit 7~3 未定义，读为“0”

Bit 2 **HXTM**: HXT 模式选择位

0: HXT 频率 ≤ 10MHz (灌电流 / 源电流较小)  
1: HXT 频率 > 10MHz (灌电流 / 源电流较大)

注意，此位需根据所使用的 HXT 频率正确设置。若 HXTM=0 而 HXT 频率大于 10MHz，则低压时振荡性能可能不佳；若 HXTM=1 时而 HXT 频率小于 10MHz，则振荡频率和电流可能异常。

此位必须在 HXT 使能前正确配置。当 OSC1 和 OSC2 引脚功能已通过相关引脚共用控制位使能，且 HXTEN 位已置高使能 HXT 振荡器，此时再改变 HXTM 设定值是无效的。若 OSC1 或 OSC2 引脚功能除能，此时无论 HXTEN 位为何值，可通过软件改写 HXTM 位值。

Bit 1 **HXTF**: HXT 振荡器稳定标志位

0: HXT 未稳定  
1: HXT 稳定

此位用于表明 HXT 振荡器是否稳定。HXTEN 位置高使能 HXT 振荡器后，HXTF 位会先被清零，在 HXT 稳定后会被置高。

Bit 0 **HXTEN**: HXT 振荡器使能控制位

0: 除能  
1: 使能

• LXTC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	LXTSP	LXTF	LXTEN
R/W	—	—	—	—	—	R	R	R/W
POR	—	—	—	—	—	1	0	0

Bit 7~3 未定义，读为“0”

Bit 2 **LXTSP**: LXT 振荡器快速启动控制位

1: 使能 - 快速启动模式

此位已经被固定为“1”，所以 LXT 振荡器使能后总是工作在快速启动模式。

Bit 1 **LXTF**: LXT 振荡器稳定标志位

0: LXT 未稳定

1: LXT 稳定

此位用于表明 LXT 振荡器是否稳定。LXTEN 位置高使能 LXT 振荡器后，LXTF 位会先被清零，在 LXT 稳定后会被置高。

Bit 0 **LXTEN**: LXT 振荡器使能控制位

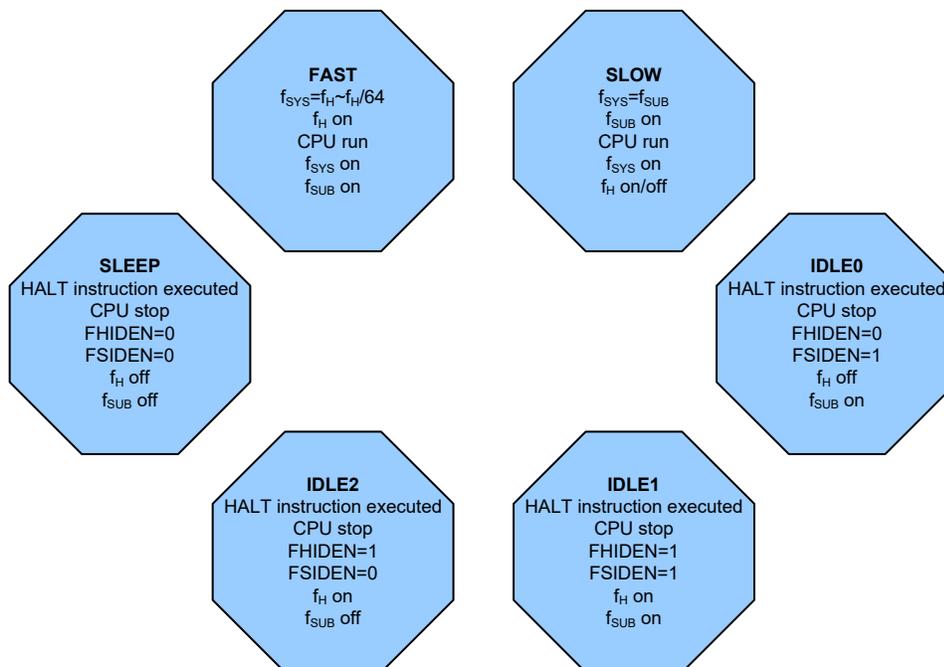
0: 除能

1: 使能

### 工作模式切换

单片机可在各个工作模式间自由切换，使得用户可根据所需选择较佳的性能 / 功耗比。用此方式，对单片机工作的性能要求不高的情况下，可使用较低频时钟以减少工作电流，在便携式应用上延长电池的使用寿命。

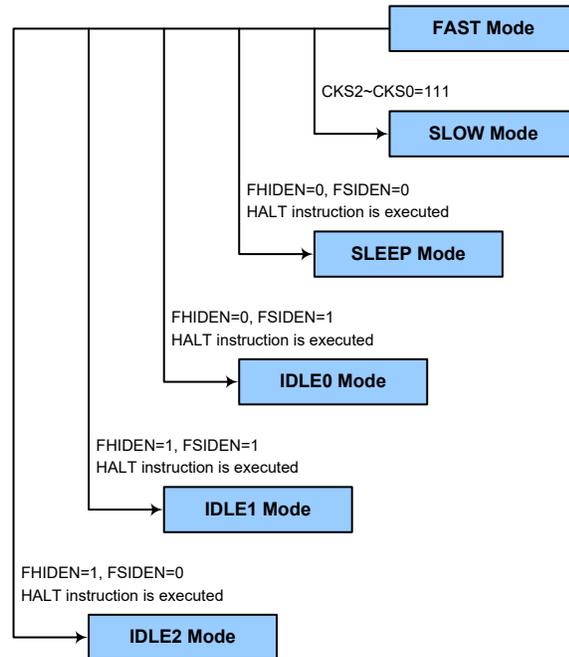
简单来说，快速模式和低速模式间的切换仅需设置 SCC 寄存器中的 CKS2~CKS0 位即可实现，而快速模式 / 低速模式与休眠模式 / 空闲模式间的切换经由 HALT 指令实现。当 HALT 指令执行后，单片机是否进入空闲模式或休眠模式由 SCC 寄存器中的 FHIDEN 和 FSIDEN 位决定的。



### 快速模式切换到低速模式

系统运行在快速模式时使用高速系统振荡器，因此较为耗电。可通过设置 SCC 寄存器中的 CKS2~CKS0 位为“111”使系统时钟切换至运行在低速模式下。此时将使用低速系统振荡器以节省耗电。用户可在对性能要求不高的操作中使用此方法以减少耗电。

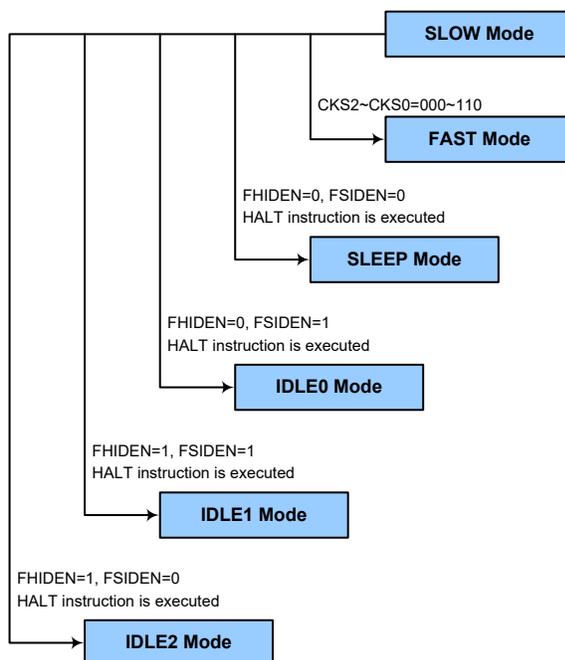
低速模式的时钟源来自 LXT 或 LIRC 振荡器，由 SCC 寄存器中的 FSS 位确定，因此要求选用的振荡器要在整个模式切换动作发生前稳定下来。



### 低速模式切换到快速模式

在低速模式时系统时钟来自  $f_{SUB}$ 。切换回快速模式时，需设置 CKS2~CKS0 位为“000”~“110”使系统时钟从  $f_{SUB}$  切换到  $f_H \sim f_H/64$ 。

然而，如果在低速模式下  $f_H$  因未使用而关闭，那么从低速模式切换到快速模式时，它需要一定的时间来重新起振和稳定，可通过检测 HXTC 寄存器中的 HXTF 位或 HIRCC 寄存器中的 HIRCF 位进行判断，所需的高速系统振荡器稳定时间在系统上电时间电气特性中有说明。



### 进入休眠模式

进入休眠模式的方法仅有一种，即应用程序中执行“HALT”指令前需设置 SCC 寄存器中的 FHIDEN 和 FSIDEN 位都为“0”。在这种模式下，除了 WDT 以外的所有时钟和功能都将关闭。在上述条件下执行该指令后，将发生的情况如下：

- 系统时钟停止运行，应用程序停止在“HALT”指令处。
- 数据存储器和寄存器将保持当前值。
- 输入 / 输出口将保持当前值。
- 状态寄存器中暂停标志 PDF 将被置起，看门狗溢出标志 TO 将被清除。
- 如果 WDT 功能使能，WDT 将被清零并重新开始计数。如果 WDT 功能除能，WDT 将被清零并停止计数。

### 进入空闲模式 0

进入空闲模式 0 的方法仅有一种，即应用程序中执行“HALT”指令前需设置 SCC 寄存器中的 FHIDEN 位为“0”且 FSIDEN 位为“1”。在上述条件下执行该指令后，将发生的情况如下：

- $f_H$  时钟停止运行，应用程序停止在“HALT”指令处，但  $f_{SUB}$  时钟将继续运行。
- 数据存储器和寄存器将保持当前值。
- 输入 / 输出口将保持当前值。
- 状态寄存器中暂停标志 PDF 将被置起，看门狗溢出标志 TO 将被清除。
- 如果 WDT 功能使能，WDT 将被清零并重新开始计数。如果 WDT 功能除能，WDT 将被清零并停止计数。

### 进入空闲模式 1

进入空闲模式 1 的方法仅有一种，即应用程序中执行“HALT”指令前需设置 SCC 寄存器中的 FHIDEN 和 FSIDEN 位都为“1”。在上述条件下执行该指令后，将发生的情况如下：

- $f_H$  和  $f_{SUB}$  时钟开启，应用程序停止在“HALT”指令处。
- 数据存储器和寄存器的内容将保持当前值。
- 输入 / 输出口将保持当前值。
- 状态寄存器中暂停标志 PDF 将被置起，看门狗溢出标志 TO 将被清除。
- 如果 WDT 功能使能，WDT 将被清零并重新开始计数。如果 WDT 功能除能，WDT 将被清零并停止计数。

### 进入空闲模式 2

进入空闲模式 2 的方法仅有一种，即应用程序中执行“HALT”指令前需设置 SCC 寄存器中的 FHIDEN 位为“1”且 FSIDEN 位为“0”。在上述条件下执行该指令后，将发生的情况如下：

- $f_H$  时钟开启， $f_{SUB}$  时钟关闭，应用程序停止在“HALT”指令处。
- 数据存储器和寄存器的内容将保持当前值。
- 输入 / 输出口将保持当前值。
- 状态寄存器中暂停标志 PDF 将被置起，看门狗溢出标志 TO 将被清除。
- 如果 WDT 功能使能，WDT 将被清零并重新开始计数。如果 WDT 功能除能，WDT 将被清零并停止计数。

### 待机电流的注意事项

由于单片机进入休眠或空闲模式的主要原因是将单片机的电流功耗降低到尽可能低，可能到只有几个微安的级别（空闲模式 1 和空闲模式 2 除外），所以如果要将电路的电流进一步降低，电路设计者还应有其它的考虑。应该特别注意的是单片机的输入 / 输出引脚。所有高阻抗输入脚都必须连接到固定的高或低电平，因为引脚浮空会造成内部振荡并导致耗电增加。这也应用于有不同封装的单片机，因为它们可能含有未引出的引脚，这些引脚也必须设为输出或带有上拉电阻的输入。

另外还需注意单片机设为输出的 I/O 引脚上的负载。应将它们设置在有最小拉电流的状态或将它们和其它的 CMOS 输入一样接到没有拉电流的外部电路上。还应注意的是，如果选择 LIRC 或 LXT 振荡器，会导致耗电增加。

在空闲模式 1 和空闲模式 2 中，高速振荡器开启。若外围功能时钟源来自高速振荡器，额外的静态电流也可能会有几百微安。

### 唤醒

为降低功耗，可关闭 CPU 使单片机进入休眠模式或空闲模式。然而当单片机再次唤醒时，原来的系统时钟需重新起振、稳定且恢复正常工作需要一定的时间。

系统进入休眠或空闲模式之后，可以通过以下几种方式唤醒：

- PA 口下降沿
- 系统中断
- WDT 溢出

单片机执行 HALT 指令，系统进入休眠或空闲模式，PDF 将被置位。系统上电或执行清除看门狗的指令，PDF 将被清零。若系统由看门狗定时器溢出唤醒，会发生看门狗定时器复位，TO 将被置位。看门狗定时器溢出将会置位 TO 标志并唤醒系统，这种复位会重置程序计数器和堆栈指针，其它标志保持原有状态。PA 口中的每个引脚都可以通过 PAWU 寄存器使能下降沿唤醒功能。PA 端口唤醒后，程序将在“HALT”指令后继续执行。如果系统是通过中断唤醒，则有两种可能发生。第一种情况是：相关中断除能或是中断使能且堆栈已满，则程序会在“HALT”指令之后继续执行。这种情况下，唤醒系统的中断会等到相关中断使能或有堆栈层可以使用之后才执行。第二种情况是：相关中断使能且堆栈未满，则中断可以马上执行。如果在进入休眠或空闲模式之前中断标志位已经被设置为“1”，则相关中断的唤醒功能将无效。

### 编程注意事项

高速振荡器和低速振荡器使用相同的 SST 计数器。例如，若系统从休眠模式中唤醒，HXT 和 LXT 振荡器都需从关闭状态快速启动。

- 若单片机从休眠模式唤醒后进入快速模式，高速系统振荡器需要一个 SST 周期。在 HIRCF/HXTF 为“1”后，单片机开始执行首条指令。此时，若  $f_{SUB}$  时钟来源于 LXT 振荡器，LXT 振荡器可能不是稳定的，上电状态可能会发生类似情况，首条指令执行时 LXT 振荡器还未就绪。
- 一些外围功能，如 TMs，采用系统时钟  $f_{SYS}$  时，在系统时钟源由  $f_H$  切换到  $f_{SUB}$  时，以上这些功能的时钟源也要随之改变。

## 看门狗定时器

看门狗定时器的功能在于防止如电磁的干扰等外部不可控制事件，所造成的程序不正常动作或跳转到未知的地址。

### 看门狗定时器时钟源

WDT 定时器时钟源来自于内部时钟  $f_{LIRC}$ ，而  $f_{LIRC}$  的时钟源由内部低速振荡器 LIRC 提供。内部振荡器 LIRC 的频率大约为 32kHz，这个特殊的内部时钟周期会随  $V_{DD}$ 、温度和制成的不同而变化。看门狗定时器的时钟源可分频为  $2^8 \sim 2^{18}$  以提供更大的溢出周期，分频比由 WDTC 寄存器中的 WS2~WS0 位来决定。

### 看门狗定时器控制寄存器

WDTC 寄存器用于选择溢出周期、控制 WDT 功能的使能 / 除能以及复位单片机。

- **WDTC 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	WE4	WE3	WE2	WE1	WE0	WS2	WS1	WS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	1	0	0	1	1

Bit 7~3      **WE4~WE0: WDT 功能控制**

10101: 除能  
01010: 使能  
其它值: MCU 复位

若因外部环境噪声使这些位发生改变，单片机将复位。复位动作发生在  $t_{SRESET}$  延迟时间后，且 RSTFC 寄存器的 WRF 位将置为“1”。

- Bit 2~0     **WS2~WS0**: WDT 溢出周期选择位  
 000:  $2^8/f_{LIRC}$   
 001:  $2^{10}/f_{LIRC}$   
 010:  $2^{12}/f_{LIRC}$   
 011:  $2^{14}/f_{LIRC}$   
 100:  $2^{15}/f_{LIRC}$   
 101:  $2^{16}/f_{LIRC}$   
 110:  $2^{17}/f_{LIRC}$   
 111:  $2^{18}/f_{LIRC}$

这三位控制 WDT 时钟源的分频比，从而实现对 WDT 溢出周期的控制。

● **RSTFC 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	RSTF	LVRF	LRF	WRF
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	—	—	—	—	0	x	0	0

“x”：未知

- Bit 7~4     未定义，读为“0”  
 Bit 3     **RSTF**: 复位控制寄存器软件复位标志位  
 具体描述见内部复位控制章节。  
 Bit 2     **LVRF**: LVR 复位标志位  
 具体描述见低电压复位章节。  
 Bit 1     **LRF**: LVR 控制寄存器软件复位标志位  
 具体描述见低电压复位章节。  
 Bit 0     **WRF**: WDT 控制寄存器软件复位标志位  
 0: 未发生  
 1: 发生  
 当 WDT 控制寄存器软件复位发生时，此位被置为“1”，且只能通过应用程序清零。

**看门狗定时器操作**

当 WDT 溢出时，它产生一个单片机复位的动作。这也就意味着正常工作期间，用户需在应用程序中看门狗溢出前有策略地清除看门狗定时器以防止其产生复位，可使用清除看门狗指令实现。无论什么原因，程序失常跳转到一个未知的地址或进入一个死循环，清除指令都不能被正确执行，此种情况下，看门狗将溢出以使单片机复位。看门狗定时器控制寄存器 WDTC 中的 WE4~WE0 位可提供使能 / 除能控制以及控制看门狗定时器复位操作。当 WE4~WE0 设置为“10101B”时除能 WDT 功能，而当设置为“01010B”时使能 WDT 功能。如果 WE4~WE0 设置为除“01010B”和“10101B”以外的值时，单片机将在  $t_{SRESET}$  延迟时间后复位。上电后这些位初始化为“01010B”。

WE4~WE0 位	WDT 功能
10101B	除能
01010B	使能
其它值	单片机复位

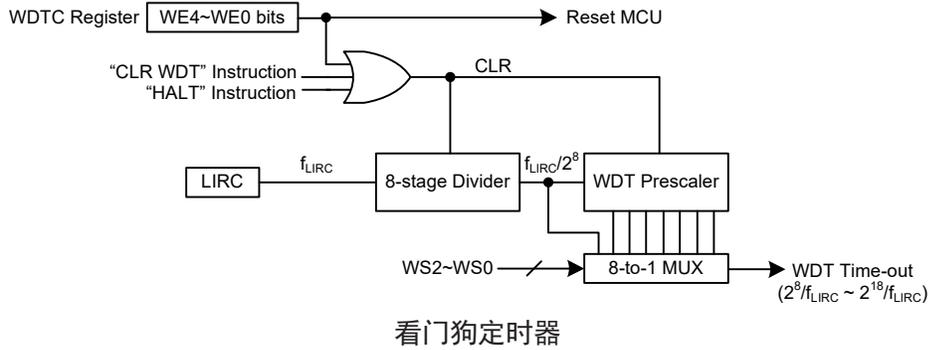
**看门狗定时器功能控制**

程序正常运行时，WDT 溢出将导致芯片复位，并置位状态标志位 TO。若系统处于休眠或空闲模式，当 WDT 发生溢出时，状态寄存器中的 TO 应置位，仅 PC 和堆栈指针复位。有三种方法可以用来清除 WDT 的内容。第一种是 WDTC

软件复位，即将 WE4~WE0 位设置成除了 01010B 和 10101B 外的任意值；第二种是通过软件清除指令，而第三种是通过“HALT”指令。

该单片机只使用一条清除看门狗指令“CLR WDT”。因此只要执行“CLR WDT”便清除 WDT。

当设置分频比为  $2^{18}$  时，溢出周期最大。例如，时钟源为 32kHz LIRC 振荡器，分频比为  $2^{18}$  时最大溢出周期约 8s，分频比为  $2^8$  时最小溢出周期约 8ms。



## 复位和初始化

复位功能是整个单片机中基本的部分，使得单片机可以设定一些与外部参数无关的先置条件。最重要的复位条件是在单片机首次上电以后，经过短暂的延迟，内部硬件电路使得单片机处于预期的稳定状态并开始执行第一条程序指令。上电复位以后，在程序执行之前，部分重要的内部寄存器将会被设定为预先设定的状态。程序计数器就是其中之一，它会被清除为零，使得单片机从最低的程序存储器地址开始执行程序。

除上电复位以外，另一种复位为低电压复位即 LVR 复位，在电源供应电压低于 LVR 设定值时，系统会产生 LVR 复位。

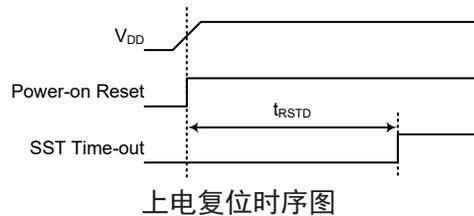
另一种复位为看门狗溢出单片机复位。不同方式的复位操作会对寄存器产生不同的影响。

## 复位功能

单片机的几种内部复位方式将在此处做具体介绍。

### 上电复位

这是最基本且不可避免的复位，发生在单片机上电后。除了保证程序存储器从开始地址执行，上电复位也使得其它寄存器被设定在预设条件。所有的输入/输出端口控制寄存器在上电复位时会保持高电平，以确保上电后所有引脚被设定为输入状态。



### 内部复位控制

内部复位控制寄存器 RSTC 用于为单片机在受到环境噪声干扰而异常工作时提供复位。如果 RSTC 寄存器的内容被设置为除 01010101B 或 10101010B 以外的其它任何值，单片机会在  $t_{\text{SRESET}}$  延迟时间后发生复位。上电后寄存器的值为 01010101B。

RSTC7~RSTC0 位	复位功能
01010101B	无操作
10101010B	无操作
其它值	单片机复位

### 内部复位功能控制

#### • RSTC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	RSTC7	RSTC6	RSTC5	RSTC4	RSTC3	RSTC2	RSTC1	RSTC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	1	0	1	0	1

Bit 7~0 **RSTC7~RSTC0**: 复位功能控制位

01010101: 无操作

10101010: 无操作

其它值: MCU 复位

如果由于不利的环境因素使这些位发生改变，单片机将复位。复位动作发生在  $t_{\text{SRESET}}$  延迟时间后，且 RSTFC 寄存器的 RSTF 位将置为“1”。

#### • RSTFC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	RSTF	LVRF	LRF	WRF
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	—	—	—	—	0	x	0	0

“x”: 未知

Bit 7~4 未定义，读为“0”

Bit 3 **RSTF**: 复位控制寄存器软件复位标志位

0: 未发生

1: 发生

当 RSTC 控制寄存器软件复位发生时，此位被置为“1”，且只能通过应用程序清零。

Bit 2 **LVRF**: LVR 复位标志位

具体描述见低电压复位章节。

Bit 1 **LRF**: LVR 控制寄存器软件复位标志位

具体描述见低电压复位章节。

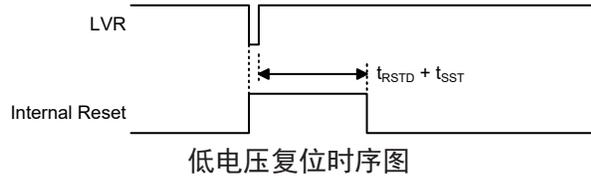
Bit 0 **WRF**: WDT 控制寄存器软件复位标志位

具体描述见看门狗定时器控制寄存器章节。

### 低电压复位 – LVR

单片机具有低电压复位电路，用来监测它的电源电压。当电源电压低于某一预定值时，它将复位单片机。LVR 功能可通过 LVRC 寄存器使能或除能。若 LVRC 控制寄存器配置为使能 LVR，除了空闲或休眠模式以外，低电压复位功能总是使能于特定的电压值  $V_{\text{LVR}}$ 。例如在更换电池的情况下，单片机供应的电压可能会在  $0.9V \sim V_{\text{LVR}}$  之间，这时 LVR 将会自动复位单片机且 RSTFC 寄存器中

的 LVRF 标志位置位。LVR 包含以下的规格：有效的 LVR 信号，即在  $0.9V \sim V_{LVR}$  的低电压状态的时间，必须超过 LVD/LVR 电气特性中  $t_{LVR}$  参数的值。如果低电压存在不超过  $t_{LVR}$  参数的值，则 LVR 将会忽略它且不会执行复位功能。实际的  $V_{LVR}$  参数值可通过 LVRC 寄存器中的 LVS7~LVS0 位设置。若由于受到干扰 LVS7~LVS0 变为其它值时，单片机将在  $t_{SRESET}$  时间后复位，此时 RSTFC 寄存器的 LRF 位被置位。上电复位后 LVRC 的初始值是 01100110B。需要注意的是，当单片机进入空闲或休眠模式，LVR 功能将自动关闭。



### • LVRC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LVS7	LVS6	LVS5	LVS4	LVS3	LVS2	LVS1	LVS0
R/W								
POR	0	1	1	0	0	1	1	0

Bit 7~0 **LVS7~LVS0**: LVR 电压选择

01100110: 1.7V  
01010101: 1.9V  
00110011: 2.55V  
10011001: 3.15V  
10101010: 保留  
11110000: 除能

其它值：复位单片机 – 寄存器复位为 POR 值

当上述定义的相应的低电压出现，且低电压保持时间超过  $t_{LVR}$  值，之后将会产生单片机复位。单片机复位后寄存器中的值与复位前保持不变。

若将 LVRC 寄存器定义为其它值，将会产生单片机复位。复位操作会在  $t_{SRESET}$  时间后执行。注意的是此处单片机复位后，寄存器的值将恢复到上电复位值。

### • RSTFC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	RSTF	LVRF	LRF	WRF
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	—	—	—	—	0	x	0	0

“x”：未知

Bit 7~4 未定义，读为“0”

Bit 3 **RSTF**: 复位控制寄存器软件复位标志位  
具体描述见内部复位控制章节。

Bit 2 **LVRF**: LVR 复位标志位

0: 未发生  
1: 发生

当特定的低电压复位条件发生时，此位被置为“1”，且只能通过应用程序清零。

Bit 1 **LRF**: LVRC 寄存器软件复位标志位

0: 未发生  
1: 发生

如果 LVRC 寄存器包含任何非定义的 LVR 电压值，此位被置为“1”，这类似于软件复位功能，且只能通过应用程序清零。

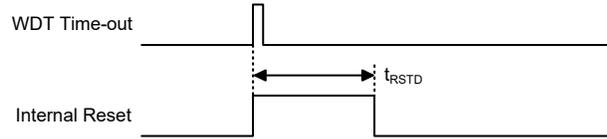
Bit 0      **WRF:** WDTC 寄存器软件复位标志位  
具体描述见看门狗定时器控制寄存器章节。

### IAP 复位

当写值“55H”至 FC1 寄存器时，将产生一个复位信号将整个单片机复位。详见 IAP 章节。

### 正常运行时看门狗溢出复位

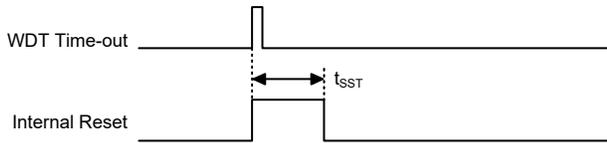
在快速或低速模式下正常运行时，看门狗溢出复位后 TO 将被设为“1”。



正常运行时看门狗溢出复位时序图

### 休眠或空闲时看门狗溢出复位

休眠或空闲时看门狗溢出复位和其它种类的复位有些不同。除了程序计数器与堆栈指针将被清“0”及 TO 与 PDF 位被设为“1”外，绝大部分的条件保持不变。图中  $t_{SS1}$  的详细说明请参考系统上电时间电气特性。



休眠或空闲时看门狗溢出复位时序图

### 复位初始状态

不同的复位形式以不同的途径影响复位标志位。这些标志位，即 PDF 和 TO 位存放在状态寄存器中，由休眠或空闲模式功能或看门狗计数器等几种控制器操作控制。复位标志位如下所示：

TO	PDF	复位条件
0	0	上电复位
u	u	快速模式或低速模式时的 LVR 复位
1	u	快速模式或低速模式时的 WDT 溢出复位
1	1	空闲或休眠模式时的 WDT 溢出复位

“u”代表不改变

在单片机上电复位之后，各功能单元初始化的情形，列于下表。

项目	复位后情况
程序计数器	清除为零
中断	所有中断被除能
看门狗定时器，时基	都清除，且 WDT 重新计数
定时模块	所有定时模块停止
输入 / 输出口	I/O 口设为输入模式
堆栈指针	堆栈指针指向堆栈顶端

不同的复位形式对单片机内部寄存器的影响是不同的。为保证复位后程序能正

常执行，了解寄存器在特定条件复位后的设置是非常重要的。下表即为不同方式复位后内部寄存器的状况。若芯片有多种封装类型，表格反映较大的封装的情况。

寄存器	上电复位	LVR 复位	WDT 溢出 (正常操作)	WDT 溢出 (空闲 / 休眠)
IAR0	0000 0000	0000 0000	0000 0000	uuuu uuuu
MP0	0000 0000	0000 0000	0000 0000	uuuu uuuu
IAR1	0000 0000	0000 0000	0000 0000	uuuu uuuu
MP1L	0000 0000	0000 0000	0000 0000	uuuu uuuu
MP1H	0000 0000	0000 0000	0000 0000	uuuu uuuu
ACC	xxxx xxxx	uuuu uuuu	uuuu uuuu	uuuu uuuu
PCL	0000 0000	0000 0000	0000 0000	0000 0000
TBLP	xxxx xxxx	uuuu uuuu	uuuu uuuu	uuuu uuuu
TBLH	xxxx xxxx	uuuu uuuu	uuuu uuuu	uuuu uuuu
TBHP	---x xxxx	---u uuuu	---u uuuu	---u uuuu
STATUS	xx00 xxxx	uuuu uuuu	uu1u uuuu	uu11 uuuu
IAR2	0000 0000	0000 0000	0000 0000	uuuu uuuu
MP2L	0000 0000	0000 0000	0000 0000	uuuu uuuu
MP2H	0000 0000	0000 0000	0000 0000	uuuu uuuu
RSTFC	---- 0x00	---- u1uu	---- uuuu	---- uuuu
INTEG	---- 0000	---- 0000	---- 0000	---- uuuu
INTC0	-000 0000	-000 0000	-000 0000	-uuu uuuu
INTC1	0000 0000	0000 0000	0000 0000	uuuu uuuu
INTC2	0000 0000	0000 0000	0000 0000	uuuu uuuu
PA	1111 1111	1111 1111	1111 1111	uuuu uuuu
PAC	1111 1111	1111 1111	1111 1111	uuuu uuuu
PAPU	0000 0000	0000 0000	0000 0000	uuuu uuuu
PAWU	0000 0000	0000 0000	0000 0000	uuuu uuuu
LVDC	--00 -000	--00 -000	--00 -000	--uu -uuu
SCC	000- 0000	000- 0000	000- 0000	uuu- uuuu
WDTC	0101 0011	0101 0011	0101 0011	uuuu uuuu
TB0C	0--- -000	0--- -000	0--- -000	u--- -uuu
HIRCC	---- 0001	---- 0001	---- 0001	---- uuuu
LVRC	0110 0110	uuuu uuuu	0110 0110	uuuu uuuu
EEA	-000 0000	-000 0000	-000 0000	-uuu uuuu
EED	0000 0000	0000 0000	0000 0000	uuuu uuuu
SADOL	xxxx ----	xxxx ----	xxxx ----	uuuu ---- (ADRF5=0)
				uuuu uuuu (ADRF5=1)

寄存器	上电复位	LVR 复位	WDT 溢出 (正常操作)	WDT 溢出 (空闲 / 休眠)
SADOH	xxxx xxxx	xxxx xxxx	xxxx xxxx	uuuu uuuu (ADRFS=0)
				---- uuuu (ADRFS=1)
SADC0	0000 0000	0000 0000	0000 0000	uuuu uuuu
SADC1	0000 -000	0000 -000	0000 -000	uuuu -uuu
SADC2	0-00 0000	0-00 0000	0-00 0000	u-uu uuuu
PB	-111 1111	-111 1111	-111 1111	-uuu uuuu
PBC	-111 1111	-111 1111	-111 1111	-uuu uuuu
PBPU	-000 0000	-000 0000	-000 0000	-uuu uuuu
CTMC0	0000 0---	0000 0---	0000 0---	uuuu u---
CTMC1	0000 0000	0000 0000	0000 0000	uuuu uuuu
CTMDL	0000 0000	0000 0000	0000 0000	uuuu uuuu
CTMDH	0000 0000	0000 0000	0000 0000	uuuu uuuu
CTMAL	0000 0000	0000 0000	0000 0000	uuuu uuuu
CTMAH	0000 0000	0000 0000	0000 0000	uuuu uuuu
CTMRP	0000 0000	0000 0000	0000 0000	uuuu uuuu
STMC0	0000 0---	0000 0---	0000 0---	uuuu u---
STMC1	0000 0000	0000 0000	0000 0000	uuuu uuuu
STMDL	0000 0000	0000 0000	0000 0000	uuuu uuuu
STMDH	0000 0000	0000 0000	0000 0000	uuuu uuuu
STMAL	0000 0000	0000 0000	0000 0000	uuuu uuuu
STMAH	0000 0000	0000 0000	0000 0000	uuuu uuuu
STMRP	0000 0000	0000 0000	0000 0000	uuuu uuuu
HXTC	---- -000	---- -000	---- -000	---- -uuu
PTMC0	0000 0---	0000 0---	0000 0---	uuuu u---
PTMC1	0000 0000	0000 0000	0000 0000	uuuu uuuu
PTMDL	0000 0000	0000 0000	0000 0000	uuuu uuuu
PTMDH	---- --00	---- --00	---- --00	---- --uu
PTMAL	0000 0000	0000 0000	0000 0000	uuuu uuuu
PTMAH	---- --00	---- --00	---- --00	---- --uu
PTMRPL	0000 0000	0000 0000	0000 0000	uuuu uuuu
PTMRPH	---- --00	---- --00	---- --00	---- --uu
CMPC	-000 ---1	-000 ---1	-000 ---1	-uuu ---u
PC	-111 1111	-111 1111	-111 1111	-uuu uuuu
PCC	-111 1111	-111 1111	-111 1111	-uuu uuuu
PCPU	-000 0000	-000 0000	-000 0000	-uuu uuuu
LXTC	---- -100	---- -100	---- -100	---- -uuu
SIMC0	111- 0000	111- 0000	111- 0000	uuu- uuuu
SIMC1	1000 0001	1000 0001	1000 0001	uuuu uuuu
SIMD	xxxx xxxx	xxxx xxxx	xxxx xxxx	uuuu uuuu

寄存器	上电复位	LVR 复位	WDT 溢出 (正常操作)	WDT 溢出 (空闲 / 休眠)
SIMA/SIMC2	0000 0000	0000 0000	0000 0000	uuuu uuuu
SIMTOC	0000 0000	0000 0000	0000 0000	uuuu uuuu
VBGRC	---- ---0	---- ---0	---- ---0	---- ---u
TB1C	0--- -000	0--- -000	0--- -000	u--- -uuu
MF10	--00 --00	--00 --00	--00 --00	--uu --uu
MF11	0000 0000	0000 0000	0000 0000	uuuu uuuu
MF12	--00 --00	--00 --00	--00 --00	--uu --uu
SLEDC0	0000 0000	0000 0000	0000 0000	uuuu uuuu
SLEDC1	--00 0000	--00 0000	--00 0000	--uu uuuu
IFS	--00 0000	--00 0000	--00 0000	--uu uuuu
PD	---- 1111	---- 1111	---- 1111	---- uuuu
PDC	---- 1111	---- 1111	---- 1111	---- uuuu
PDPU	---- 0000	---- 0000	---- 0000	---- uuuu
USR	0000 1011	0000 1011	0000 1011	uuuu uuuu
UCR1	0000 00x0	0000 00x0	0000 00x0	uuuu uuuu
UCR2	0000 0000	0000 0000	0000 0000	uuuu uuuu
BRG	xxxx xxxx	xxxx xxxx	xxxx xxxx	uuuu uuuu
TXR_RXR	xxxx xxxx	xxxx xxxx	xxxx xxxx	uuuu uuuu
LVPUC	---- ---0	---- ---0	---- ---0	---- ---u
PAS0	0000 0000	0000 0000	0000 0000	uuuu uuuu
PAS1	0000 0000	0000 0000	0000 0000	uuuu uuuu
PBS0	0000 0000	0000 0000	0000 0000	uuuu uuuu
PBS1	--00 0000	--00 0000	--00 0000	--uu uuuu
PCS0	0000 0000	0000 0000	0000 0000	uuuu uuuu
PCS1	--00 0000	--00 0000	--00 0000	--uu uuuu
PDS0	0000 0000	0000 0000	0000 0000	uuuu uuuu
SLCDC0	0000 ----	0000 ----	0000 ----	uuuu ----
SLCDS0	0000 0000	0000 0000	0000 0000	uuuu uuuu
SLCDS1	0000 0000	0000 0000	0000 0000	uuuu uuuu
SLCDS2	--00 0000	--00 0000	--00 0000	--uu uuuu
PSC0R	---- --00	---- --00	---- --00	---- --uu
PSC1R	---- --00	---- --00	---- --00	---- --uu
RSTC	0101 0101	0101 0101	0101 0101	uuuu uuuu
FC0	0000 0000	0000 0000	0000 0000	uuuu uuuu
FC1	0000 0000	0000 0000	0000 0000	uuuu uuuu
FC2	---- --00	---- --00	---- --00	---- --uu
FARL	0000 0000	0000 0000	0000 0000	uuuu uuuu
FARH	---0 0000	---0 0000	---0 0000	---u uuuu
FD0L	0000 0000	0000 0000	0000 0000	uuuu uuuu
FD0H	0000 0000	0000 0000	0000 0000	uuuu uuuu
FD1L	0000 0000	0000 0000	0000 0000	uuuu uuuu

寄存器	上电复位	LVR 复位	WDT 溢出 (正常操作)	WDT 溢出 (空闲/休眠)
FD1H	0000 0000	0000 0000	0000 0000	uuuu uuuu
FD2L	0000 0000	0000 0000	0000 0000	uuuu uuuu
FD2H	0000 0000	0000 0000	0000 0000	uuuu uuuu
FD3L	0000 0000	0000 0000	0000 0000	uuuu uuuu
FD3H	0000 0000	0000 0000	0000 0000	uuuu uuuu
EEC	0000 0000	0000 0000	0000 0000	uuuu uuuu

注：“u”表示不改变  
“x”表示未知  
“-”表示未定义

## 输入 / 输出端口

Holtek 单片机的输入 / 输出控制具有很大的灵活性。大部分引脚可在用户程序控制下被设定为输入或输出。所有引脚的上拉电阻设置以及指定引脚的唤醒设置也都由软件控制，这些特性也使得此单片机在广泛应用上都能符合开发的需求。

该单片机提供 PA~PD 双向输入 / 输出。这些寄存器在数据存储器有特定的地址。所有 I/O 口用于输入输出操作。作为输入操作，输入引脚无锁存功能，也就是说输入数据必须在执行“MOV A, [m]”，T2 的上升沿准备好，m 为端口地址。对于输出操作，所有数据都是被锁存的，且保持不变直到输出锁存被重写。

寄存器名称	位							
	7	6	5	4	3	2	1	0
PA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
PAC	PAC7	PAC6	PAC5	PAC4	PAC3	PAC2	PAC1	PAC0
PAPU	PAPU7	PAPU6	PAPU5	PAPU4	PAPU3	PAPU2	PAPU1	PAPU0
PAWU	PAWU7	PAWU6	PAWU5	PAWU4	PAWU3	PAWU2	PAWU1	PAWU0
PB	—	PB6	PB5	PB4	PB3	PB2	PB1	PB0
PBC	—	PBC6	PBC5	PBC4	PBC3	PBC2	PBC1	PBC0
PBPU	—	PBPU6	PBPU5	PBPU4	PBPU3	PBPU2	PBPU1	PBPU0
PC	—	PC6	PC5	PC4	PC3	PC2	PC1	PC0
PCC	—	PCC6	PCC5	PCC4	PCC3	PCC2	PCC1	PCC0
PCPU	—	PCPU6	PCPU5	PCPU4	PCPU3	PCPU2	PCPU1	PCPU0
PD	—	—	—	—	PD3	PD2	PD1	PD0
PDC	—	—	—	—	PDC3	PDC2	PDC1	PDC0
PDPU	—	—	—	—	PDPU3	PDPU2	PDPU1	PDPU0

“—”：未定义，读为“0”

I/O 逻辑功能寄存器列表

## 上拉电阻

许多产品应用在端口处于输入状态时需要外加一个上拉电阻来实现上拉的功能。为了免去外部上拉电阻，当引脚规划为数字输入时，可由内部连接到一个上拉电阻。这些上拉电阻可通过相应的上拉控制寄存器 PxPU 和寄存器 LVPUC 来设置，它用一个 PMOS 晶体管来实现上拉电阻功能。PxPU 寄存器用于确定

是否使能上拉功能，而 LVPUC 寄存器用于为低电压电源供电应用选择上拉电阻值。

需要注意的是，当 I/O 引脚设为数字输入或 NMOS 输出时，上拉功能才会受 PxPU 控制开启，其它状态下上拉功能不可用。

● **PxPU 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PxPU7	PxPU6	PxPU5	PxPU4	PxPU3	PxPU2	PxPU1	PxPU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

**PxPUn:** I/O Px 口上拉电阻控制位

- 0: 除能
- 1: 使能

PxPUn 位用于控制对应引脚的上拉电阻功能。这里的 x 可以是端口 A、B、C 和 D。但是，每个 I/O 端口实际有效位可能不同。

由于 PC3、PC4、PC5、PC6 分别与 RF 收发器的 SDIO、GIO2、SCK、IRQ 内部相连，PCPU 寄存器中的 PCPU3、PCPU4、PCPU5、PCPU6 位在上电后应固定为“0”。

● **LVPUC 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	LVPU
R/W	—	—	—	—	—	—	—	R/W
POR	—	—	—	—	—	—	—	0

Bit 7~1 未定义，读为“0”

Bit 0 **LVPU:** 低电压上拉电阻控制位

- 0: 所有引脚上拉电阻为 60kΩ @ 3V
- 1: 所有引脚上拉电阻为 15kΩ @ 3V

该寄存器用于为低电压电源供电的应用选择上拉电阻值。应注意，LVPUC 寄存器中的 LVPU 位仅在通过置位相关上拉控制位使能相应引脚上拉功能后有效。上拉功能除能时此位选择无效。

**PA 口唤醒**

当使用暂停指令“HALT”迫使单片机进入休眠或空闲模式，单片机的系统时钟将会停止以降低功耗，此功能对于电池及低功耗应用很重要。唤醒单片机有很多种方法，其中之一就是使 PA 口的其中一个引脚从高电平转为低电平。这个功能特别适合于通过外部开关来唤醒的应用。PA 口的每个引脚可以通过设置 PAWU 寄存器来单独选择是否具有唤醒功能。

需要注意的是，只有当引脚被设置为通用 I/O 功能输入类型且单片机处于空闲 / 休眠模式时，唤醒功能才会受 PAWU 控制开启，其它状态下此唤醒功能不可用。

● **PAWU 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PAWU7	PAWU6	PAWU5	PAWU4	PAWU3	PAWU2	PAWU1	PAWU0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **PAWU7~PAWU0:** PA7~PA0 唤醒功能控制位

- 0: 除能
- 1: 使能

## 输入 / 输出端口控制寄存器

每一个输入 / 输出端口都具有各自的控制寄存器，即 PAC~PDC，用来控制输入 / 输出状态。从而每个 I/O 引脚都可以通过软件控制，动态的设置为 CMOS 输出或输入。所有的 I/O 端口的引脚都各自对应于 I/O 端口控制的某一位。若 I/O 引脚要实现输入功能，则对应的控制寄存器的位需要设置为“1”。这时程序指令可以直接读取输入脚的逻辑状态。若控制寄存器相应的位被设定为“0”，则此引脚被设置为 CMOS 输出。当引脚设置为输出状态时，程序指令读取的是输出端口寄存器的内容。

注意，如果对输出端口做读取动作时，程序读取到的是内部输出数据锁存器中的状态，而不是输出引脚上实际的逻辑状态。

### • PxC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PxC7	PxC6	PxC5	PxC4	PxC3	PxC2	PxC1	PxC0
R/W								
POR	1	1	1	1	1	1	1	1

PxCn: I/O Px 口输入 / 输出类型选择位

0: 输出  
1: 输入

PxCn 位用于控制对应引脚的状态类型。这里的 x 可以是端口 A、B、C 和 D。但是，每个 I/O 端口实际有效位可能不同。

需要注意的是 PCC 寄存器中的 PCC5 和 PCC6 位在上电后必须清零以设置 PC5 和 PC6 为输出而对于 PC3 和 PC4，建议其对应的 PCC3 和 PCC4 位根据具体情况置高或置低以设置 I/O 线为输入 / 输出，从而确保 MCU 和 RF 收发器的正确内部连接。另外，若要使用与 PA1 共用的 RF 引脚功能，则 PAC 寄存器的 PAC1 位需合理设置。

## 输入 / 输出端口源电流控制

该单片机的每个 I/O 口都支持不同的源电流驱动能力。通过配置相应的选择寄存器 SLEDCn，指定的 I/O 端口可支持 4 个 Level 的源电流驱动能力。仅当对应的引脚被设为 CMOS 输出时，其源电流选择位才有效。否则，这些选择位无效。用户可参考输入 / 输出电气特性章节为不同应用选择所需的源电流。

寄存器名称	位							
	7	6	5	4	3	2	1	0
SLEDC0	SLEDC07	SLEDC06	SLEDC05	SLEDC04	SLEDC03	SLEDC02	SLEDC01	SLEDC00
SLEDC1	—	—	SLEDC15	SLEDC14	SLEDC13	SLEDC12	SLEDC11	SLEDC10

I/O 口源电流控制寄存器列表

### • SLEDC0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SLEDC07	SLEDC06	SLEDC05	SLEDC04	SLEDC03	SLEDC02	SLEDC01	SLEDC00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 SLEDC07~SLEDC06: PB6~PB4 引脚源电流选择位

00: 源电流 = Level 0 (最小)  
01: 源电流 = Level 1  
10: 源电流 = Level 2  
11: 源电流 = Level 3 (最大)

- Bit 5~4     **SLEDC05~SLEDC04:** PB3~PB0 引脚源电流选择位  
00: 源电流 = Level 0 (最小)  
01: 源电流 = Level 1  
10: 源电流 = Level 2  
11: 源电流 = Level 3 (最大)
- Bit 3~2     **SLEDC03~SLEDC02:** PA7~PA4 引脚源电流选择位  
00: 源电流 = Level 0 (最小)  
01: 源电流 = Level 1  
10: 源电流 = Level 2  
11: 源电流 = Level 3 (最大)
- Bit 1~0     **SLEDC01~SLEDC00:** PA3~PA0 引脚源电流选择位  
00: 源电流 = Level 0 (最小)  
01: 源电流 = Level 1  
10: 源电流 = Level 2  
11: 源电流 = Level 3 (最大)

• **SLEDC1 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	SLEDC15	SLEDC14	SLEDC13	SLEDC12	SLEDC11	SLEDC10
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	—	0	0	0	0	0	0

- Bit 7~6     未定义，读为“0”
- Bit 5~4     **SLEDC15~SLEDC14:** PD3~PD0 引脚源电流选择位  
00: 源电流 = Level 0 (最小)  
01: 源电流 = Level 1  
10: 源电流 = Level 2  
11: 源电流 = Level 3 (最大)
- Bit 3~2     **SLEDC13~SLEDC12:** PC6~PC4 引脚源电流选择位  
00: 源电流 = Level 0 (最小)  
01: 源电流 = Level 1  
10: 源电流 = Level 2  
11: 源电流 = Level 3 (最大)
- Bit 1~0     **SLEDC11~SLEDC10:** PC3~PC0 引脚源电流选择位  
00: 源电流 = Level 0 (最小)  
01: 源电流 = Level 1  
10: 源电流 = Level 2  
11: 源电流 = Level 3 (最大)

### 引脚共用功能

引脚的多功能可以增加单片机应用的灵活性。有限的引脚个数将会限制设计者，而引脚的多功能将会解决很多此类问题。此外，这些引脚功能可以通过一系列寄存器进行设定。

#### 引脚共用功能选择寄存器

封装中有限的引脚个数会对某些单片机功能造成影响。然而，引脚功能共用和引脚功能选择，使得小封装单片机具有更多不同的功能。单片机包含端口“x”输出功能选择寄存器“n”，记为 PxSn，和输入功能选择寄存器，记为 IFS，这些寄存器可以用来选择多功能共用引脚上的特定功能。

要注意的最重要一点是，确保所需的引脚共用功能被正确地选择和取消。对于大部分共用功能，要选择所需的引脚共用功能，首先应通过相应的引脚共用控制寄存器正确地选择该功能，然后再配置相应的外围功能设置以使能外围功能。

但是，在设置相关引脚控制字段时，一些数字输入引脚如 INTn、xTCKn 等，与对应的通用 I/O 口共用同一个引脚共用设置选项。要选择这个引脚功能，除了上述的必要的引脚共用控制和外围功能设置外，还必须将其对应的端口控制寄存器位设置为输入。要正确地取消引脚共用功能，首先应除能外围功能，然后再修改相应的引脚共用控制寄存器以选择其它的共用功能。

寄存器名称	位							
	7	6	5	4	3	2	1	0
PAS0	PAS07	PAS06	PAS05	PAS04	PAS03	PAS02	PAS01	PAS00
PAS1	PAS17	PAS16	PAS15	PAS14	PAS13	PAS12	PAS11	PAS10
PBS0	PBS07	PBS06	PBS05	PBS04	PBS03	PBS02	PBS01	PBS00
PBS1	—	—	PBS15	PBS14	PBS13	PBS12	PBS11	PBS10
PCS0	PCS07	PCS06	PCS05	PCS04	PCS03	PCS02	PCS01	PCS00
PCS1	—	—	PCS15	PCS14	PCS13	PCS12	PCS11	PCS10
PDS0	PDS07	PDS06	PDS05	PDS04	PDS03	PDS02	PDS01	PDS00
IFS	—	—	INT1PS	INT0PS	SDI_SDAPS	SCK_SCLPS	SCSBPS	RXPS

引脚共用功能选择寄存器列表

● PAS0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAS07	PAS06	PAS05	PAS04	PAS03	PAS02	PAS01	PAS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 **PAS07~PAS06:** PA3 引脚共用功能选择  
 00: PA3  
 01: SDI/SDA  
 10: CX  
 11: SCOM3/SSEG3

Bit 5~4 **PAS05~PAS04:** PA2 引脚共用功能选择  
 00: PA2/INT1  
 01: PA2/INT1  
 10: PA2/INT1  
 11: SCOM2/SSEG2

Bit 3~2 **PAS03~PAS02:** PA1 引脚共用功能选择  
 00: PA1/INT0  
 01: PA1/INT0  
 10: SDO  
 11: SCOM1/SSEG1

由于这些引脚功能与 RF 收发器的 IRQ 共用引脚，通过设置 PAS03~PAS02 位选择这些引脚功能中任何一个之前，建议先断开 RF 电源避免使用 RF 收发器功能，或者先确保 RF 收发器已进入 Deep Sleep 模式。若要使用 RF 收发器的 IRQ 引脚功能，则 PAS03~PAS02 位需固定为“00”或“01”。

Bit 1~0 **PAS01~PAS00:** PA0 引脚共用功能选择  
 00: PA0  
 01: PA0  
 10: STP  
 11: SCOM0/SSEG0

● PAS1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAS17	PAS16	PAS15	PAS14	PAS13	PAS12	PAS11	PAS10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6     **PAS17~PAS16:** PA7 引脚共用功能选择  
             00: PA7  
             01: PTP  
             10: SCOM7/SSEG7  
             11: AN6
- Bit 5~4     **PAS15~PAS14:** PA6 引脚共用功能选择  
             00: PA6/CTCK  
             01: SCOM6/SSEG6  
             10: AN5  
             11: VREF
- Bit 3~2     **PAS13~PAS12:** PA5 引脚共用功能选择  
             00: PA5  
             01: SCOM5/SSEG5  
             10: AN4  
             11: VREFI
- Bit 1~0     **PAS11~PAS10:** PA4 引脚共用功能选择  
             00: PA4/PTCK  
             01: PA4/PTCK  
             10: SCOM4/SSEG4  
             11: AN3

● PBS0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PBS07	PBS06	PBS05	PBS04	PBS03	PBS02	PBS01	PBS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6     **PBS07~PBS06:** PB3 引脚共用功能选择  
             00: PB3  
             01: CTP  
             10: SCOM11/SSEG11  
             11: AN7
- Bit 5~4     **PBS05~PBS04:** PB2 引脚共用功能选择  
             00: PB2/STCK  
             01: STP  
             10: SCOM10/SSEG10  
             11: AN2
- Bit 3~2     **PBS03~PBS02:** PB1 引脚共用功能选择  
             00: PB1/INT1  
             01: SCOM9/SSEG9  
             10: AN1  
             11: XT2
- Bit 1~0     **PBS01~PBS00:** PB0 引脚共用功能选择  
             00: PB0/INT0  
             01: SCOM8/SSEG8  
             10: AN0  
             11: XT1

● **PBS1 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	PBS15	PBS14	PBS13	PBS12	PBS11	PBS10
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	—	0	0	0	0	0	0

- Bit 7~6 未定义，读为“0”
- Bit 5~4 **PBS15~PBS14**: PB6 引脚共用功能选择  
 00: PB6  
 01: SCK/SCL  
 10: C+  
 11: SCOM14/SSEG14
- Bit 3~2 **PBS13~PBS12**: PB5 引脚共用功能选择  
 00: PB5  
 01: SCS  
 10: C-  
 11: SCOM13/SSEG13
- Bit 1~0 **PBS11~PBS10**: PB4 引脚共用功能选择  
 00: PB4  
 01: CLO  
 10: SCOM12/SSEG12  
 11: AN8

● **PCS0 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PCS07	PCS06	PCS05	PCS04	PCS03	PCS02	PCS01	PCS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 **PCS07~PCS06**: PC3 引脚共用功能选择  
 00: PC3  
 01: PC3  
 10: SDO  
 11: 保留
- Bit 5~4 **PCS05~PCS04**: PC2 引脚共用功能选择  
 00: PC2  
 01: PC2  
 10: SDO  
 11: SCOM17/SSEG17
- Bit 3~2 **PCS03~PCS02**: PC1 引脚共用功能选择  
 00: PC1  
 01: RX  
 10: SCOM16/SSEG16  
 11: OSC2
- Bit 1~0 **PCS01~PCS00**: PC0 引脚共用功能选择  
 00: PC0  
 01: TX  
 10: SCOM15/SSEG15  
 11: OSC1

● PCS1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	PCS15	PCS14	PCS13	PCS12	PCS11	PCS10
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	—	0	0	0	0	0	0

- Bit 7~6 未定义，读为“0”
- Bit 5~4 **PCS15~PCS14**: PC6 引脚共用功能选择  
 00: PC6  
 01: PC6  
 10:  $\overline{SCS}$   
 11: 保留
- Bit 3~2 **PCS13~PCS12**: PC5 引脚共用功能选择  
 00: PC5  
 01: PC5  
 10: SCK/SCL  
 11: 保留
- Bit 1~0 **PCS11~PCS10**: PC4 引脚共用功能选择  
 00: PC4  
 01: PC4  
 10: SDI/SDA  
 11: 保留

● PDS0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PDS07	PDS06	PDS05	PDS04	PDS03	PDS02	PDS01	PDS00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 **PDS07~PDS06**: PD3 引脚共用功能选择  
 00: PD3  
 01: CTP  
 10: SSEG25  
 11: AN9
- Bit 5~4 **PDS05~PDS04**: PD2 引脚共用功能选择  
 00: PD2  
 01: TX  
 10: SSEG24  
 11: AN10
- Bit 3~2 **PDS03~PDS02**: PD1 引脚共用功能选择  
 00: PD1  
 01: RX  
 10: SSEG23  
 11: AN11
- Bit 1~0 **PDS01~PDS00**: PD0 引脚共用功能选择  
 00: PD0  
 01: PD0  
 10: PTP  
 11: SSEG22

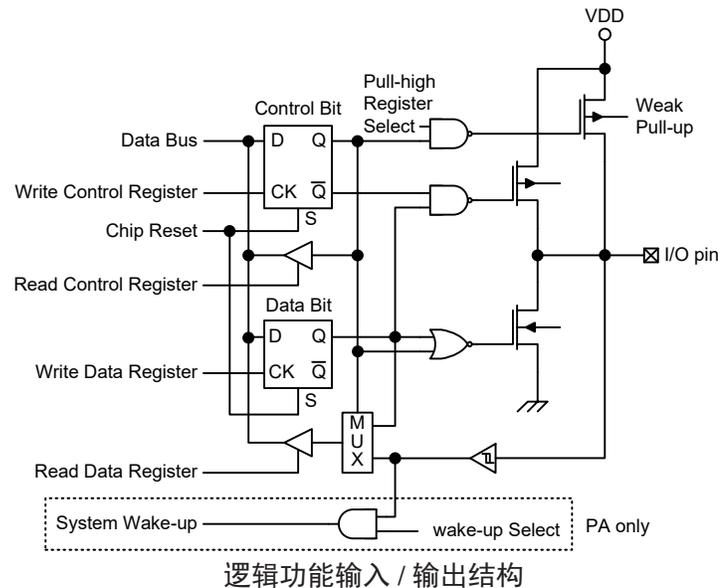
• IFS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	INT1PS	INT0PS	SDI_SDAPS	SCK_SCLPS	SCSBPS	RXPS
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	—	0	0	0	0	0	0

- Bit 7~6 未定义，读为“0”
- Bit 5 **INT1PS**: INT1 输入源引脚选择  
0: PB1  
1: PA2
- Bit 4 **INT0PS**: INT0 输入源引脚选择  
0: PB0  
1: PA1
- Bit 3 **SDI\_SDAPS**: SDI/SDA 输入源引脚选择  
0: 保留  
1: PA3
- Bit 2 **SCK\_SCLPS**: SCK/SCL 输入源引脚选择  
0: 保留  
1: PB6
- Bit 1 **SCSBPS**:  $\overline{\text{SCS}}$  输入源引脚选择  
0: 保留  
1: PB5
- Bit 0 **RXPS**: RX 输入源引脚选择  
0: PD1  
1: PC1

输入 / 输出引脚结构

下图为输入 / 输出引脚逻辑功能的内部结构图。具体输入 / 输出引脚的逻辑结构图可能与此图不同，这里只是为了方便对 I/O 引脚逻辑功能的理解提供一个参考。由于存在诸多的引脚共用结构，在此不方便提供所有类型引脚功能结构图。



## 编程注意事项

在编程中，最先要考虑的是端口的初始化。复位之后，所有的输入 / 输出数据及端口控制寄存器都将被设为逻辑高。所有输入 / 输出引脚默认为输入状态，而其电平则取决于其它相连接电路以及是否选择了上拉电阻。如果端口控制寄存器某些引脚位被设定输出状态，这些输出引脚会有初始高电平输出，除非数据寄存器端口在程序中被预先设定。设置哪些引脚是输入及哪些引脚是输出，可通过设置正确的值到适当的端口控制寄存器，或使用指令“SET [m].i”及“CLR [m].i”来设定端口控制寄存器中个别的位。注意，当使用这些位控制指令时，系统即将产生一个读 - 修改 - 写的操作。单片机需要先读入整个端口上的数据，修改个别的位，然后重新把这些数据写入到输出端口。

PA 口的每个引脚都带唤醒功能。单片机处于休眠或空闲模式时，有很多方法可以唤醒单片机，其中之一就是通过 PA 任一引脚电平从高到低转换的方式，可以设置 PA 口一个或多个引脚具有唤醒功能。

## 定时器模块 – TM

控制和测量时间在任何单片机中都是一个很重要的部分。该单片机提供几个定时器模块 ( 简称 TM )，来实现和时间有关的功能。定时器模块是包括多种操作的定时单元，提供的操作有：定时 / 计数器，比较匹配输出，单脉冲输出以及 PWM 输出等功能。每个定时器模块有两个独立中断。每个 TM 外加的输入输出引脚，扩大了定时器的灵活性，便于用户使用。

这里只介绍各种 TM 的共性，更多详细资料请参考简易型，标准型和周期型定时器章节。

### 简介

该单片机包含 3 个 TM，每个 TM 可被划分为一个特定的类型，即简易型 TM，标准型 TM 或周期型 TM。虽然性质相似，但不同 TM 特性复杂度不同。本章介绍简易型，标准型和周期型 TM 的共性，更多详细资料分别见后面各章。三种类型 TM 的特性和区别见下表。

TM 功能	CTM	STM	PTM
定时 / 计数器	√	√	√
比较匹配输出	√	√	√
PWM 输出	√	√	√
单脉冲输出	—	√	√
PWM 对齐方式	边沿对齐	边沿对齐	边沿对齐
PWM 调节周期 & 占空比	占空比或周期	占空比或周期	占空比或周期

TM 功能概要

### TM 操作

不同类型的 TM 提供从简单的定时操作到 PWM 信号产生等多种功能。理解 TM 操作的关键是比较 TM 内独立运行的计数器的值与内部比较器的预置值。当计数器的值与比较器的预置值相同时，则比较匹配，TM 中断信号产生，清零计数器并改变 TM 输出引脚的状态。用户选择内部时钟或外部时钟来驱动内部 TM 计数器。

## TM 时钟源

驱动 TM 计数器的时钟源很多。通过设置 xTM 控制寄存器的 xTCK2~xTCK0 位，选择所需的时钟源，“x”代表 C、S 或者 P 类型的 TM。该时钟源来自系统时钟  $f_{SYS}$  或内部高速时钟  $f_H$  的分频比或  $f_{SUB}$  时钟源或外部 xTCK 引脚。xTCK 引脚时钟源用于允许外部信号作为 TM 时钟源或用于事件计数。

## TM 中断

简易型 TM，标准型 TM 或周期型 TM 都有两个内部中断，分别是内部比较器 A 或比较器 P，当比较匹配发生时产生 TM 中断。当 TM 中断产生时，计数器清零并改变 TM 输出引脚的状态。

## TM 外部引脚

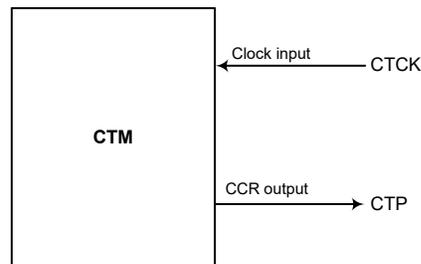
无论哪种类型的 TM，都有一个 TM 输入引脚 xTCK。xTM 输入引脚 xTCK 作为 xTM 时钟源输入脚，通过设置 xTMC0 寄存器中的 xTCK2~xTCK0 位进行选择。外部时钟源可通过该引脚来驱动内部 TM。xTCK 引脚可选择上升沿有效或下降沿有效。STCK 和 PTCK 引脚还可分别用作 STM 和 PTM 单脉冲模式的外部触发引脚。

每个 TM 都有一个输出引脚 xTP。当 TM 工作在比较匹配输出模式且比较匹配发生时，这些引脚会由 TM 控制切换到高电平或低电平或翻转。外部输出引脚也被 TM 用来产生 PWM 输出波形。

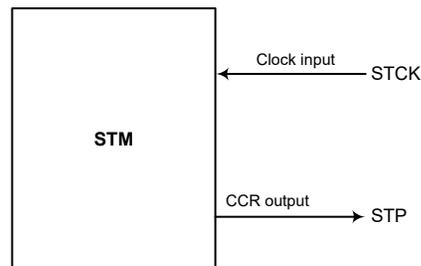
因 TM 输入和输出引脚与其它功能共用，TM 输入和输出功能需要事先通过相关引脚共用功能选择位进行设置。更多引脚共用功能选择详见引脚共用功能章节。

CTM		STM		PTM	
输入	输出	输入	输出	输入	输出
CTCK	CTP	STCK	STP	PTCK	PTP

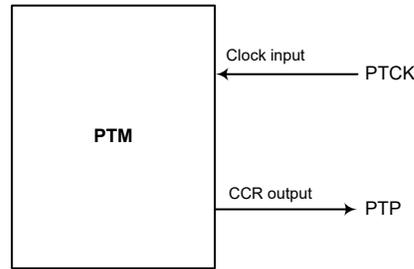
TM 外部引脚



CTM 功能引脚方框图



STM 功能引脚方框图

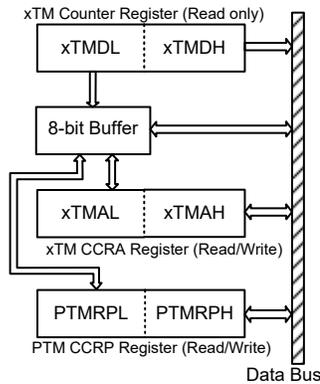


PTM 功能引脚方框图

### 编程注意事项

TM 计数寄存器和比较寄存器 CCRA、CCRP，含有低字节和高字节结构。高字节可直接访问，低字节则仅能通过一个内部 8-bit 的缓存器进行访问。读写这些成对的寄存器需通过特殊的方式。值得注意的是 8-bit 缓存器的存取数据及相关低字节的读写操作仅在其相应的高字节读取操作执行时发生。

CCRA 和 CCRP 寄存器访问方式如下图所示，读写这些成对的寄存器需通过特殊的方式。建议使用“MOV”指令，通过以下步骤访问 CCRA 和 CCRP 低字节寄存器，即 xTMAL 和 PTMRPL。若不采用以下步骤访问 CCRA 和 CCRP 将导致不可预期的结果。

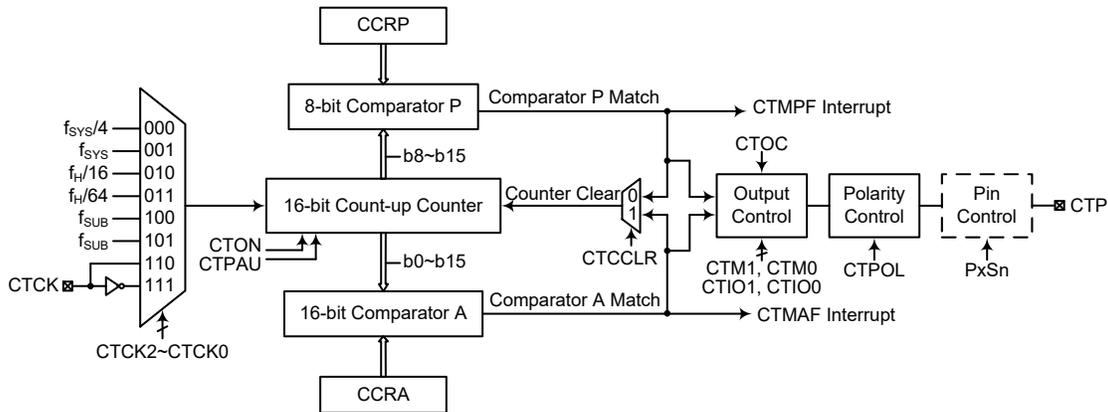


读写流程如下步骤所示：

- 写数据至 CCRA 或 CCRP
  - ◆ 步骤 1. 写数据至低字节寄存器 xTMAL 或 PTMRPL
    - 注意，此时数据仅写入 8-bit 缓存器。
  - ◆ 步骤 2. 写数据至高字节寄存器 xTMAH 或 PTMRPH
    - 注意，此时数据直接写入高字节寄存器，同时锁存在 8-bit 缓存器中的数据写入低字节寄存器。
- 由计数器寄存器和 CCRA 或 CCRP 中读取数据
  - ◆ 步骤 1. 由高字节寄存器 xTMDH, xTMAH 或 PTMRPH 读取数据
    - 注意，此时高字节寄存器中的数据直接读取，同时由低字节寄存器读取的数据锁存至 8-bit 缓存器中。
  - ◆ 步骤 2. 由低字节寄存器 xTMDL, xTMAL 或 PTMRPL 读取数据
    - 注意，此时读取 8-bit 缓存器中的数据。

## 简易型 TM – CTM

虽然简易型 TM 是这几种 TM 类型中最简单的形式，但仍然包括三种工作模式，即比较匹配输出、定时 / 事件计数器和 PWM 输出模式。简易型 TM 由一个外部输入脚控制并驱动一个外部输出脚。



注：CTM 外部引脚与其它功能共用引脚，因此在使用 CTM 之前应该合理配置相关引脚共用功能选择寄存器以确保使能 CTM 引脚功能。对于 CTCK 输入引脚还需设置相应的端口控制寄存器，将该引脚设置为输入口。

16 位简易型 TM 方框图

### 简易型 TM 操作

简易型 TM 核心是一个由用户选择的内部或外部时钟源驱动的 16 位向上计数器，它还包括两个内部比较器即比较器 A 和比较器 P。这两个比较器将计数器的值与 CCRP 和 CCRA 寄存器中的值进行比较。CCRP 是 8 位的，与计数器的高 8 位比较；而 CCRA 是 16 位的，与计数器的所有位比较。

通过应用程序改变 16 位计数器值的唯一方法是使 CTON 位发生上升沿跳变清除计数器。此外，计数器溢出或比较匹配也会自动清除计数器。上述条件发生时，通常情况会产生 CTM 中断信号。简易型 TM 可工作在不同的模式，可由包括来自输入脚的不同时钟源驱动，也可以控制输出脚。所有工作模式的设定都是通过设置相关寄存器来实现的。

### 简易型 TM 寄存器介绍

简易型 TM 的所有操作由一系列寄存器控制。一对只读寄存器用来存放 16 位计数器的值，一对读 / 写寄存器存放 16 位 CCRA 的值。CTMRP 寄存器存放 8 位 CCRP 的值。剩下两个控制寄存器设置不同的操作和控制模式。

寄存器名称	位							
	7	6	5	4	3	2	1	0
CTMC0	CTPAU	CTCK2	CTCK1	CTCK0	CTON	—	—	—
CTMC1	CTM1	CTM0	CTIO1	CTIO0	CTOC	CTPOL	CTDPX	CTCCLR
CTMDL	D7	D6	D5	D4	D3	D2	D1	D0
CTMDH	D15	D14	D13	D12	D11	D10	D9	D8
CTMAL	D7	D6	D5	D4	D3	D2	D1	D0
CTMAH	D15	D14	D13	D12	D11	D10	D9	D8
CTMRP	D7	D6	D5	D4	D3	D2	D1	D0

16-bit 简易型 TM 寄存器列表

● CTMC0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CTPAU	CTCK2	CTCK1	CTCK0	CTON	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	—	—	—
POR	0	0	0	0	0	—	—	—

Bit 7 **CTPAU**: CTM 计数器暂停控制位

- 0: 运行
- 1: 暂停

通过设置此位为高可使计数器暂停，清零此位恢复正常计数器操作。当处于暂停条件时，CTM 保持上电状态并继续耗电。当此位由低到高转换时，计数器将保留其剩余值，直到此位再次改变为低电平，从此值开始继续计数。

Bit 6~4 **CTCK2~CTCK0**: 选择 CTM 计数时钟位

- 000:  $f_{SYS}/4$
- 001:  $f_{SYS}$
- 010:  $f_H/16$
- 011:  $f_H/64$
- 100:  $f_{SUB}$
- 101:  $f_{SUB}$
- 110: CTCK 上升沿时钟
- 111: CTCK 下降沿时钟

此三位用于选择 CTM 的时钟源。外部引脚时钟源能被选择在上升沿或下降沿有效。 $f_{SYS}$  是系统时钟， $f_H$  和  $f_{SUB}$  是其它的内部时钟源，细节方面请参考振荡器章节。

Bit 3 **CTON**: CTM 计数器 On/Off 控制位

- 0: Off
- 1: On

此位控制 CTM 的总开关功能。设置此位为高则使能计数器使其运行，清零此位则除能 CTM。清零此位将停止计数器并关闭 CTM 减少耗电。当此位经由低到高转换时，内部计数器将复位清零；当此位经由高到低转换时，内部计数器将保持其剩余值，直到此位再次改变为高电平。

若 CTM 处于比较匹配输出模式或 PWM 输出模式时，当 CTON 位经由低到高转换时，CTM 输出脚将复位至 CTOC 位指定的初始值。

Bit 2~0 未定义，读为“0”

• CTMC1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CTM1	CTM0	CTIO1	CTIO0	CTOC	CTPOL	CTDPX	CTCCLR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 **CTM1~CTM0**: 选择 CTM 工作模式位

- 00: 比较匹配输出模式
- 01: 未定义模式
- 10: PWM 输出模式
- 11: 定时 / 计数器模式

这两位设置 CTM 需要的工作模式。为了确保操作可靠，CTM 应在 CTM1 和 CTM0 位有任何改变前先关掉。在定时 / 计数器模式，CTM 输出脚状态为未知。

Bit 5~4 **CTIO1~CTIO0**: 选择 CTM 外部引脚功能位

比较匹配输出模式

- 00: 无变化
- 01: 输出低
- 10: 输出高
- 11: 输出翻转

PWM 输出模式

- 00: 强制无效状态
- 01: 强制有效状态
- 10: PWM 输出
- 11: 未定义

定时 / 计数器模式

未使用

此两位用于决定在一定条件达到时 CTM 输出脚如何改变状态。这两位值的选择取决于 CTM 运行在哪种模式下。

在比较匹配输出模式下，CTIO1 和 CTIO0 位决定当比较器 A 比较匹配输出发生时 CTM 输出脚如何改变状态。当比较器 A 比较匹配输出发生时 CTM 输出脚能设为切换高、切换低或翻转当前状态。若此两位同时为 0 时，这个输出将不会改变。CTM 输出脚的初始值通过 CTMC1 寄存器的 CTOC 位设置取得。注意，由 CTIO1 和 CTIO0 位得到的输出电平必须与通过 CTOC 位设置的初始值不同，否则当比较匹配发生时，CTM 输出脚将不会发生变化。在 CTM 输出脚改变状态后，通过 CTON 位由低到高电平的转换复位至初始值。

在 PWM 输出模式，CTIO1 和 CTIO0 用于决定比较匹配条件发生时怎样改变 CTM 输出脚的状态。PWM 输出功能通过这两位的变化进行更新。仅在 CTM 关闭时改变 CTIO1 和 CTIO0 位的值是很有必要的。若在 CTM 运行时改变 CTIO1 和 CTIO0 的值，PWM 输出的值是无法预料的。

Bit 3 **CTOC**: CTP 输出控制位

比较匹配输出模式

- 0: 初始低
- 1: 初始高

PWM 输出模式

- 0: 低有效
- 1: 高有效

这是 CTM 输出脚输出控制位。它取决于 CTM 此时正运行于比较匹配输出模式还是 PWM 输出模式。若 CTM 处于定时 / 计数器模式，则其不受影响。在比较匹配输出模式时，比较匹配发生前其决定 CTM 输出脚的逻辑电平值。在 PWM 输出模式时，其决定 PWM 信号是高有效还是低有效。

Bit 2 **CTPOL**: CTM CTP 输出极性控制位

- 0: 同相
- 1: 反相

此位控制 CTP 输出脚的极性。此位为高时 CTM 输出脚反相，为低时 CTM 输出脚同相。若 CTM 处于定时 / 计数器模式时其不受影响。

- Bit 1     **CTDPX**: CTM PWM 周期 / 占空比控制位  
           0: CCRP – 周期; CCRA – 占空比  
           1: CCRP – 占空比; CCRA – 周期  
       此位决定 CCRA 与 CCRP 寄存器哪个被用于 PWM 波形的周期和占空比控制。
- Bit 0     **CTCCLR**: 选择 CTM 计数器清零条件位  
           0: CTM 比较器 P 匹配  
           1: CTM 比较器 A 匹配  
       此位用于选择清除计数器的方法。简易型 TM 包括两个比较器即比较器 A 和比较器 P。这两个比较器每个都可以用作清除内部计数器。CTCCLR 位设为高, 计数器在比较器 A 比较匹配发生时被清除; 此位设为低, 计数器在比较器 P 比较匹配发生或计数器溢出时被清除。计数器溢出清除的方法仅在 CCRP 被清除为 0 时才能生效。CTCCLR 位在 PWM 输出模式时未使用。

● **CTMDL 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7~0     **D7~D0**: CTM 计数器低字节寄存器 bit 7 ~ bit 0  
           CTM 16-bit 计数器 bit 7 ~ bit 0

● **CTMDH 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D15	D14	D13	D12	D11	D10	D9	D8
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7~2     **D15~D8**: CTM 计数器高字节寄存器 bit 7 ~ bit 0  
           CTM 16-bit 计数器 bit 15 ~ bit 8

● **CTMAL 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0     **D7~D0**: CTM CCRA 低字节寄存器 bit 7 ~ bit 0  
           CTM 16-bit CCRA bit 7 ~ bit 0

● **CTMAH 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D15	D14	D13	D12	D11	D10	D9	D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~0     **D15~D8**: CTM CCRA 高字节寄存器 bit 7 ~ bit 0  
           CTM 16-bit CCRA bit 15 ~ bit 8

• CTMRP 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**: CTM CCRP 8 位寄存器，与 CTM 计数器 bit 15~bit 8 比较  
比较器 P 匹配周期 =  
0: 65536 个 CTM 时钟  
1~255: 256×(1~255) 个 CTM 时钟

此八位设定内部 CCRP 8-bit 寄存器的值，然后与内部计数器的高八位进行比较。如果 CTCCLR 位设为 0 时，比较结果为 0 并清除内部计数器。CTCCLR 位设为低，CCRP 比较匹配结果将重置内部计数器。由于 CCRP 只与计数器高八位比较，比较结果是 256 时钟周期的倍数。CCRP 被清零时，实际上会使得计数器在最大值溢出。

### 简易型 TM 工作模式

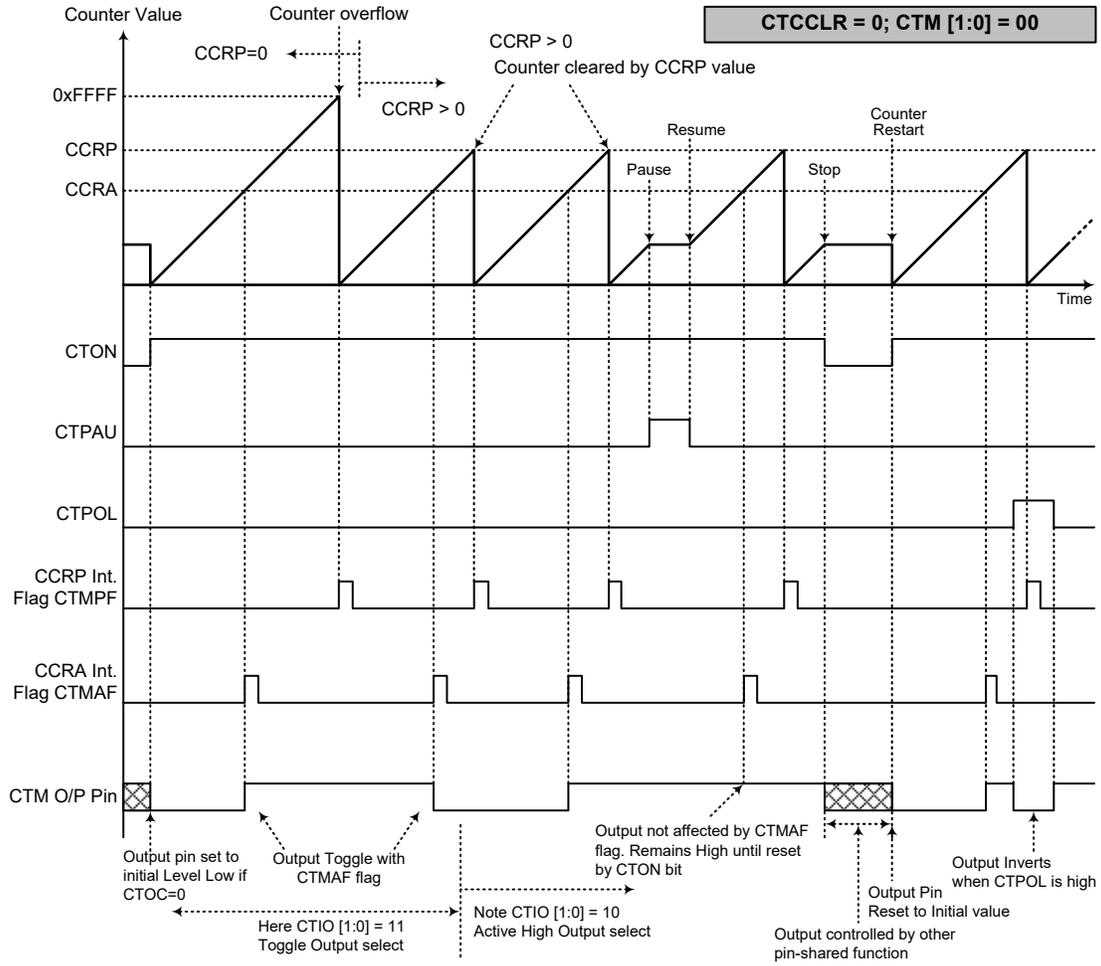
简易型 TM 有三种工作模式，即比较匹配输出模式，PWM 输出模式或定时 / 计数器模式。通过设置 CTMC1 寄存器的 CTM1 和 CTM0 位选择任意工作模式。

#### 比较匹配输出模式

为使 TM 工作在此模式，CTMC1 寄存器中的 CTM1 和 CTM0 位需要设置为“00”。当工作在该模式，一旦计数器使能并开始计数，有三种方法来清零，分别是：计数器溢出，比较器 A 比较匹配发生和比较器 P 比较匹配发生。CTCCLR 位为低，有两种方法清除计数器。一种是比较器 P 比较匹配发生，另一种是 CCRP 所有位设置为零并使得计数器溢出。此时，比较器 A 和比较器 P 的请求标志位 CTMAF 和 CTMPF 将分别置起。

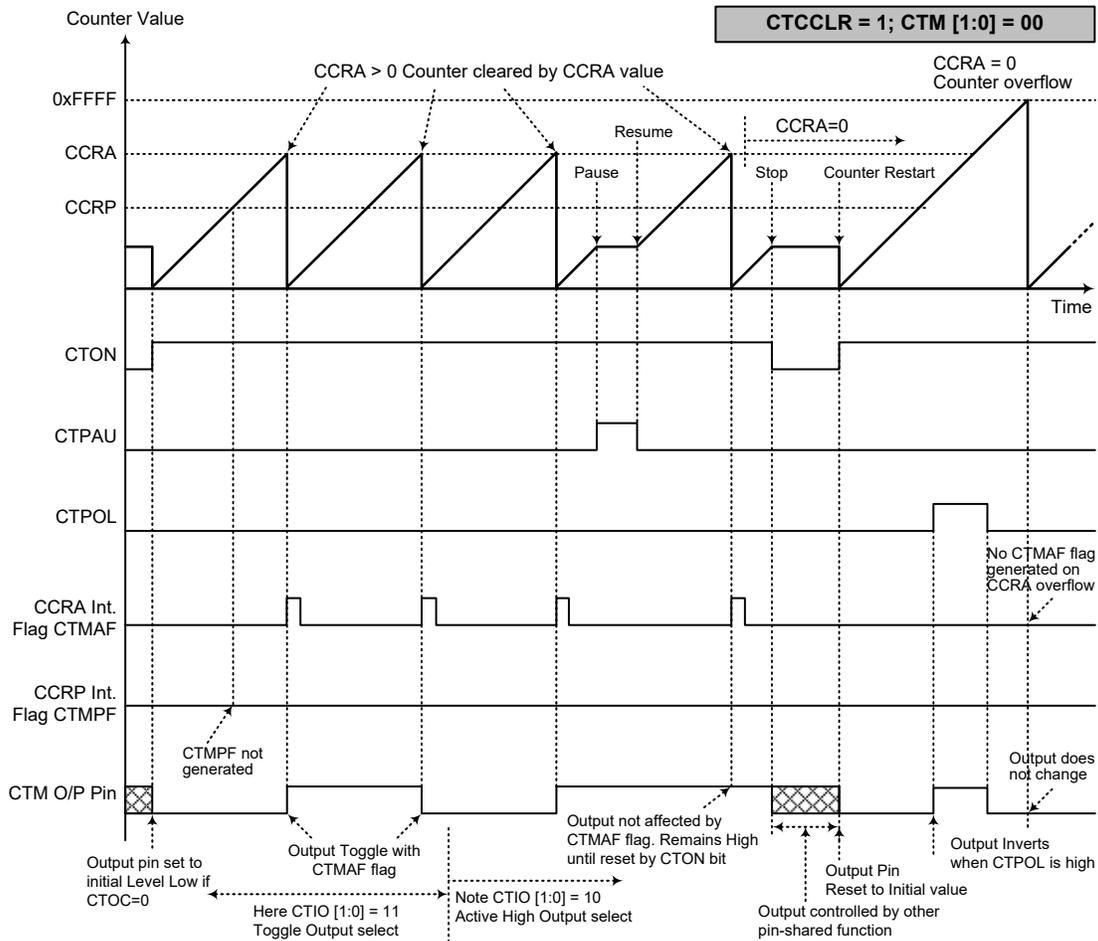
如果 CTMC1 寄存器的 CTCCLR 位设置为高，当比较器 A 比较匹配发生时计数器被清零。此时，即使 CCRP 寄存器的值小于 CCRA 寄存器的值，仅 CTMAF 中断请求标志产生。所以当 CTCCLR 为高时，不产生 CTMPF 中断请求标志。如果 CCRA 被清零，当计数达到最大值 FFFFH 时，计数器溢出，而此时不产生 CTMAF 中断请求标志。

正如该模式名所言，当比较匹配发生后，CTM 输出脚状态改变。当比较器 A 比较匹配发生后 CTMAF 标志产生时，CTM 输出脚状态改变。比较器 P 比较匹配发生时产生的 CTMPF 标志不影响 CTM 输出脚。CTM 输出脚状态改变方式由 CTMC1 寄存器中 CTIO1 和 CTIO0 位决定。当比较器 A 比较匹配发生时，CTIO1 和 CTIO0 位决定 CTM 输出脚输出高，低或翻转当前状态。在 CTON 位由低到高后，CTM 输出脚初始状态为 CTC 位所指定的电平。注意，若 CTIO1 和 CTIO0 位同时为 0 时，引脚输出不变。



### 比较匹配输出模式 - CTCCLR=0

- 注：1. CTCCLR=0，比较器 P 匹配将清除计数器  
2. CTM 输出脚仅由 CTMAF 标志位控制  
3. 在 CTON 上升沿 CTM 输出脚复位至初始值



### 比较匹配输出模式 - CTCCLR=1

- 注：1. CTCCLR=1，比较器 A 匹配将清除计数器  
2. CTM 输出脚仅由 CTMAF 标志位控制  
3. 在 CTON 上升沿 CTM 输出脚复位至初始值  
4. 当 CTCCLR=1 时，不会产生 CTMPF 标志

### 定时 / 计数器模式

为使 TM 工作在此模式，CTMC1 寄存器中的 CTM1 和 CTM0 位需要设置为“11”。定时 / 计数器模式与比较匹配输出模式操作方式相同，并产生同样的中断请求标志。不同的是，在定时 / 计数器模式下 CTM 输出脚未使用。因此，比较匹配输出模式中的描述和时序图可以适用于此功能。该模式中未使用的 CTM 输出脚用作普通 I/O 脚或其它功能。

### PWM 输出模式

为使 TM 工作在此模式，CTMC1 寄存器中的 CTM1 和 CTM0 位需要设置为“10”。CTM 的 PWM 功能在马达控制，加热控制，照明控制等方面十分有用。给 CTM 输出脚提供一个频率固定但占空比可调的信号，将产生一个有效值等于 DC 均方根的 AC 方波。

由于 PWM 波形的周期和占空比可调，其波形的选择就较为灵活。在 PWM 输出模式中，CTCCLR 位不影响 PWM 操作。CCRA 和 CCRP 寄存器决定 PWM 波形，一个用来清除内部计数器并控制 PWM 波形的频率，另一个用来控制占空比。哪个寄存器控制频率或占空比取决于 CTMC1 寄存器的 CTD PX 位。所以 PWM 波形频率和占空比由 CCRA 和 CCRP 寄存器共同决定。

当比较器 A 或比较器 P 比较匹配发生时，将产生 CCRA 或 CCRP 中断标志。CTMC1 寄存器中的 CTOC 位决定 PWM 波形的极性，CTIO1 和 CTIO0 位使能 PWM 输出或将 CTM 输出脚置为逻辑高或逻辑低。CTPOL 位对 PWM 输出波形的极性取反。

- 16-bit CTM, PWM 输出模式, 边沿对齐模式, CTD PX=0

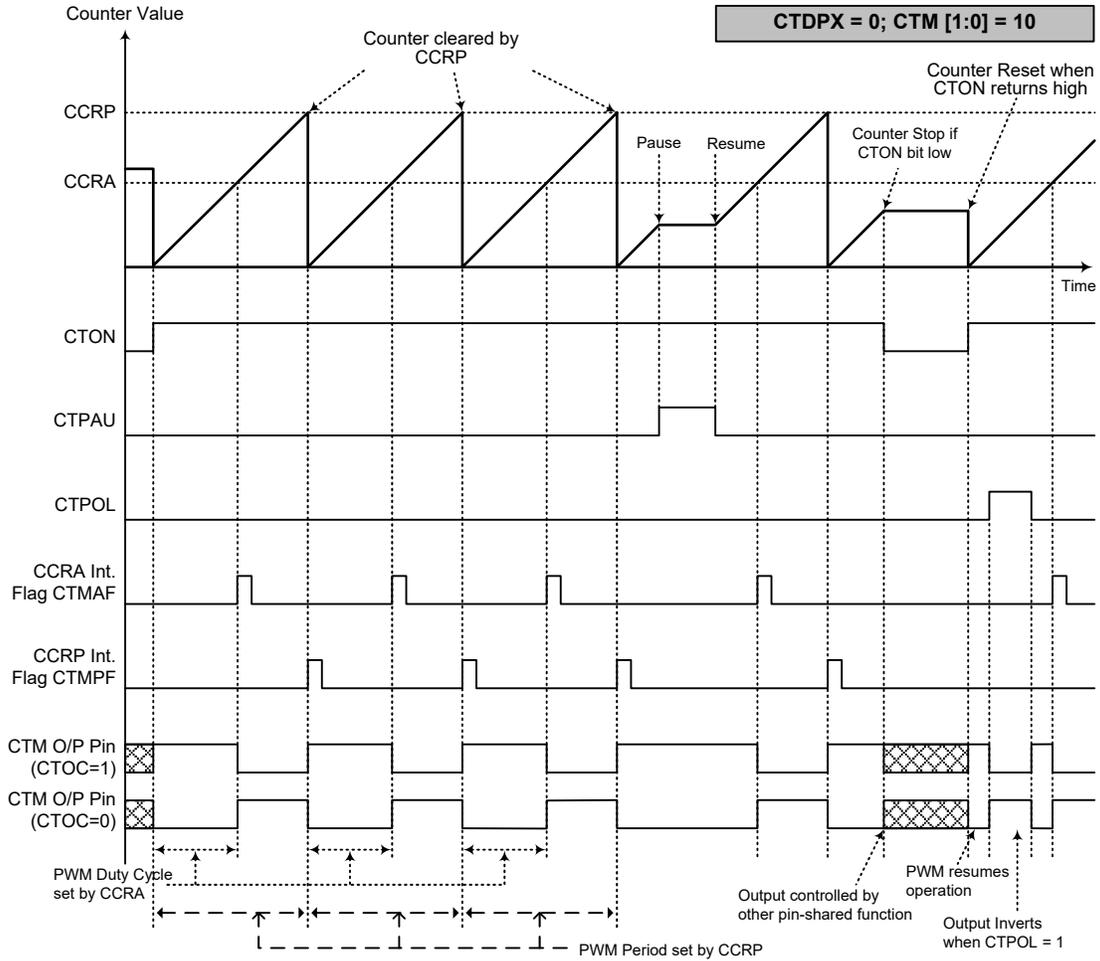
CCRP	1~255	0
周期	CCRP×256	65536
占空比	CCRA	

若  $f_{sys}=8\text{MHz}$ ，CTM 时钟源选择  $f_{sys}/4$ ， $CCRP=2$ ， $CCRA=128$ ，  
CTM PWM 输出频率 =  $(f_{sys}/4)/512=f_{sys}/2048=7.8125\text{kHz}$ ， $duty=128/512=25\%$ ，  
若由 CCRA 寄存器定义的 Duty 值等于或大于 Period 值，PWM 输出占空比为 100%。

- 16-bit CTM, PWM 输出模式, 边沿对齐模式, CTD PX=1

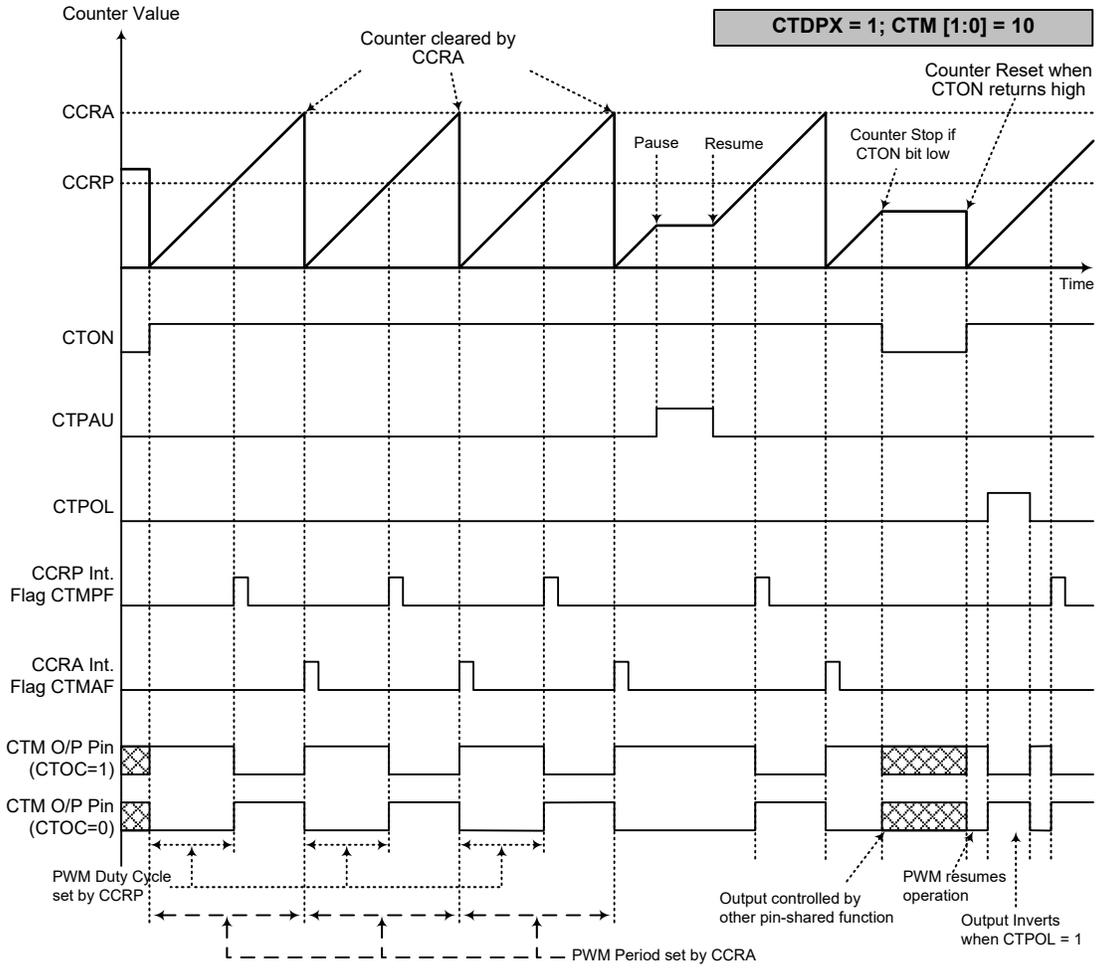
CCRP	1~255	0
周期	CCRA	
占空比	CCRP×256	65536

PWM 的输出周期由 CCRA 寄存器的值与 CTM 的时钟共同决定，PWM 的占空比由寄存器的值决定。



### PWM 输出模式 - CTD PX=0

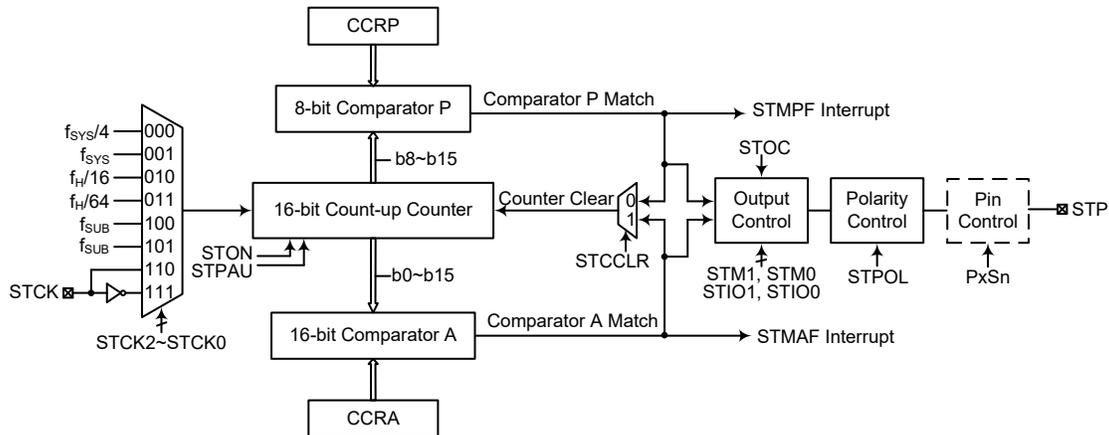
- 注：1. CTD PX=0, CCRP 清除计数器  
2. 计数器清零并设置 PWM 周期  
3. 当 CTIO[1:0]=00 或 01, PWM 输出功能不变  
4. CTCCLR 位不影响 PWM 操作



- 注：1. CTDPX=1, CCRA 清除计数器  
 2. 计数器清零并设置 PWM 周期  
 3. 当 CTIO[1:0]=00 或 01, PWM 输出功能不变  
 4. CTCCLR 位不影响 PWM 操作

## 标准型 TM – STM

标准型 TM 包括 4 种工作模式，即比较匹配输出、定时 / 事件计数器、单脉冲输出和 PWM 输出模式。标准型 TM 由一个外部输入脚控制并驱动一个外部输出脚。



注：STM 外部引脚与其它功能共用引脚，因此在使用 STM 之前应该合理配置相关引脚共用功能选择寄存器以确保使能 STM 引脚功能。对于 STCK 输入引脚还需设置相应的端口控制寄存器，将该引脚设置为输入口。

16 位标准型 TM 方框图

### 标准型 TM 操作

标准型 TM 是 16 位宽度。核心是一个由用户选择的内部或外部时钟源驱动的 16 位向上计数器，它还包括两个内部比较器即比较器 A 和比较器 P。这两个比较器将计数器的值与 CCRP 和 CCRA 寄存器中的值进行比较。CCRP 是 8 位宽度，与计数器的高 8 位比较；而 CCRA 是 16 位的，与计数器的所有位比较。

通过应用程序改变 16 位计数器值的唯一方法是使 STON 位发生上升沿跳变清除计数器。此外，计数器溢出或比较匹配也会自动清除计数器。上述条件发生时，通常情况会产生 STM 中断信号。标准型 TM 可工作在不同的模式，可由包括来自输入脚的不同时钟源驱动，也可以控制输出脚。所有工作模式的设定都是通过设置相关寄存器来实现的。

### 标准型 TM 寄存器介绍

标准型 TM 的所有操作由一系列寄存器控制。一对只读寄存器用来存放 16 位计数器的值，一对读 / 写寄存器存放 16 位 CCRA 的值，STM RP 寄存器存放 8 位 CCRP 的值，剩下两个控制寄存器设置不同的操作和控制模式。

寄存器名称	位							
	7	6	5	4	3	2	1	0
STMC0	STPAU	STCK2	STCK1	STCK0	STON	—	—	—
STMC1	STM1	STM0	STIO1	STIO0	STOC	STPOL	STDPX	STCCLR
STMDL	D7	D6	D5	D4	D3	D2	D1	D0
STMDH	D15	D14	D13	D12	D11	D10	D9	D8
STMAL	D7	D6	D5	D4	D3	D2	D1	D0
STMAH	D15	D14	D13	D12	D11	D10	D9	D8
STRMP	STRP7	STRP6	STRP5	STRP4	STRP3	STRP2	STRP1	STRP0

16-bit 标准型 TM 寄存器列表

● **STMC0 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	STPAU	STCK2	STCK1	STCK0	STON	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	—	—	—
POR	0	0	0	0	0	—	—	—

Bit 7 **STPAU**: STM 计数器暂停控制位

- 0: 运行
- 1: 暂停

通过设置此位为高可使计数器暂停，清零此位恢复正常计数器操作。当处于暂停条件时，STM 保持上电状态并继续耗电。当此位由低到高转换时，计数器将保留其剩余值，直到此位再次改变为低电平，并从此值开始继续计数。

Bit 6~4 **STCK2~STCK0**: 选择 STM 计数时钟位

- 000:  $f_{SYS}/4$
- 001:  $f_{SYS}$
- 010:  $f_H/16$
- 011:  $f_H/64$
- 100:  $f_{SUB}$
- 101:  $f_{SUB}$
- 110: STCK 上升沿时钟
- 111: STCK 下降沿时钟

此三位用于选择 STM 的时钟源。外部引脚时钟源能被选择在上升沿或下降沿有效。 $f_{SYS}$  是系统时钟， $f_H$  和  $f_{SUB}$  是其它的内部时钟源，详细请参考振荡器章节。

Bit 3 **STON**: STM 计数器 On/Off 控制位

- 0: Off
- 1: On

此位控制 STM 的总开关功能。设置此位为高则使能计数器使其运行，清零此位则除能 STM。清零此位将停止计数器并关闭 STM 减少耗电。当此位经由低到高转换时，内部计数器将复位清零；当此位经由高到低转换时，内部计数器将保持其剩余值，直到此位再次改变为高电平。

若 STM 处于比较匹配输出模式时或 PWM 输出模式或单脉冲输出模式时，当 STON 位经由低到高转换时，STM 输出脚将复位至 STOC 位指定的初始值。

Bit 2~0 未定义，读为“0”

• STMC1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	STM1	STM0	STIO1	STIO0	STOC	STPOL	STDPX	STCCLR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 STM1~STM0: 选择 STM 工作模式位**  
 00: 比较匹配输出模式  
 01: 未定义  
 10: PWM 输出模式或单脉冲输出模式  
 11: 定时 / 计数器模式  
 这两位设置 STM 需要的工作模式。为了确保操作可靠, STM 应在 STM1 和 STM0 位有任何改变前先关掉。在定时 / 计数器模式, STM 输出脚状态为未知。
- Bit 5~4 STIO1~STIO0: 选择 STM 外部引脚 STP 功能**  
 比较匹配输出模式  
 00: 无变化  
 01: 输出低  
 10: 输出高  
 11: 输出翻转  
 PWM 输出模式 / 单脉冲输出模式  
 00: 强制无效状态  
 01: 强制有效状态  
 10: PWM 输出  
 11: 单脉冲输出  
 定时 / 计数器模式  
 未使用  
 此两位用于决定在一定条件达到时 STM 输出脚如何改变状态。这两位值的选择取决于 STM 运行在何种模式下。  
 在比较匹配输出模式下, STIO1 和 STIO0 位决定当比较器 A 比较匹配输出发生时 STM 输出脚如何改变状态。当比较器 A 比较匹配输出发生时 STM 输出脚能设为切换高、切换低或翻转当前状态。若此两位同时为 0 时, 这个输出将不会改变。STM 输出脚的初始值通过 STMC1 寄存器的 STOC 位设置取得。注意, 由 STIO1 和 STIO0 位得到的输出电平必须与通过 STOC 位设置的初始值不同, 否则当比较匹配发生时, STM 输出脚将不会发生变化。在 STM 输出脚改变状态后, 通过 STON 位由低到高电平的转换复位至初始值。  
 在 PWM 输出模式, STIO1 和 STIO0 用于决定比较匹配条件发生时怎样改变 STM 输出脚的状态。PWM 输出功能通过这两位的变化进行更新。仅在 STM 关闭时改变 STIO1 和 STIO0 的值是很有必要的。若在 STM 运行时改变 STIO1 和 STIO0 值, PWM 输出的值是无法预料的。
- Bit 3 STOC: STM STP 输出控制位**  
 比较匹配输出模式  
 0: 初始低  
 1: 初始高  
 PWM 输出模式 / 单脉冲输出模式  
 0: 低有效  
 1: 高有效  
 这是 STM 输出脚输出控制位。它取决于 STM 此时正运行于比较匹配输出模式还是 PWM 输出模式, 或单脉冲输出模式。若 STM 处于定时 / 计数器模式, 则其不受影响。在比较匹配输出模式时, 比较匹配发生前其决定 STM 输出脚的逻辑电平值。在 PWM 输出模式时, 其决定 PWM 信号是高有效还是低有效。在单脉冲输出模式, 其决定 STON 位由低变高时 STM 输出脚的逻辑电平。
- Bit 2 STPOL: STM STP 输出极性控制位**  
 0: 同相  
 1: 反相

此位控制 STP 输出脚的极性。此位为高时 STM 输出脚反相，为低时 STM 输出脚同相。若 STM 处于定时 / 计数器模式时其不受影响。

Bit 1 **STDPX**: STM PWM 周期 / 占空比控制位

0: CCRP – 周期; CCRA – 占空比

1: CCRP – 占空比; CCRA – 周期

此位决定 CCRA 与 CCRP 寄存器哪个被用于 PWM 波形的周期和占空比控制。

Bit 0 **STCCLR**: 选择 STM 计数器清零条件位

0: 比较器 P 匹配

1: 比较器 A 匹配

此位用于选择清除计数器的方法。标准型 TM 包括两个比较器 - 比较器 A 和比较器 P。这两个比较器每个都可以用作清除内部计数器。STCCLR 位设为高，计数器在比较器 A 比较匹配发生时被清除；此位设为低，计数器在比较器 P 比较匹配发生或计数器溢出时被清除。计数器溢出清除的方法仅在 CCRP 被清除为 0 时才能生效。STCCLR 位在 PWM 输出模式和单脉冲输出模式时未使用。

• **STMDL 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**: STM 计数器低字节寄存器 bit 7 ~ bit 0

STM 16-bit 计数器 bit 7 ~ bit 0

• **STMDH 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D15	D14	D13	D12	D11	D10	D9	D8
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D15~D8**: STM 计数器高字节寄存器 bit 7 ~ bit 0

STM 16-bit 计数器 bit 15 ~ bit 8

• **STMAL 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D7~D0**: STM CCRA 低字节寄存器 bit 7 ~ bit 0

STM 16-bit CCRA bit 7 ~ bit 0

• **STMAH 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	D15	D14	D13	D12	D11	D10	D9	D8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **D15~D8**: STM CCRA 高字节寄存器 bit 7 ~ bit 0

STM 16-bit CCRA bit 15 ~ bit 8

• **STMRP 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	STRP7	STRP6	STRP5	STRP4	STRP3	STRP2	STRP1	STRP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **STRP7~STRP0**: STM CCRP 8 位寄存器，与 STM 计数器 bit 15~bit 8 比较。

比较器 P 匹配周期 =

0: 65536 个 STM 时钟

1~255: (1~255)×256 个 STM 时钟

此八位设定内部 CCRP 8-bit 寄存器的值，然后与内部计数器的高八位进行比较。如果 STCCLR 位设为 0 时，比较结果为 0 并清除内部计数器。STCCLR 位设为低，CCRP 比较匹配结果将重置内部计数器。由于 CCRP 只与计数器高八位比较，比较结果是 256 时钟周期的倍数。CCRP 被清零时，实际上会使得计数器在最大值溢出。

**标准型 TM 工作模式**

标准型 TM 有四种工作模式，即比较匹配输出模式，PWM 输出模式，单脉冲输出模式或定时 / 计数器模式。通过设置 STMC1 寄存器的 STM1 和 STM0 位选择任意模式。

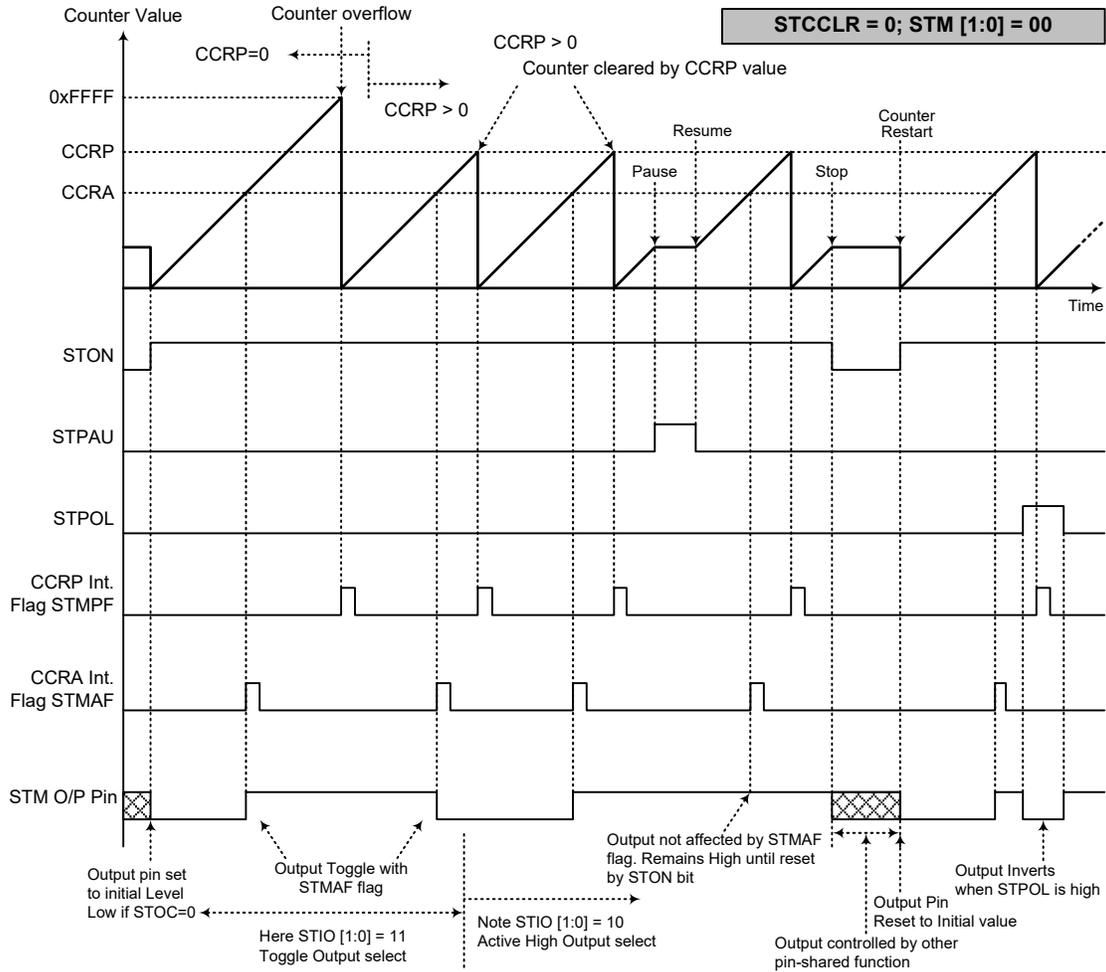
**比较匹配输出模式**

为使 TM 工作在此模式，STMC1 寄存器中的 STM1 和 STM0 位需要设置为“00”。当工作在该模式，一旦计数器使能并开始计数，有三种方法来清零，分别是：计数器溢出，比较器 A 比较匹配发生和比较器 P 比较匹配发生。当 STCCLR 位为低，有两种方法清除计数器。一种是比较器 P 比较匹配发生，另一种是 CCRP 所有位设置为零并使得计数器溢出。此时，比较器 A 和比较器 P 的请求标志位 STMAF 和 STMPF 将分别置位。

如果 STMC1 寄存器的 STCCLR 位设置为高，当比较器 A 比较匹配发生时计数器被清零。此时，即使 CCRP 寄存器的值小于 CCRA 寄存器的值，仅产生 STMAF 中断请求标志。所以当 STCCLR 为高时，不会产生 STMPF 中断请求标志。在比较匹配输出模式下，CCRA 不能设为“0”。

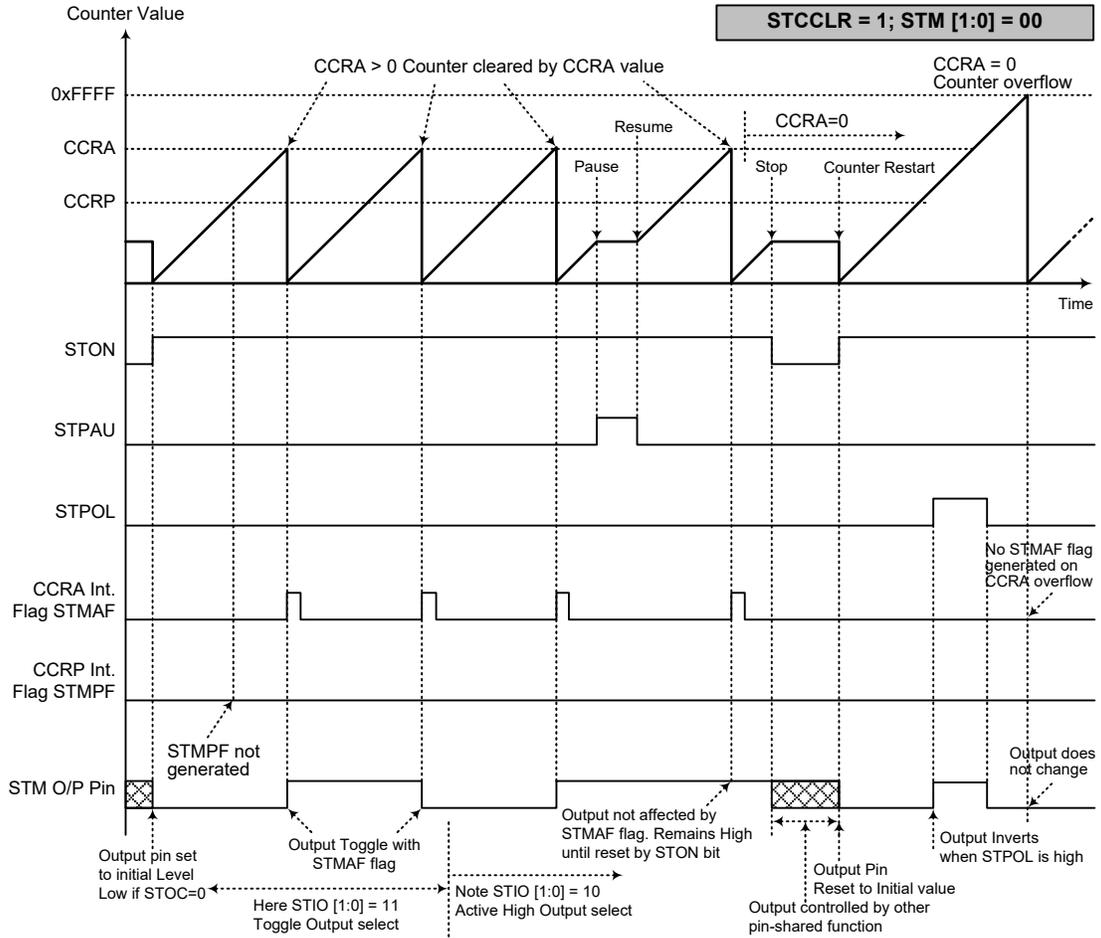
如果 CCRA 位都清除为零，当计数器的值达到 16 位最大值 FFFFH 时将溢出，但此时不会产生 STMAF 中断请求标志。

正如该模式名所言，当比较匹配发生后，STM 输出脚状态改变。当比较器 A 比较匹配发生后 STMAF 标志产生时，STM 输出脚状态改变。比较器 P 比较匹配发生时产生的 STMPF 标志不影响 STM 输出脚。STM 输出脚状态改变方式由 STMC1 寄存器中 STIO1 和 STIO0 位决定。当比较器 A 比较匹配发生时，STIO1 和 STIO0 位决定 STM 输出脚输出高，低或翻转当前状态。在 STON 位由低到高后，STM 输出脚初始状态为 STOC 位所指定的电平。注意，若 STIO1 和 STIO0 位同时为 0 时，引脚输出不变。



### 比较匹配输出模式 – STCCLR=0

- 注：1. STCCLR=0，比较器 P 匹配将清除计数器  
2. STM 输出脚仅由 STMAF 标志位控制  
3. 在 STON 上升沿 STM 输出脚复位至初始值



### 比较匹配输出模式 - STCCLR=1

- 注:
1. STCCLR=1, 比较器 A 匹配将清除计数器
  2. STM 输出脚仅由 STMAF 标志位控制
  3. 在 STON 上升沿 STM 输出脚复位至初始值
  4. 当 STCCLR=1 时, 不会产生 STMPF 标志

### 定时 / 计数器模式

为使 TM 工作在此模式，STMC1 寄存器中的 STM1 和 STM0 位需要设置为“11”。定时 / 计数器模式与比较输出模式操作方式相同，并产生同样的中断请求标志。不同的是，在定时 / 计数器模式下 STM 输出脚未使用。因此，比较匹配输出模式中的描述和时序图可以适用于此功能。该模式中未使用的 STM 输出脚用作普通 I/O 脚或其它功能。

### PWM 输出模式

为使 TM 工作在此模式，STMC1 寄存器中的 STM1 和 STM0 位需要设置为“10”，且 STIO1 和 STIO0 位也需要设置为“10”。STM 的 PWM 输出功能在马达控制，加热控制，照明控制等方面十分有用。给 STM 输出脚提供一个频率固定但占空比可调的信号，将产生一个有效值等于 DC 均方根的 AC 方波。

由于 PWM 波形的周期和占空比可调，其波形的选择就较为灵活。在 PWM 输出模式中，STCCLR 位不影响 PWM 周期。CCRA 和 CCRP 寄存器决定 PWM 波形，一个用来清除内部计数器并控制 PWM 波形的频率，另一个用来控制占空比。哪个寄存器控制频率或占空比取决于 STMC1 寄存器的 STDPX 位。所以 PWM 波形由 CCRA 和 CCRP 寄存器共同决定。

当比较器 A 或比较器 P 比较匹配发生时，将产生 CCRA 或 CCRP 中断标志。STMC1 寄存器中的 STOC 位决定 PWM 波形的极性，STIO1 和 STIO0 位使能 PWM 输出或将 STM 输出脚置为逻辑高或逻辑低。STPOL 位对 PWM 输出波形的极性取反。

- 16-bit STM, PWM 输出模式, 边沿对齐模式, STDPX=0

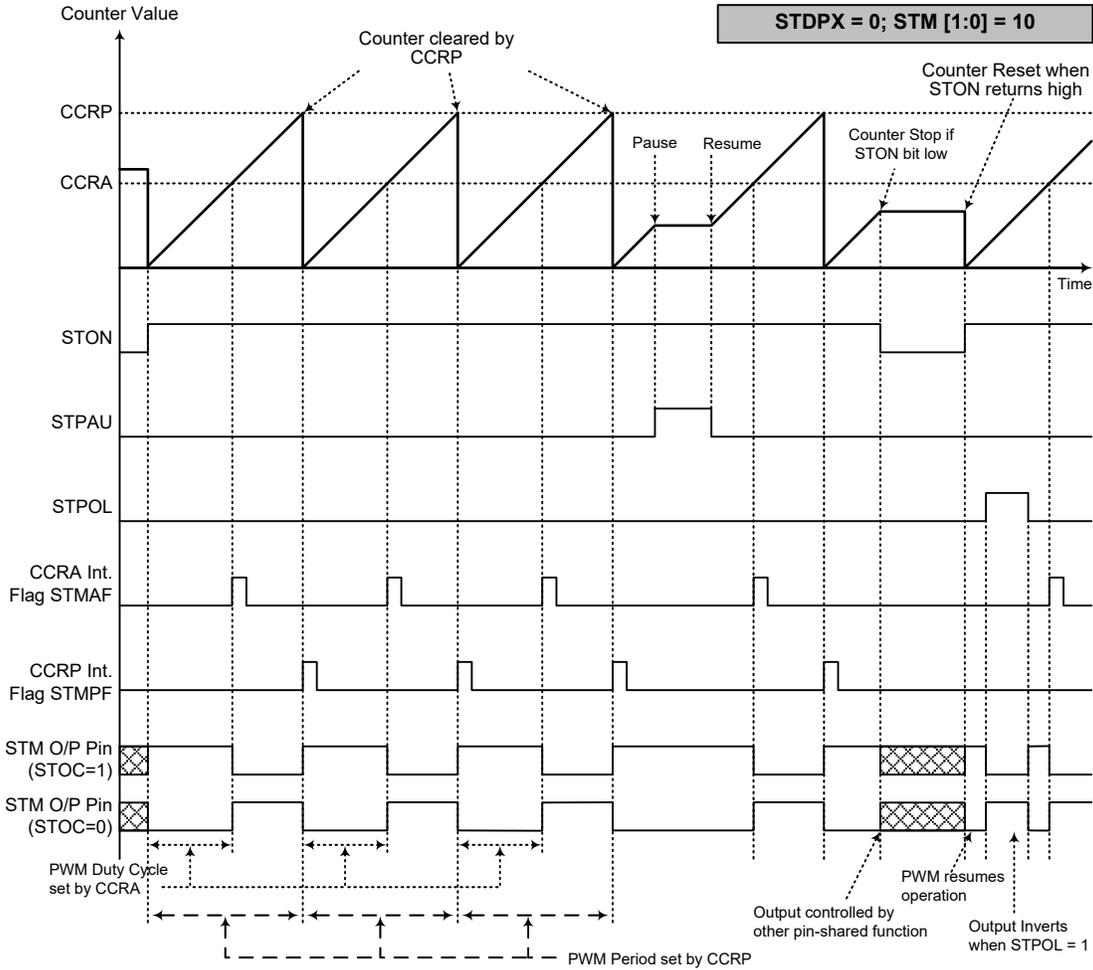
CCRP	1~255	0
Period	CCRP×256	65536
Duty	CCRA	

若  $f_{sys}=16\text{MHz}$ ，STM 时钟源选择  $f_{sys}/4$ ， $CCRP=2$ ， $CCRA=128$ ，  
STM PWM 输出频率 =  $(f_{sys}/4)/(2 \times 256) = f_{sys}/2048 = 7.8125\text{kHz}$ ， $duty=128/(2 \times 256)=25\%$ ，  
若由 CCRA 寄存器定义的 Duty 值等于或大于 Period 值，PWM 输出占空比为 100%。

- 16-bit STM, PWM 输出模式, 边沿对齐模式, STDPX=1

CCRP	1~255	0
Period	CCRA	
Duty	CCRP×256	65536

PWM 的输出周期由 CCRA 寄存器的值与 STM 的时钟共同决定，PWM 的占空比由  $CCRP \times 256$  (除了 CCRP 为“0”外) 的值决定。



### PWM 输出模式 – STDPX=0

- 注：1. STDPX=0, CCRP 清除计数器  
2. 计数器清零并设置 PWM 周期  
3. 当 STIO[1:0]=00 或 01, PWM 输出功能不变  
4. STCCLR 位不影响 PWM 操作

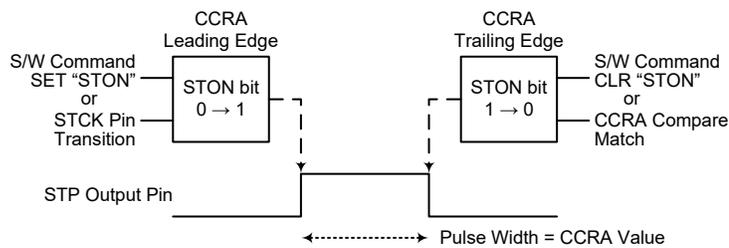


### 单脉冲输出模式

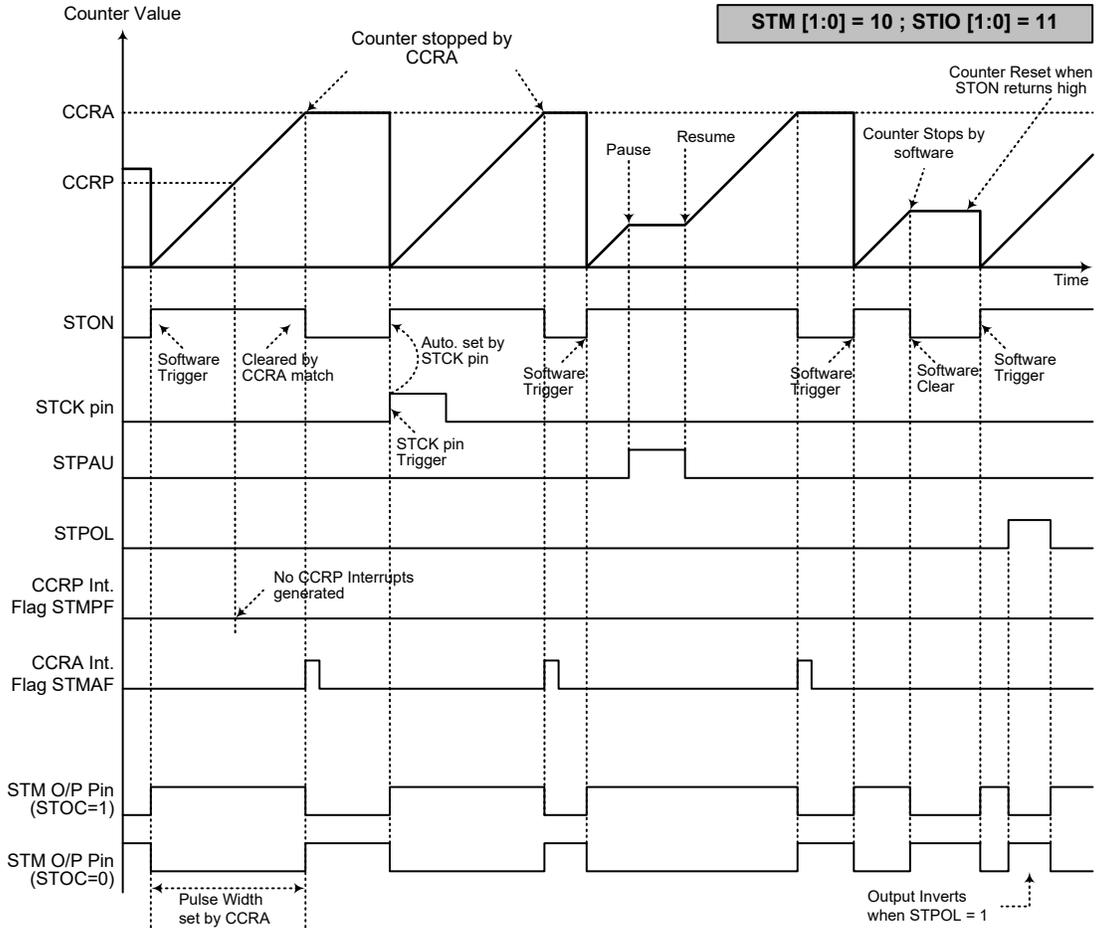
为使 TM 工作在此模式，STMC1 寄存器中的 STM1 和 STM0 位需要设置为“10”，同时 STIO1 和 STIO0 位需要设置为“11”。正如模式名所言，单脉冲输出模式，在 STM 输出脚将产生一个脉冲输出。

通过应用程序控制 STON 位由低到高的转变来触发脉冲前沿输出。而处于单脉冲输出模式时，STON 位可在 STCK 脚发生有效边沿跳转时自动由低转变为高，进而开始单脉冲输出。当 STON 位转变为高电平时，计数器将开始运行，并产生脉冲前沿。当脉冲有效时 STON 位保持高电平。通过应用程序使 STON 位清零或比较器 A 比较匹配发生时，产生脉冲后沿。

然而，比较器 A 比较匹配发生时，会自动清除 STON 位并产生单脉冲输出边沿转换。CCRA 的值通过这种方式控制脉冲宽度。比较器 A 比较匹配发生时，也会产生 STM 中断。STON 位在计数器重启时会发生由低到高的转变，此时计数器才复位至零。在单脉冲模式中，CCRP 寄存器，STCCLR 和 STDPX 位未使用。



单脉冲产生示意图

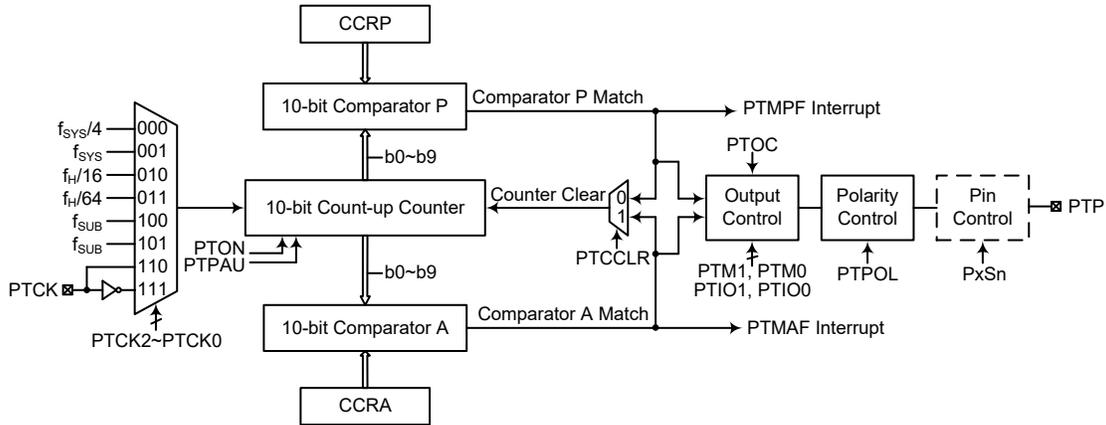


单脉冲输出模式

- 注：1. 通过 CCRA 匹配停止计数器  
2. CCRP 未使用  
3. 通过 STCK 脚或设置 STON 位为高来触发脉冲  
4. STCK 脚有效沿会自动置位 STON  
5. 单脉冲输出模式中，STIO[1:0] 需置位“11”，且不能更改

## 周期型 TM – PTM

周期型 TM 包括四种工作模式，即比较匹配输出、定时 / 事件计数器、单脉冲输出和 PWM 输出模式。周期型 TM 由一个外部输入脚控制并驱动一个外部输出脚。



注：PTM 外部引脚与其它功能共用引脚，因此在使用 PTM 之前应该合理配置相关引脚共用功能选择寄存器以确保使能 PTM 引脚功能。对于 PTCK 输入引脚还需设置相应的端口控制寄存器，将该引脚设置为输入口。

10 位周期型 TM 方框图

### 周期型 TM 操作

周期型 TM 是 10 位宽度。周期型 TM 核心是一个由用户选择的内部或外部时钟源驱动的 10 位向上计数器，它还包括两个内部比较器即比较器 A 和比较器 P。这两个比较器将计数器的值与 CCRA 和 CCRP 寄存器中的值进行比较。CCRP 和 CCRA 是 10 位的，与计数器的所有位比较。

通过应用程序改变 10 位计数器值的唯一方法是使 PTON 位发生上升沿跳变清除计数器。此外，计数器溢出或比较匹配也会自动清除计数器。上述条件发生时，通常情况会产生 PTM 中断信号。周期型 TM 可工作在不同的模式，可由包括来自输入脚的不同时钟源驱动，也可以控制输出脚。所有工作模式的设定都是通过设置相关寄存器来实现的。

### 周期型 TM 寄存器介绍

周期型 TM 的所有操作由一系列寄存器控制。一对只读寄存器用来存放 10 位计数器的值，两对读 / 写寄存器存放 10 位 CCRA 和 CCRP 的值。剩下两个控制寄存器用来设置不同的操作和控制模式。

寄存器名称	位							
	7	6	5	4	3	2	1	0
PTMC0	PTPAU	PTCK2	PTCK1	PTCK0	PTON	—	—	—
PTMC1	PTM1	PTM0	PTIO1	PTIO0	PTOC	PTPOL	D1	PTCCLR
PTMDL	D7	D6	D5	D4	D3	D2	D1	D0
PTMDH	—	—	—	—	—	—	D9	D8
PTMAL	D7	D6	D5	D4	D3	D2	D1	D0
PTMAH	—	—	—	—	—	—	D9	D8
PTMRPL	PTRP7	PTRP6	PTRP5	PTRP4	PTRP3	PTRP2	PTRP1	PTRP0

寄存器名称	位							
	7	6	5	4	3	2	1	0
PTMRPH	—	—	—	—	—	—	PTRP9	PTRP8

10 位周期型 TM 寄存器列表

● **PTMC0 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PTPAU	PTCK2	PTCK1	PTCK0	PTON	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	—	—	—
POR	0	0	0	0	0	—	—	—

**Bit 7 PTPAU:** PTM 计数器暂停控制位  
 0: 运行  
 1: 暂停  
 通过设置此位为高可使计数器暂停，清零此位恢复正常计数器操作。当处于暂停条件时，PTM 保持上电状态并继续耗电。当此位由低到高转变时，计数器将保留其剩余值，直到此位再次改变为低电平，并从此值开始继续计数。

**Bit 6~4 PTCK2~PTCK0:** 选择 PTM 计数时钟位  
 000:  $f_{SYS}/4$   
 001:  $f_{SYS}$   
 010:  $f_H/16$   
 011:  $f_H/64$   
 100:  $f_{SUB}$   
 101:  $f_{SUB}$   
 110: PTCK 上升沿  
 111: PTCK 下降沿

此三位用于选择 PTM 的时钟源。外部引脚时钟源能被选择在上升沿或下降沿有效。 $f_{SYS}$  是系统时钟， $f_H$  和  $f_{SUB}$  是其它的内部时钟源，细节方面请参考振荡器章节。

**Bit 3 PTON:** PTM 计数器 On/Off 控制位  
 0: Off  
 1: On  
 此位控制 PTM 的总开关功能。设置此位为高则使能计数器使其运行，清零此位则除能 PTM。清零此位将停止计数器并关闭 PTM 减少耗电。当此位经由低到高转换时，内部计数器将复位清零；当此位经由高到低转换时，内部计数器将保持其剩余值，直到此位再次改变为高电平。

若 PTM 处于比较匹配输出模式或 PWM 输出模式或单脉冲输出模式时，当 PTON 位经由低到高转换时，PTM 输出脚将复位至 PTOC 位指定的初始值。

**Bit 2~0** 未定义，读为“0”

● **PTMC1 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PTM1	PTM0	PTIO1	PTIO0	PTOC	PTPOL	D1	PTCCLR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

**Bit 7~6 PTM1~PTM0:** 选择 PTM 工作模式位  
 00: 比较匹配输出模式  
 01: 未定义  
 10: PWM 输出模式或单脉冲输出模式  
 11: 定时 / 计数器模式

这两位设置 PTM 需要的工作模式。为了确保操作可靠，PTM 应在 PTM1 和 PTM0 位有任何改变前先关掉。在定时 / 计数器模式，PTM 输出脚状态为未知。

- Bit 5~4 **PTIO1~PTIO0**: 选择 PTM 外部引脚 (PTP 或 PTCK) 功能位
- 比较匹配输出模式
  - 00: 无变化
  - 01: 输出低
  - 10: 输出高
  - 11: 输出翻转
- PWM 输出模式 / 单脉冲输出模式
- 00: 强制无效状态
  - 01: 强制有效状态
  - 10: PWM 输出
  - 11: 单脉冲输出
- 定时 / 计数器模式
- 未使用

此两位用于决定在一定条件达到时 PTM 输出脚如何改变状态。这两位值的选择取决于 PTM 运行在何种模式下。

在比较匹配输出模式下，PTIO1 和 PTIO0 位决定当从比较器 A 比较匹配输出发生时 PTM 输出脚如何改变状态。当从比较器 A 比较匹配输出发生时 PTM 输出脚能设为切换高、切换低或翻转当前状态。若此两位同时为 0 时，这个输出将不会改变。PTM 输出脚的初始值通过 PTMC1 寄存器的 PTOC 位设置取得。注意，由 PTIO1 和 PTIO0 位得到的输出电平必须与通过 PTOC 位设置的初始值不同，否则当比较匹配发生时，PTM 输出脚将不会发生变化。在 PTM 输出脚改变状态后，通过 PTON 位由低到高电平的转换复位至初始值。

在 PWM 输出模式，PTIO1 和 PTIO0 用于决定比较匹配条件发生时怎样改变 PTM 输出脚的状态。PWM 输出功能通过这两位的变化进行更新。必须在 PTM 关闭时才能改变 PTIO1 和 PTIO0 位的值。若在 PTM 运行时改变 PTIO1 和 PTIO0 的值，PWM 输出的值是无法预料的。

- Bit 3 **PTOC**: PTM PTP 输出控制位
- 比较匹配输出模式
  - 0: 初始低
  - 1: 初始高
- PWM 输出模式 / 单脉冲输出模式
- 0: 低有效
  - 1: 高有效

这是 PTM 输出脚输出控制位。它取决于 PTM 此时正运行于比较匹配输出模式还是 PWM 输出模式 / 单脉冲输出模式。若 PTM 处于定时 / 计数器模式，则其不受影响。在比较匹配输出模式时，比较匹配发生前其决定 PTM 输出脚的逻辑电平值。在 PWM 输出模式 / 单脉冲输出时，其决定 PWM 信号是高有效还是低有效。在单脉冲输出模式，其决定 PTON 位由低变高时 PTM 输出脚的逻辑电平。

- Bit 2 **PTPOL**: PTM PTP 输出极性控制位
- 0: 同相
  - 1: 反相

此位控制 PTP 输出脚的极性。此位为高时 PTM 输出脚反相，为低时 PTM 输出脚同相。若 PTM 处于定时 / 计数器模式时其不受影响。

- Bit 1 **D1**: 保留, 必须固定为“0”

- Bit 0 **PTCCLR**: 选择 PTM 计数器清零条件位
- 0: 比较器 P 匹配
  - 1: 比较器 A 匹配

此位用于选择清除计数器的方法。周期型 TM 包括两个比较器 - 比较器 A 和比较器 P。这两个比较器每个都可以用作清除内部计数器。PTCCLR 位设为高，计数器在比较器 A 比较匹配发生时被清除；此位设为低，计数器在比较器 P 比较匹配发生或计数器溢出时被清除。计数器溢出清除的方法仅在 CCRP 被清除为 0 时才能生效。PTCCLR 位在 PWM 输出模式或单脉冲输出模式时未使用。

● PTMDL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0     **D7~D0:** PTM 计数器低字节寄存器 bit 7 ~ bit 0  
PTM 10-bit 计数器 bit 7 ~ bit 0

● PTMDH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	D9	D8
R/W	—	—	—	—	—	—	R	R
POR	—	—	—	—	—	—	0	0

Bit 7~2     未定义, 读为 “0”  
Bit 1~0     **D9~D8:** PTM 计数器高字节寄存器 bit 1 ~ bit 0  
PTM 10-bit 计数器 bit 9 ~ bit 8

● PTMAL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0     **D7~D0:** PTM CCRA 低字节寄存器 bit 7 ~ bit 0  
PTM 10-bit CCRA bit 7 ~ bit 0

● PTMAH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	D9	D8
R/W	—	—	—	—	—	—	R/W	R/W
POR	—	—	—	—	—	—	0	0

Bit 7~2     未定义, 读为 “0”  
Bit 1~0     **D9~D8:** PTM CCRA 高字节寄存器 bit 1 ~ bit 0  
PTM 10-bit CCRA bit 9 ~ bit 8

- PTMRPL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PTRP7	PTRP6	PTRP5	PTRP4	PTRP3	PTRP2	PTRP1	PTRP0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 **PTRP7~PTRP0**: PTM CCRP 低字节寄存器 bit 7 ~ bit 0  
PTM 10-bit CCRP bit 7 ~ bit 0

- PTMRPH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PTRP9	PTRP8
R/W	—	—	—	—	—	—	R/W	R/W
POR	—	—	—	—	—	—	0	0

Bit 7~2 未定义, 读为“0”

Bit 1~0 **PTRP9~PTRP8**: PTM CCRP 高字节寄存器 bit 1 ~ bit 0  
PTM 10-bit CCRP bit 9 ~ bit 8

## 周期型 TM 工作模式

周期型 TM 有四种工作模式, 即比较匹配输出模式、PWM 输出模式、单脉冲输出模式或定时 / 计数器模式。通过设置 PTMC1 寄存器的 PTM1 和 PTM0 位选择任意模式。

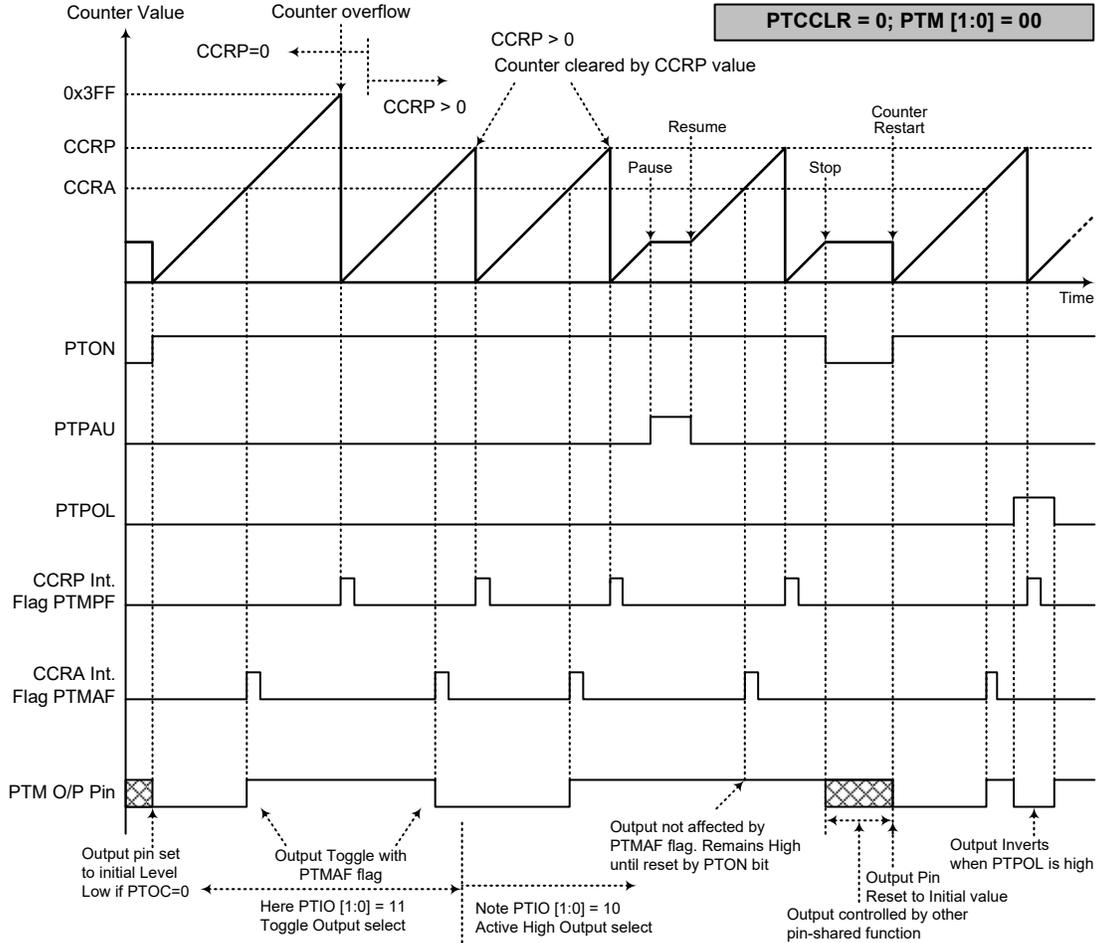
### 比较匹配输出模式

为使 TM 工作在此模式, PTMC1 寄存器的 PTM1 和 PTM0 位需要设置为“00”。当工作在该模式, 一旦计数器使能并开始计数, 有三种方法来清零, 分别是: 计数器溢出, 比较器 A 比较匹配发生和比较器 P 比较匹配发生。当 PTCCLR 位为低, 有两种方法清除计数器。一种是比较器 P 比较匹配发生, 另一种是 CCRP 所有位设置为零并使得计数器溢出。此时, 比较器 A 和比较器 P 的请求标志位 PTMAF 和 PTMPF 将分别置起。

如果 PTMC1 寄存器的 PTCCLR 位设置为高, 当比较器 A 比较匹配发生时计数器被清零。此时, 即使 CCRP 寄存器的值小于 CCRA 寄存器的值, 仅 PTMAF 中断请求标志产生。所以当 PTCCLR 为高时, 不会产生 PTMPF 中断请求标志。在比较匹配输出模式中, CCRA 寄存器值不能设为“0”。

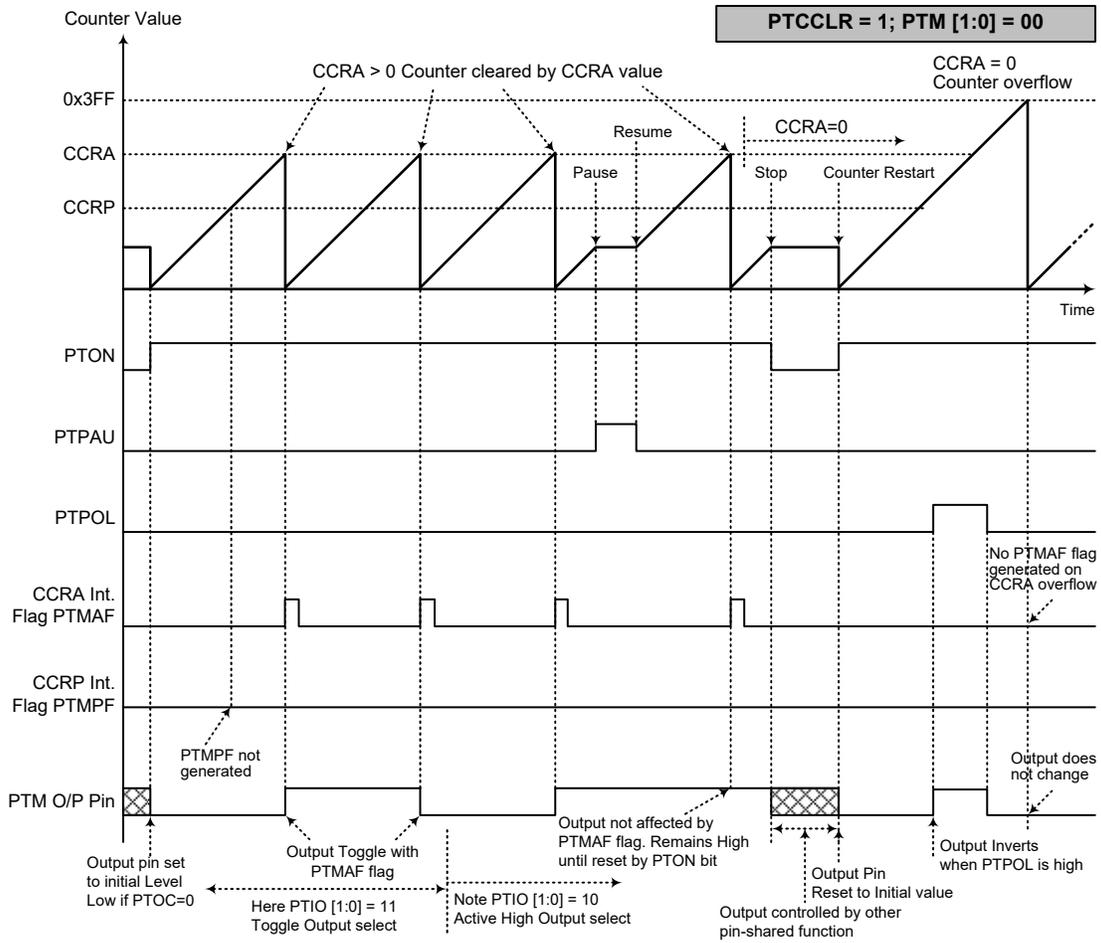
如果 CCRA 位都清除为零, 当计数器的值达到 10 位最大值 3FFH 时将溢出, 但此时不会产生 PTMAF 中断请求标志。

正如该模式名所言, 当比较匹配发生后, PTM 输出脚状态改变。当比较器 A 比较匹配发生后 PTMAF 中断请求标志产生时, PTM 输出脚状态改变。比较器 P 比较匹配发生时产生的 PTMPF 标志不影响 PTM 输出脚。PTM 输出脚状态改变方式由 PTMC1 寄存器中 PTIO1 和 PTIO0 位决定。当比较器 A 比较匹配发生时, PTIO1 和 PTIO0 位决定 PTM 输出脚输出高, 低或翻转当前状态。在 PTON 位由低到高电平的变化后, PTM 输出脚初始状态为 PTOC 位所指定的电平。注意, 若 PTIO1 和 PTIO0 位同时为 0 时, 引脚输出不变。



### 比较匹配输出模式 - PTCCLR=0

- 注：1. PTCCLR=0，比较器 P 匹配将清除计数器  
2. PTM 输出脚仅由 PTMAF 标志位控制  
3. 在 PTON 上升沿 PTM 输出脚复位至初始值



### 比较匹配输出模式 - PTCCLR=1

- 注：1. PTCCLR=1，比较器 A 匹配将清除计数器  
2. PTM 输出脚仅由 PTMAF 标志位控制  
3. 在 PTON 上升沿 PTM 输出脚复位至初始值  
4. 当 PTCCLR=1 时，不会产生 PTMPF 标志

### 定时 / 计数器模式

为使 TM 工作在此模式，PTMC1 寄存器的 PTM1 和 PTM0 位需要设置为“11”。定时 / 计数器模式与比较输出模式操作方式相同，并产生同样的中断请求标志。不同的是，在定时 / 计数器模式下 PTM 输出脚未使用。因此，比较匹配输出模式中的描述和时序图可以适用于此功能。该模式中未使用的 PTM 输出脚用作普通 I/O 脚或其它功能。

### PWM 输出模式

为使 TM 工作在此模式，PTMC1 寄存器中的 PTM1 和 PTM0 位需要设置为“10”，且 PTIO1 和 PTIO0 位也需要设置为“10”。PTM 的 PWM 输出功能在马达控制，加热控制，照明控制等方面十分有用。给 PTM 输出脚提供一个频率固定但占空比可调的信号，将产生一个有效值等于 DC 均方根的 AC 方波。

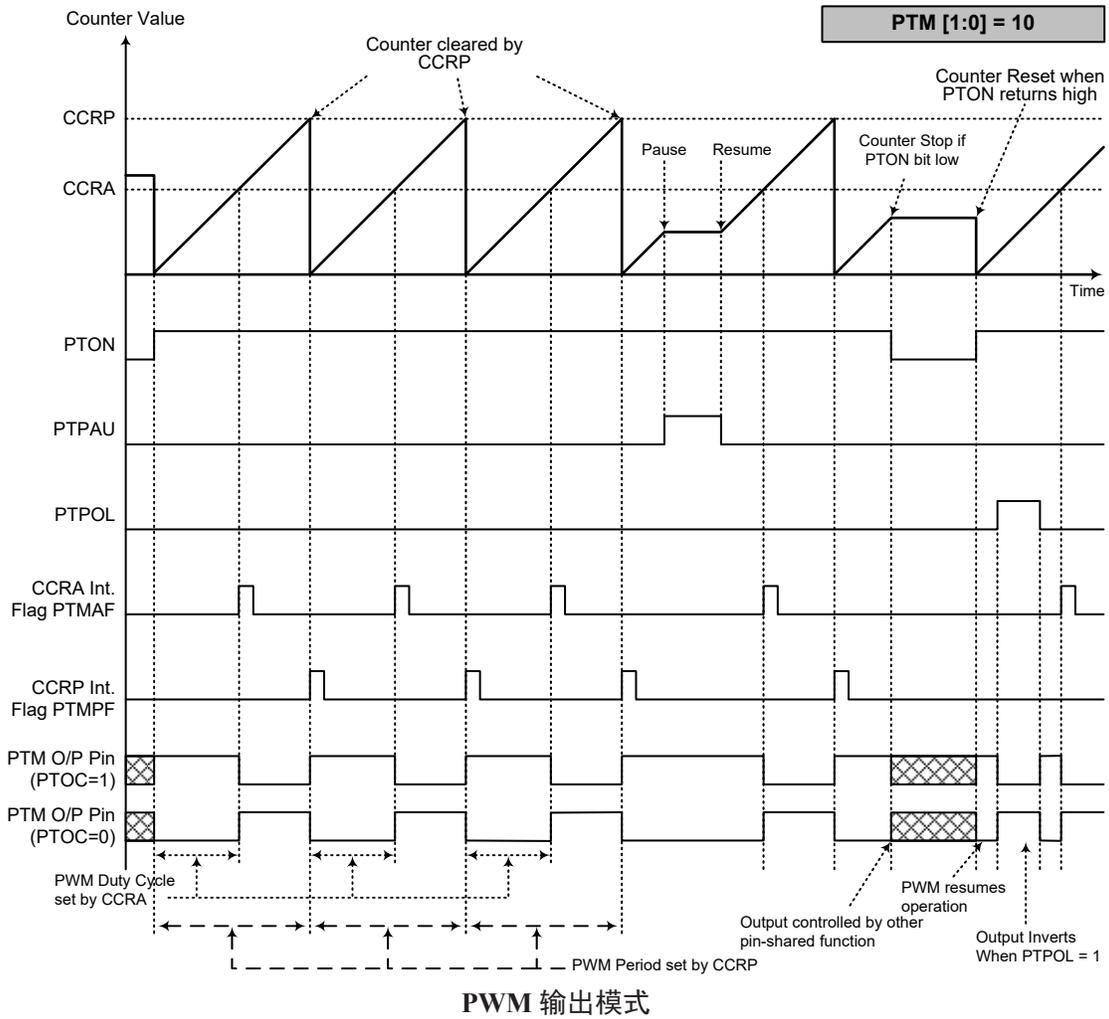
由于 PWM 波形的周期和占空比可调，其波形的选择就较为灵活。在 PWM 输出模式中，PTCCLR 位不影响 PWM 周期。CCRA 和 CCRP 寄存器决定 PWM 波形，一个用来清除内部计数器并控制 PWM 波形的频率，另一个用来控制占空比。PWM 波形的周期和占空比由 CCRP 和 CCRA 寄存器的值控制。

当比较器 A 或比较器 P 比较匹配发生时，将产生 CCRA 或 CCRP 中断标志。PTMC1 寄存器中的 PTOC 位决定 PWM 波形的极性，PTIO1 和 PTIO0 位使能 PWM 输出或将 PTM 输出脚置为逻辑高或逻辑低。PTPOL 位对 PWM 输出波形的极性取反。

- 10-bit PWM 输出模式，边沿对齐模式

CCRP	1~1023	0
周期	1~1023	1024
占空比	CCRA	

若  $f_{SYS}=16\text{MHz}$ ，PTM 时钟源选择  $f_{SYS}/4$ ， $CCRP=512$  且  $CCRA=128$ ，  
 PTM PWM 输出频率 =  $(f_{SYS}/4)/512=f_{SYS}/2048=7.8125\text{kHz}$ ， $duty=128/512=25\%$ ，  
 若由 CCRA 寄存器定义的 Duty 值等于或大于 Period 值，PWM 输出占空比为 100%。



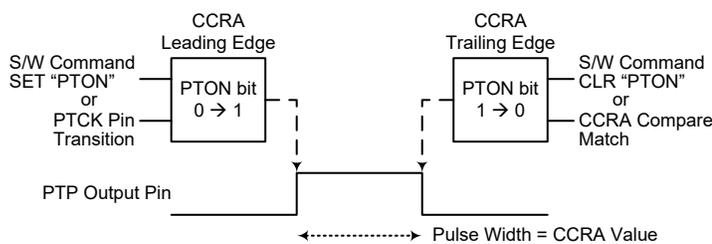
- 注：1. CCRP 清除计数器  
2. 计数器清除并决定 PWM 周期  
3. 当 PTIO[1:0]=00 或 01, PWM 输出功能不变  
4. PTCCLR 位对 PWM 输出功能无影响

### 单脉冲输出模式

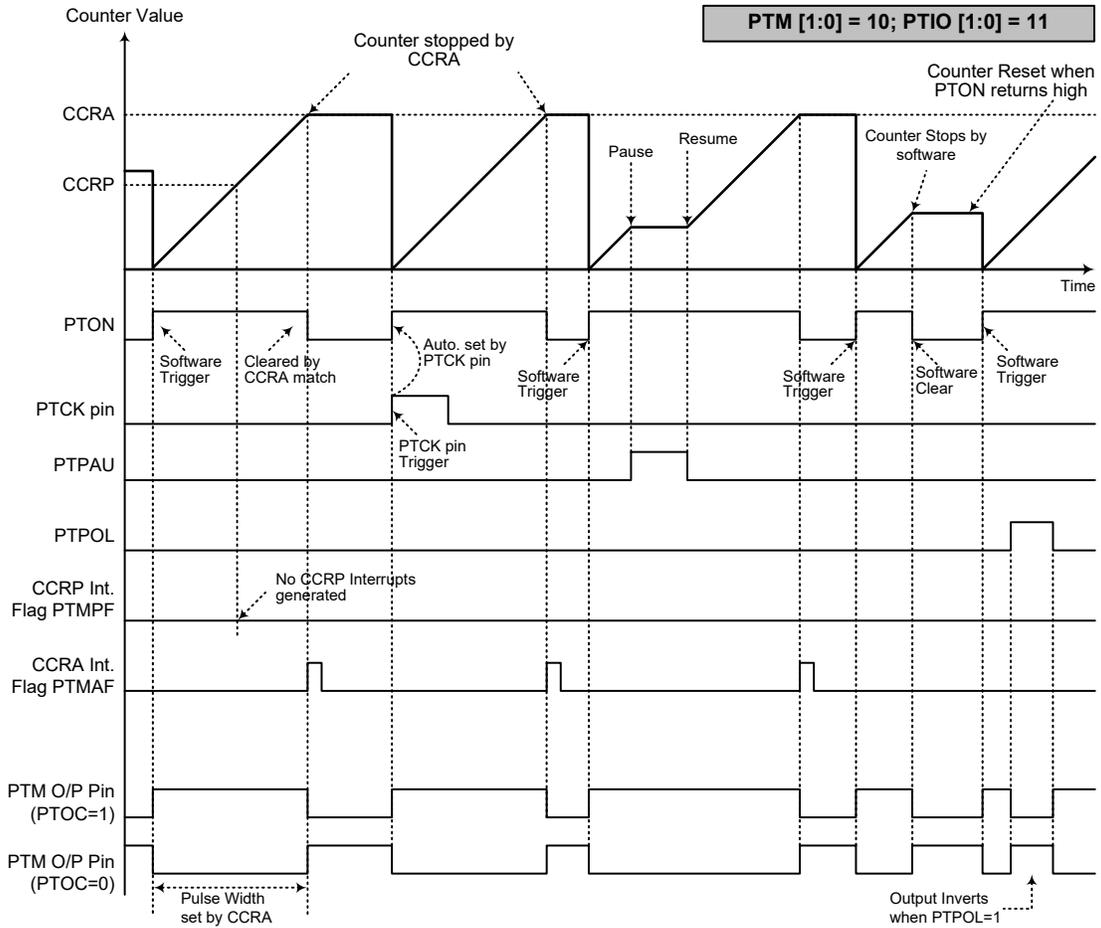
为使 TM 工作在此模式，PTMC1 寄存器中的 PTM1 和 PTM0 位需要设置为“10”，同时 PTIO1 和 PTIO0 位需要设置为“11”。正如模式名所言，单脉冲输出模式，在 PTM 输出脚将产生一个脉冲输出。

通过应用程序控制 PTON 位由低到高的转变来触发脉冲前沿输出。而处于单脉冲输出模式时，PTON 位可在 PTCK 脚发生有效边沿跳转时自动由低转变为高，进而开始单脉冲输出。当 PTON 位转变为高电平时，计数器将开始运行，并产生脉冲前沿。当脉冲有效时 PTON 位保持高电平。通过应用程序使 PTON 位清零或比较器 A 比较匹配发生时，产生脉冲后沿。

然而，比较器 A 比较匹配发生时，会自动清除 PTON 位并产生单脉冲输出边沿跳变。CCRA 的值通过这种方式控制脉冲宽度。比较器 A 比较匹配发生时，也会产生 PTM 中断。PTON 位在计数器重启时会发生由低到高的转变，此时计数器才复位至零。在单脉冲模式中，CCRP 寄存器，PTCCLR 位未使用。



单脉冲产生示意图



- 注：1. 通过 CCRA 匹配停止计数器  
2. CCRP 未使用  
3. 通过 PTCK 脚或设置 PTON 位为高来触发脉冲  
4. PTCK 脚有效沿会自动设置 PTON 位为高  
5. 单脉冲模式中，PTIO[1:0] 需置位“11”，且不能更改

## A/D 转换器

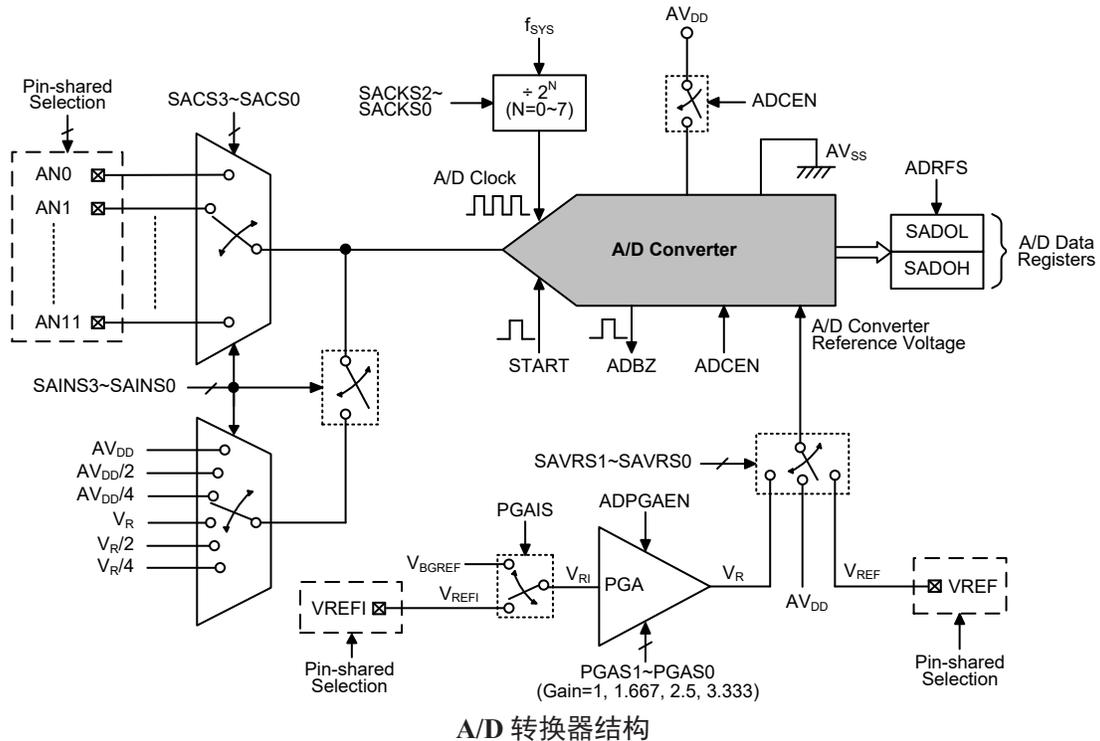
对于大多数电子系统而言，处理现实世界的模拟信号是共同的需求。为了完全由单片机来处理这些信号，首先需要通过 A/D 转换器将模拟信号转换成数字信号。将 A/D 转换器电路集成入单片机，可有效的减少外部器件，随之而来，具有降低成本和减少器件空间需求的优势。

### A/D 简介

此单片机包含一个多通道的 A/D 转换器，它们可以直接接入外部模拟信号 (来自传感器或其它控制信号) 或内部模拟信号并直接将这些信号转换成 12 位的数字量。选择转换外部或内部模拟信号由 SAINS3~SAINS0 位和 SACS3~SACS0 位共同控制。应注意的是，若通过 SAINS3~SAINS0 位选择内部模拟信号，则外部通道模拟输入将被自动关闭以避免冲突。关于 A/D 输入信号的详细描述请参考“A/D 转换寄存器介绍”和“A/D 输入信号”两节内容。

外部输入通道	内部模拟信号	A/D 信号选择
AN0~AN11	$V_{DD}$ , $AV_{DD}/2$ , $AV_{DD}/4$ , $V_R$ , $V_R/2$ , $V_R/4$	SAINS3~SAINS0 SACS3~SACS0

下图显示了 A/D 转换器内部结构和相关的寄存器。



### A/D 转换寄存器介绍

A/D 转换器的所有工作由一系列寄存器控制。一对只读寄存器用来存放 12 位 A/D 转换数据的值。三个控制寄存器 SADC0、SADC1 和 SADC2 用于设置 A/D 转换器的操作和控制功能。VBGRC 寄存器中的 VBGREN 位用于控制 Bandgap 参考电压。

寄存器名称	位							
	7	6	5	4	3	2	1	0
SADOL (ADRFS=0)	D3	D2	D1	D0	—	—	—	—
SADOL (ADRFS=1)	D7	D6	D5	D4	D3	D2	D1	D0
SADOH (ADRFS=0)	D11	D10	D9	D8	D7	D6	D5	D4
SADOH (ADRFS=1)	—	—	—	—	D11	D10	D9	D8
SADC0	START	ADBZ	ADCEN	ADRFS	SACS3	SACS2	SACS1	SACS0
SADC1	SAINS3	SAINS2	SAINS1	SAINS0	—	SACKS2	SACKS1	SACKS0
SADC2	ADPGAEN	—	—	PGAIS	SAVRS1	SAVRS0	PGAGS1	PGAGS0
VBGRC	—	—	—	—	—	—	—	VBGREN

A/D 转换寄存器列表

#### A/D 转换器数据寄存器 – SADOL, SADOH

对于具有 12 位 A/D 转换器的芯片，需要两个数据寄存器存放转换结果，一个高字节寄存器 SADOH 和一个低字节寄存器 SADOL。在 A/D 转换完毕后，单片机可以直接读取这些寄存器以获得转换结果。由于寄存器只使用了 16 位中的 12 位，其数据存储格式由 SADC0 寄存器的 ADRFS 位控制，如下表所示。D0~D11 是 A/D 转换数据结果位。未使用的位读为“0”。当 A/D 转换器除能时，数据寄存器的值将保持不变。

ADRFS	SADOH								SADOL							
	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	0	0	0	0
1	0	0	0	0	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

A/D 数据寄存器

#### A/D 转换器控制寄存器 – SADC0, SADC1, SADC2

寄存器 SADC0、SADC1 和 SADC2 用来控制 A/D 转换器的功能和操作。这些 8 位的寄存器定义包括选择连接至内部 A/D 转换器的模拟通道，数字化数据格式，A/D 时钟源，并控制和监视 A/D 转换器的忙碌状态。由于每个单片机只包含一个实际的模数转换电路，因此这些外部和内部模拟信号中的每一个都需要分别被发送到转换器。SADC0 寄存器中的 SACS3~SACS0 位用于选择哪个外部模拟输入通道被连接到内部 A/D 转换器。SADC1 寄存器中的 SAINS3~SAINS0 位用于选择外部模拟输入通道或内部模拟信号被连接到内部 A/D 转换器。A/D 转换器还包含可编程增益放大器 PGA 用于生成 A/D 转换器内部参考电压。PGA 的所有操作由 SADC2 寄存器来控制的。

引脚共用功能选择寄存器的相关位用来定义 I/O 端口中的哪些引脚为 A/D 转换器的模拟输入，哪些引脚不作为 A/D 转换输入。当引脚作为 A/D 输入时，其原来的 I/O 或其它引脚共用功能消失，此外，其内部上拉电阻也将自动断开。

● **SADC0 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	START	ADBZ	ADCEN	ADRF5	SACS3	SACS2	SACS1	SACS0
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 START:** 启动 A/D 转换位  
0→1→0: 启动 A/D 转换  
此位用于初始化 A/D 转换过程。通常此位为低，但如果设为高再被清零，将启动 A/D 转换过程。
- Bit 6 ADBZ:** A/D 转换忙碌标志位  
0: A/D 转换结束或未开始转换  
1: A/D 转换中  
此位用于表明 A/D 转换过程是否正在进行。当 START 位由低变为高再变为低时，ADBZ 位为高，表明 A/D 转换已初始化。A/D 转换结束后，此位被清零。
- Bit 5 ADCEN:** A/D 转换器使能控制位  
0: 除能  
1: 使能  
此位控制 A/D 内部功能。该位被置高将使能 A/D 转换器。如果该位设为低将关闭 A/D 转换器以降低功耗。当 A/D 转换器除能时，A/D 数据寄存器 SADOH 和 SADOL 的内容将保持不变。
- Bit 4 ADRFS:** A/D 转换数据格式选择位  
0: ADC 输出数据格式 → SADOH=D[11:4], SADOL=D[3:0]  
1: ADC 输出数据格式 → SADOH=D[11:8], SADOL=D[7:0]  
此位控制存放在两个 A/D 数据寄存器中的 12 位 A/D 转换结果的格式。细节方面请参考 A/D 转换数据寄存器章节。
- Bit 3~0 SACS3~SACS0:** A/D 转换器外部模拟通道输入选择位  
0000: AN0  
0001: AN1  
0010: AN2  
0011: AN3  
0100: AN4  
0101: AN5  
0110: AN6  
0111: AN7  
1000: AN8  
1001: AN9  
1010: AN10  
1011: AN11  
1100~1111: 无定义，输入浮空

● **SADC1 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	SAINS3	SAINS2	SAINS1	SAINS0	—	SACKS2	SACKS1	SACKS0
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	—	0	0	0

- Bit 7~4 SAINS3~SAINS0:** A/D 输入信号选择位  
0000: 外部信号 – 外部模拟通道输入, ANn  
0001: 内部信号 – 内部 A/D 转换器电源电压 AV<sub>DD</sub>  
0010: 内部信号 – 内部 A/D 转换器电源电压 AV<sub>DD</sub>/2  
0011: 内部信号 – 内部 A/D 转换器电源电压 AV<sub>DD</sub>/4  
0100: 外部信号 – 外部模拟通道输入, ANn

0101: 内部信号 – 内部 A/D 转换器 PGA 输出电压  $V_R$   
 0110: 内部信号 – 内部 A/D 转换器 PGA 输出电压  $V_R/2$   
 0111: 内部信号 – 内部 A/D 转换器 PGA 输出电压  $V_R/4$   
 10xx: 未使用, 接地  
 1100~1111: 外部信号 – 外部模拟通道输入,  $AN_n$

当选择内部模拟信号时, 无论 SACS3~SACS0 为何值, 外部通道输入信号都会自动关闭。此举预防了外部通道输入与内部模拟信号连接从而导致的不可预期的后果。

Bit 3 未定义, 读为 “0”  
 Bit 2~0 **SACKS2~SACKS0**: A/D 时钟源选择位  
 000:  $f_{SYS}$   
 001:  $f_{SYS}/2$   
 010:  $f_{SYS}/4$   
 011:  $f_{SYS}/8$   
 100:  $f_{SYS}/16$   
 101:  $f_{SYS}/32$   
 110:  $f_{SYS}/64$   
 111:  $f_{SYS}/128$

### • SADC2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADPGAEN	—	—	PGAIS	SAVRS1	SAVRS0	PGAGS1	PGAGS0
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	—	—	0	0	0	0	0

Bit 7 **ADPGAEN**: A/D 转换器 PGA 功能使能控制位  
 0: 除能  
 1: 使能  
 该位用于控制 A/D 转换器的内部 PGA 功能。当 PGA 输出电压选作 A/D 输入或 A/D 参考电压时, 应将此位置高。否则, 应将此位清零以减小功耗。

Bit 6~5 未定义, 读为 “0”

Bit 4 **PGAIS**: PGA 输入电压  $V_{RI}$  选择位  
 0: 来自 VREFI 引脚  
 1: 来自内部参考电压  $V_{BGREF}$   
 当选择内部独立参考电压  $V_{BGREF}$  作为输入时, 外部 VREFI 引脚的参考电压输入会被自动断开。另外, 当该位设置为高, 选择  $V_{BGREF}$  作为输入时, 需通过设置 VBGRC 寄存器中的 VBGREN 位为高使能内部参考电压  $V_{BGREF}$ 。

Bit 3~2 **SAVRS1~SAVRS0**: A/D 转换器参考电压选择位  
 00: 来自  $AV_{DD}$   
 01: 来自 VREF 引脚  
 1x: 来自 PGA 输出电压,  $V_R$   
 这几位用于选择 A/D 转换器参考电压源。当选中内部参考电压源时, 外部 VREF 引脚的参考电压输入会被自动断开。

Bit 1~0 **PGAGS1~PGAGS0**: PGA 增益选择位  
 00: Gain=1  
 01: Gain=1.667 ( $V_{RI}=1.2V$  时  $V_R=2V$ )  
 10: Gain=2.5 ( $V_{RI}=1.2V$  时  $V_R=3V$ )  
 11: Gain=3.333 ( $V_{RI}=1.2V$  时  $V_R=4V$ )  
 这几位用于选择 PGA 增益。应注意此处增益仅在 PGA 输入电压为 1.2V 时有保证。

• VBGRC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	VBGREN
R/W	—	—	—	—	—	—	—	R/W
POR	—	—	—	—	—	—	—	0

Bit 7~1 未定义，读为“0”

Bit 0 **VBGREN**: Bandgap 参考电压控制

0: 除能

1: 使能

此位用于使能内部 Bandgap 参考电路。在选用 VBGREF 电压之前应预先使能内部 Bandgap 参考电路。在该电路稳定并达到精确之前需要等待一定的启动时间。

### A/D 转换器参考电压

A/D 转换器参考电压可以来自内部 A/D 转换器电源电压  $AV_{DD}$ 、VREF 引脚上的外部参考源或内部参考电压  $V_R$ ，通过 SADC2 寄存器中的 SAVRS1~SAVRS0 位来选择。内部参考电压通过可编程增益放大器 PGA 进行放大，PGA 由 SADC2 寄存器中的 ADPGAEN 位控制。PGA 增益可为 1、1.667、2.5 或 3.333，通过 SADC2 寄存器中的 PGAGS1~PGAGS0 位选择。PGA 输入可来自外部参考输入引脚 VREFI 或内部 Bandgap 参考电压  $V_{BGRF}$ ，通过 SADC2 寄存器中的 PGAIS 位进行选择。由于 VREFI 和 VREF 引脚均与其它功能共用引脚，当这两个引脚被选作参考电压引脚时，相应的引脚共用功能选择位应被预先设置以除能其它引脚共用功能。但是若选择内部参考信号作为参考源，则来自 VREFI 或 VREF 引脚的外部参考输入将由硬件自动关闭。

应注意在选用  $V_{BGRF}$  之前应预先使能内部 Bandgap 参考电路。在 Bandgap 参考电路稳定并达到精确之前需要等待一定的启动时间。

### A/D 转换器输入信号

所有的 A/D 模拟输入引脚都与 I/O 口及其它功能共用。使用 PxS1 和 PxS0 寄存器中相应的引脚共用功能选择位，可以将它们设置为 A/D 转换器模拟输入脚或其它共用功能。如果对应的引脚作为 A/D 转换输入，那么它原来的引脚功能将除能。通过这种方式，引脚的功能可由程序来控制，灵活地切换引脚功能。如果将引脚设为 A/D 输入，则通过寄存器编程设置的所有上拉电阻会自动断开。请注意，端口控制寄存器不需要为使能 A/D 输入而先设定为输入模式，当 A/D 输入功能选择位使能 A/D 输入时，端口控制寄存器的状态将被重置。

由于该单片机只包含一个实际的模数转换硬件电路，因此外部或内部模拟信号中的每一个都需要分别被发送到转换器。SADC1 寄存器中的 SAINS3~SAINS0 位用于确定转换信号是来自外部通道输入或内部模拟信号。SADC0 寄存器中的 SACS3~SACS0 位用于确定所要转换的外部通道输入。若 SAINS3~SAINS0 位设为“0000”，则所要转换信号为外部模拟通道信号，SACS3~SACS0 位可决定选择哪个外部通道的信号进行转换。

若 SAINS 字段的值设为“0x01”，“0x10”或“0x11”，则选择内部模拟信号。此时无论 SACS 字段的值配置为多少，外部通道信号输入将被自动关闭，此举将预防外部通道输入将与内部模拟信号连接从而导致的不可预期的后果。

SAINS[3:0]	SACS[3:0]	输入信号	说明
0000, 0100, 11xx	0000~1011	AN0~AN11	外部模拟通道输入 ANn
	1100~1111	—	输入浮空, 未选择外部通道
0001	xxxx	AV <sub>DD</sub>	内部 A/D 转换器电源电压 AV <sub>DD</sub>
0010	xxxx	AV <sub>DD</sub> /2	内部 A/D 转换器电源电压 AV <sub>DD</sub> /2
0011	xxxx	AV <sub>DD</sub> /4	内部 A/D 转换器电源电压 AV <sub>DD</sub> /4
0101	xxxx	V <sub>R</sub>	内部 A/D 转换器 PGA 输出电压 V <sub>R</sub>
0110	xxxx	V <sub>R</sub> /2	内部 A/D 转换器 PGA 输出电压 V <sub>R</sub> /2
0111	xxxx	V <sub>R</sub> /4	内部 A/D 转换器 PGA 输出电压 V <sub>R</sub> /4
10xx	xxxx	GND	接地

A/D 转换器输入信号选择

## A/D 操作

SADC0 寄存器中的 START 位, 用于打开 A/D 转换器。当单片机设置此位从逻辑低到逻辑高, 然后再到逻辑低, 就会开始一个模数转换周期。

SADC0 寄存器中的 ADBZ 位用于表明模数转换过程是否正在进行。A/D 转换成功启动后, ADBZ 位会被单片机自动置为 1。在转换周期结束后, ADBZ 位会自动置为 0。此外, 也会置位中断控制寄存器内相应的 A/D 中断请求标志位, 如果中断使能, 就会产生对应的内部中断信号。A/D 内部中断信号将引导程序跳转到相应的 A/D 内部中断地址。如果 A/D 内部中断被禁止, 可以让单片机轮询 SADC0 寄存器中的 ADBZ 位, 检查此位是否被清除, 作为另一种侦测 A/D 转换周期结束的方法。

A/D 转换器的时钟源为系统时钟 f<sub>sys</sub> 或其分频, 而分频系数由 SADC1 寄存器中的 SACKS2~SACKS0 位决定。虽然 A/D 时钟源是由系统时钟 f<sub>sys</sub> 和 SACKS2~SACKS0 位决定, 但可选择的 A/D 时钟源则有一些限制。由于允许的 A/D 时钟周期 t<sub>ADCK</sub> 的范围为 0.5μs~10μs, 所以选择系统时钟速度时必须小心。例如, 当系统时钟速度为 8MHz 时, SACKS2~SACKS0 位不能设为“000”、“001”或“111”。必须保证设置的 A/D 转换时钟周期不小于时钟周期的最小值或大于时钟周期的最大值, 否则将会产生不准确的 A/D 转换值。使用者可以参考下面的表格, 被标上星号 \* 的数值需特别注意。

f <sub>sys</sub>	A/D 转换器时钟周期 (t <sub>ADCK</sub> )							
	SACKS[2:0]=000 (f <sub>sys</sub> )	SACKS[2:0]=001 (f <sub>sys</sub> /2)	SACKS[2:0]=010 (f <sub>sys</sub> /4)	SACKS[2:0]=011 (f <sub>sys</sub> /8)	SACKS[2:0]=100 (f <sub>sys</sub> /16)	SACKS[2:0]=101 (f <sub>sys</sub> /32)	SACKS[2:0]=110 (f <sub>sys</sub> /64)	SACKS[2:0]=111 (f <sub>sys</sub> /128)
	1MHz	1μs	2μs	4μs	8μs	16μs*	32μs*	64μs*
2MHz	500ns	1μs	2μs	4μs	8μs	16μs*	32μs*	64μs*
4MHz	250ns*	500ns	1μs	2μs	4μs	8μs	16μs*	32μs*
8MHz	125ns*	250ns*	500ns	1μs	2μs	4μs	8μs	16μs*
12MHz	83ns*	167ns*	333ns*	667ns	1.33μs	2.67μs	5.33μs	10.67μs*
16MHz	62.5ns*	125ns*	250ns*	500ns	1μs	2μs	4μs	8μs

A/D 时钟周期范例

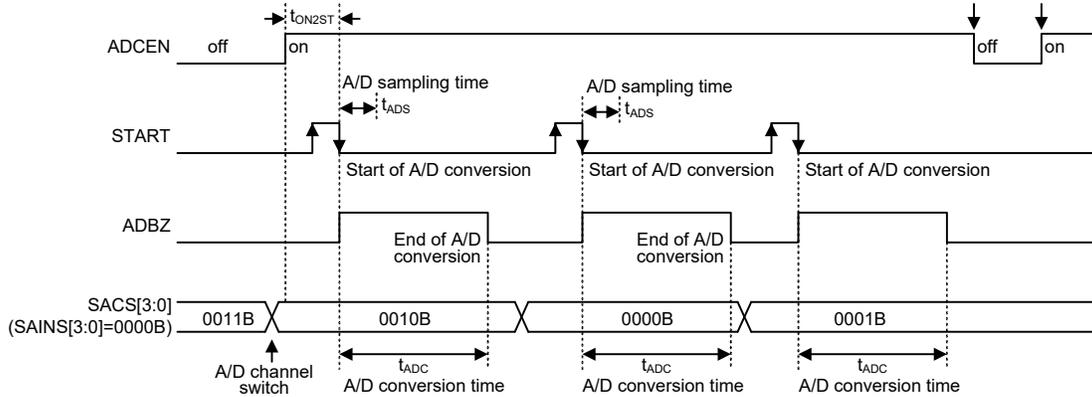
SADC0 寄存器中的 ADCEN 位用于控制 A/D 转换电路电源的开启和关闭。该位必须置高以开启 A/D 转换器电源。当设置 ADCEN 位为高开启 A/D 转换器内部电路时, 在 A/D 转换成功开启前需一段延时。即使选择无引脚作为 A/D 输入, 如果 ADCEN 设为“1”, 那么仍然会产生功耗。因此在功耗敏感的应用中, 当未使用 A/D 转换器功能时, 建议设置 ADCEN 为低以减少功耗。

### A/D 转换率及时序图

一个完整的 A/D 转换包含两部分，数据采样和数据转换。数据采样时间定义为  $t_{ADS}$ ，需要 4 个 A/D 时钟周期，而数据转换需要 12 个 A/D 时钟周期。所以一个完整的 A/D 转换时间， $t_{ADC}$ ，一共需要 16 个 A/D 时钟周期。

$$\text{最大 A/D 转换率} = \text{A/D 时钟周期} \div 16$$

下列时序图表示外部通道输入信号模数转换过程中不同阶段的图形与时序。由应用程序控制开始 A/D 转换过程后，单片机的内部硬件就会开始进行转换，在这个过程中，程序可以继续其它功能。A/D 转换时间为  $16t_{ADCK}$ ， $t_{ADCK}$  为 A/D 时钟周期。



A/D 转换时序图 – 外部通道输入

### A/D 转换步骤

下面概述实现 A/D 转换过程的各个步骤。

- 步骤 1  
通过 SADC1 寄存器中的 SACKS2~SACKS0 位，选择所需的 A/D 转换时钟。
- 步骤 2  
将 SADC0 寄存器中的 ADCEN 位置高使能 A/D。
- 步骤 3  
通过 SADC1 寄存器中的 SAINS 和 SACS 位，选择连接至内部 A/D 转换器的信号。  
若选择外部通道输入，接着执行步骤 4。  
若选择内部模拟信号，接着执行步骤 5。
- 步骤 4  
若已通过 SAINS3~SAINS0 位选择 A/D 输入信号来自外部通道输入，接着应设置相关的引脚共用功能控制位将该引脚规划为 A/D 输入引脚。通过设置 SACS3~SACS0 位选择哪个外部通道接至 A/D 转换器。接着执行步骤 6。
- 步骤 5  
若已通过 SAINS3~SAINS0 位选择 A/D 输入信号来自内部模拟信号，无论 SACS3~SACS0 为何值，外部通道输入都会自动断开。接着执行步骤 6。
- 步骤 6  
设置 ADRFS 位选择 A/D 转换器输出数据格式。

- 步骤 7  
通过配置 SAVRS1~SAVRS0 位选择参考电压。  
若 PGA 输出电压  $V_R$  被选作 A/D 转换器参考电压，需进一步选择 PGA 输入信号和所需的 PGA 增益。
- 步骤 8  
如果要使用中断，则中断控制寄存器需要正确地设置，以确保 A/D 中断功能是有用的。总中断控制位 EMI 需要置位为“1”，以及 A/D 转换器中断位 ADE 也需要置位为“1”。
- 步骤 9  
现在可以通过设置 START 位从“0”到“1”再回到“0”，开始模数转换的过程。
- 步骤 10  
如果 A/D 转换正在进行中，ADBZ 位会被置为逻辑高。A/D 转换完成后，ADBZ 位会被置为逻辑低，并可从 SADOH 和 SADOL 寄存器中读取输出数据。  
如果 ADC 中断使能，并且堆栈没有满，则可以通过中断服务程序获得数据。  
注：若使用轮询 SADC0 寄存器中 ADBZ 位的状态的方法来检查转换过程是否结束时，则中断使能的步骤可以省略。

### 编程注意事项

在编程时，如果 A/D 转换器未使用，通过设置 SADC0 寄存器中的 ADCEN 为低，关闭 A/D 内部电路以减少电源功耗。此时，不考虑输入脚的模拟电压，内部 A/D 转换器电路不产生功耗。如果 A/D 转换器输入脚用作普通 I/O 脚，必须特别注意，输入电压为无效逻辑电平也可能增加功耗。

### A/D 转换功能

该单片机含有一组 12 位的 A/D 转换器，它们转换的最大值可达 FFFH。由于模拟输入最大值等于实际 A/D 转换器参考电压值， $V_{REF}$ ，因此每一位可表示  $V_{REF}/4096$  的模拟输入值。

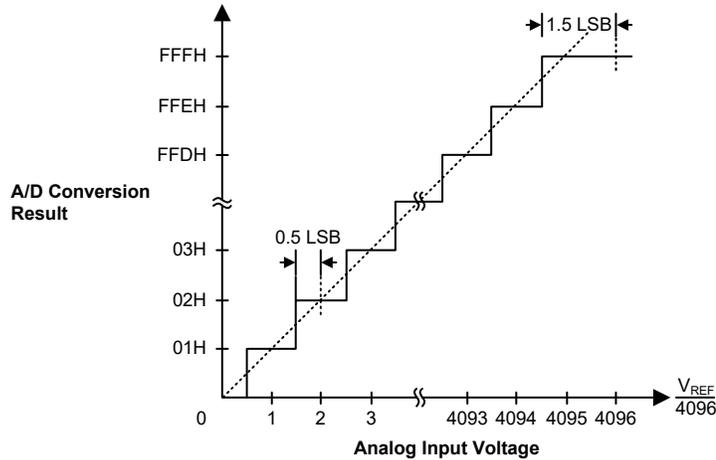
$$1 \text{ LSB} = V_{REF} \div 4096$$

通过下面的等式可估算 A/D 转换器输入电压值：

$$\text{A/D 输入电压} = \text{A/D 数字输出值} \times V_{REF} \div 4096$$

下图显示 A/D 转换器模拟输入值和数字输出值之间理想的转换功能。除了数字化数值 0，其后的数字化数值会在精确点之前的 0.5 LSB 处改变，而数字化数值的最大值将在  $V_{REF}$  之前的 1.5 LSB 处改变。

注意，这里的  $V_{REF}$  电压指代的是通过 SAVRS 字段选择的实际 A/D 转换器参考电压。



理想的 A/D 转换功能

### A/D 转换应用范例

下面两个范例程序用来说明怎样使用 A/D 转换。第一个范例是轮询 SADC0 寄存器中的 ADBZ 位来判断 A/D 转换是否完成；第二个范例则使用中断的方式判断。

#### 范例 1：使用查询 ADBZ 的方式来检测转换结束

```

clr ADE                ; disable ADC interrupt
mov a,03H
mov SADC1,a            ; select fsys/8 as ADC clock
set ADCEN
mov a,02h              ; setup PBS0 to configure pin AN0
mov PBS0,a
mov a,20h
mov SADC0,a           ; enable and connect AN0 channel to A/D converter
:
start_conversion:
clr START              ; high pulse on start bit to initiate conversion
set START              ; reset A/D converter
clr START              ; start A/D conversion
polling_EOC:
sz ADBZ                ; poll the SADC0 register ADBZ bit to detect end
                      ; of A/D conversion
jmp polling_EOC       ; continue polling
mov a,SADOL            ; read low byte conversion result value
mov SADOL_buffer,a    ; save result to user defined register
mov a,SADOH            ; read high byte conversion result value
mov SADOH_buffer,a   ; save result to user defined register
:
jmp start_conversion  ; start next A/D conversion
    
```

**范例 2：使用中断的方式来检测转换结束**

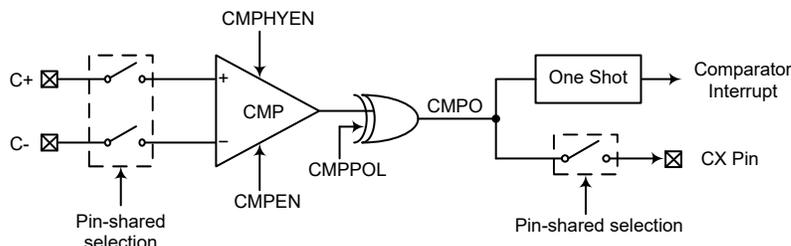
```

clr ADE                ; disable ADC interrupt
mov a,03H
mov SADC1,a            ; select fsys/8 as ADC clock
set ADCEN
mov a,02h              ; setup PBS0 to configure pin AN0
mov PBS0,a
mov a,20h
mov SADC0,a            ; enable and connect AN0 channel to A/D converter
Start_conversion:
clr START              ; high pulse on START bit to initiate conversion
set START              ; reset A/D converter
clr START              ; start A/D conversion
clr ADF                ; clear ADC interrupt request flag
set ADE                ; enable ADC interrupt
set EMI                ; enable global interrupt
:
:
ADC_ISR:               ; ADC interrupt service routine
mov acc_stack,a        ; save ACC to user defined memory
mov a,STATUS
mov status_stack,a    ; save STATUS to user defined memory
:
:
mov a,SADOL            ; read low byte conversion result value
mov SADOL_buffer,a    ; save result to user defined register
mov a,SADOH            ; read high byte conversion result value
mov SADOH_buffer,a    ; save result to user defined register
:
:
EXIT_INT_ISR:
mov a,status_stack
mov STATUS,a          ; restore STATUS from user defined memory
mov a,acc_stack       ; restore ACC from user defined memory
reti

```

## 比较器

该单片机包含一个模拟比较器。该比较器具有暂停、极性选择、迟滞等功能，可通过寄存器进行灵活配置。比较器的引脚与普通 I/O 引脚共用，当比较器功能未使用时，此引脚可做普通引脚使用而不浪费 I/O 资源。



比较器

### 比较器操作

该单片机包含一个比较器功能，用于比较两个模拟电压，基于它们的差值上提供一个输出。

当比较器使能时，且相关的共用引脚功能选择为比较器输入功能时，连接到该引脚的上拉电阻将自动失效。当比较器输入接近其切换电压时，由于输入信号上升或下降速度较慢，比较器输出端可能会产生一些伪输出信号。通过选择迟滞功能提供少量正反馈给比较器可使此种情况的发生率降低。理想情况下正负输入信号在同一个电压点时比较器输出发生转换，但是不可避免的输入失调电压会导致一些不确定因素。若迟滞功能使能，也可增加切换偏差值。迟滞宽度可依不同的比较器响应时间的不同而作出调整。比较器响应时间的具体值可参考比较器电气特性表格内容。

### 比较器寄存器

整个内部比较器的工作是通过控制寄存器 CMPC 来完成的。其中的一个位用来记录比较器的输出值，此输出值也可通过专门的引脚输出。另外寄存器也提供了输出极性选择，响应时间选择及使能 / 除能控制。

#### • CMPC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	CMPEN	CMPPOL	CMPO	—	—	—	CMPHYEN
R/W	—	R/W	R/W	R	—	—	—	R/W
POR	—	0	0	0	—	—	—	1

Bit 7 未定义，读为“0”

Bit 6 **CMPEN**: 比较器使能控制位

0: 除能

1: 使能

此位为比较器开 / 关控制位。为“0”时，比较器关闭，即使其输入引脚上加有模拟电压也不会产生功耗。对功耗要求严格的应用中，当比较器未使用或单片机进入休眠或空闲模式之前，此位应清零。注意若设置此位为零除能比较器功能，则比较器输出为低。

Bit 5 **CMPPOL**: 比较器输出极性控制位

0: 同相

1: 反相

	此位控制比较器输出极性。为“0”时，CMPO 反映比较器同相后输出；为“1”时，CMPO 位反映比较器反相后输出。
Bit 4	<b>CMPO:</b> 比较器输出位 CMPPOL=0 0: $C+ < C-$ 1: $C+ > C-$ CMPPOL=1 0: $C+ > C-$ 1: $C+ < C-$ 此位为比较器输出位。此位的极性由比较器输入电压和 CMPPOL 位的状态决定。
Bit 3~1	未定义，读为“0”
Bit 0	<b>CMPHYEN:</b> 比较器迟滞功能控制位 0: 比较器迟滞除能 1: 比较器迟滞使能 具体见比较器电气特性章节。

## 比较器中断

比较器具有中断功能。当输出位状态改变时，相应的中断标志将会置位，若应答中断使能位被置位，系统将跳转至相应的中断向量中执行。单片机处于休眠或空闲模式且比较器使能时，若外部输入引脚导致比较器输出状态发生改变，则由此产生的中断标志位也可产生一个唤醒动作。若要除能唤醒功能，进入休眠或空闲模式前中断标志位应先置为高。

## 编程注意事项

若比较器使能，当单片机进入休眠或空闲模式时其仍保持有效并会有一定的耗电，用户可考虑在进入休眠或空闲模式前先关闭比较器。

由于比较器引脚与普通输入 / 输出脚共用，若比较器功能使能时，这些引脚的输入 / 输出寄存器将读为“0”（端口控制寄存器为“1”）或读为端口数据寄存器的值（端口控制寄存器为“0”）。

## 串行接口模块 – SIM

此单片机内有一个串行接口模块，包括两种易与外部设备通信的串行接口：四线 SPI 或两线 I<sup>2</sup>C 接口。这两种接口具有相当简单的通信协议，单片机可以通过这些接口与传感器、闪存或 EEPROM 内存等硬件设备通信。因 SIM 接口引脚是与其它 I/O 引脚共用，因此在使用 SIM 功能前，要先通过相应的引脚共用功能选择寄存器选定 SIM 引脚功能。因为这两种接口 SPI 和 I<sup>2</sup>C 共用引脚和寄存器，所以要通过一个 SIMC0 寄存器中的 SIM2~SIM0 位来选择哪一种通信接口。若 SIM 功能使能，可通过上拉电阻控制寄存器选择与输入 / 输出共用的 SIM 输入引脚的上拉电阻

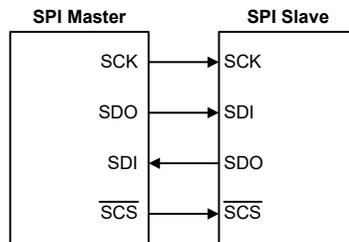
### SPI 接口

SPI 接口常用于与外部设备如传感器、闪存或 EEPROM 内存等通信。四线 SPI 接口最初是由摩托罗拉公司研制，是一个有相当简单的通信协议的串行数据接口，这个协议可以简化与外部硬件的编程要求。

SPI 通信模式为全双工模式，且能以主 / 从模式的工作方式进行通信，单片机既可以做为主机，也可以做为从机。虽然 SPI 接口理论上允许一个主机控制多个从机，但此处的 SPI 中只有一个片选信号引脚  $\overline{\text{SCS}}$ 。若主机需要控制多个从机，可使用输入 / 输出引脚选择从机。

### SPI 接口操作

SPI 接口是一个全双工串行数据传输器。SPI 接口的四线为：SDI、SDO、SCK 和  $\overline{\text{SCS}}$ 。SDI 和 SDO 是数据的输入和输出线。SCK 是串行时钟线， $\overline{\text{SCS}}$  是从机的选择线。SPI 的接口引脚与普通 I/O 口和 I<sup>2</sup>C 的功能脚共用。通过设定 SIMC0/SIMC2 寄存器的对应位和引脚功能选择位，来使能 SPI 接口。SPI 可以通过 SIMC0 寄存器中的 SIMEN 位来除能或使能。连接到 SPI 接口的单片机以从主 / 从模式进行通信，且主机完成所有的数据传输初始化，并控制时钟信号。由于单片机只有一个  $\overline{\text{SCS}}$  引脚，所以只能拥有一个从机设备。可通过软件控制  $\overline{\text{SCS}}$  引脚使能与除能，设置 CSEN 位为“1”使能  $\overline{\text{SCS}}$  功能，设置 CSEN 位为“0”，SCS 引脚将处于浮空状态。



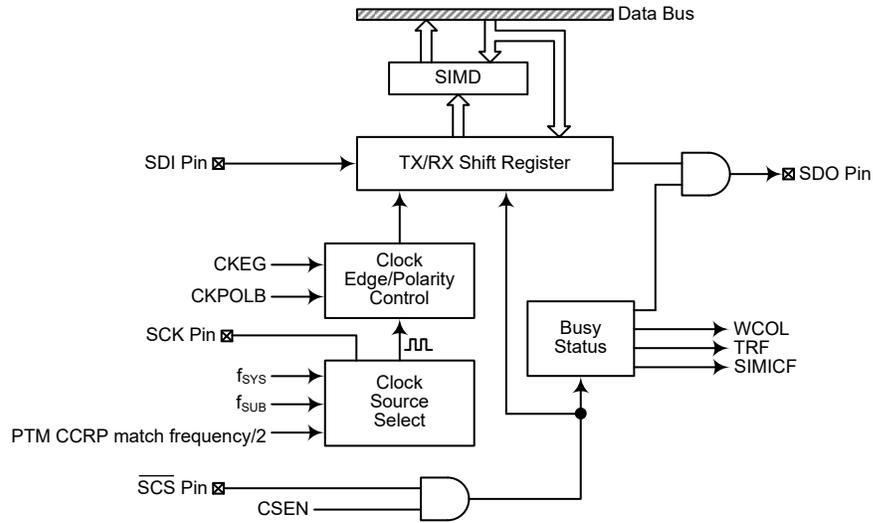
SPI 主 / 从机连接方式

该单片机的 SPI 功能具有以下特点：

全双工同步数据传输

- 主从模式
- 最低有效位先传或最高有效位先传的数据传输模式
- 传输完成标志位
- 时钟源上升沿或下降沿有效

SPI 接口状态受很多因素的影响，如单片机处于主机或从机的工作模式和 CSEN，SIMEN 位的状态。



SPI 方框图

### SPI 寄存器

有三个内部寄存器用于控制 SPI 接口的所有操作，其中有一个数据寄存器 SIMD、两个控制寄存器 SIMC0 和 SIMC2。注意，SIMC1 寄存器仅用于 I<sup>2</sup>C 接口。

寄存器名称	位							
	7	6	5	4	3	2	1	0
SIMC0	SIM2	SIM1	SIM0	—	SIMDEB1	SIMDEB0	SIMEN	SIMICF
SIMC2	D7	D6	CKPOLB	CKEG	MLS	CSEN	WCOL	TRF
SIMD	D7	D6	D5	D4	D3	D2	D1	D0

SPI 寄存器列表

### SPI 数据寄存器

SIMD 寄存器用于存储发送和接收的数据。这个寄存器由 SPI 和 I<sup>2</sup>C 功能所共用。在单片机尚未将数据写入到 SPI 总线之前，要传输的数据应先存在 SIMD 中。SPI 总线接收到数据之后，单片机就可以从 SIMD 数据寄存器中读取。所有通过 SPI 传输或接收的数据都必须通过 SIMD 实现。

#### • SIMD 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0     **D7~D0**: SIM 数据寄存器 bit 7~bit 0

### SPI 控制寄存器

单片机中也有两个控制 SPI 接口功能的寄存器，SIMC0 和 SIMC2。应注意的是 SIMC2 与 I<sup>2</sup>C 接口功能中的寄存器 SIMA 是同一个寄存器。SPI 功能不会用到寄存器 SIMC1，SIMC1 只适用于 I<sup>2</sup>C。寄存器 SIMC0 用于控制使能 / 除能功能和设置数据传输的时钟频率。寄存器 SIMC2 用于其它的控制功能如 LSB/MSB 选择，写冲突标志位等。

#### • SIMC0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SIM2	SIM1	SIM0	—	SIMDEB1	SIMDEB0	SIMEN	SIMICF
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
POR	1	1	1	—	0	0	0	0

Bit 7~5 **SIM2~SIM0**: SIM 工作模式控制位

000: SPI 主机模式; SPI 时钟为  $f_{SYS}/4$

001: SPI 主机模式; SPI 时钟为  $f_{SYS}/16$

010: SPI 主机模式; SPI 时钟为  $f_{SYS}/64$

011: SPI 主机模式; SPI 时钟为  $f_{SUB}$

100: SPI 主机模式; SPI 时钟为 PTM CCRP 匹配频率 / 2

101: SPI 从机模式

110: I<sup>2</sup>C 从机模式

111: 非 SIM 功能

这几位用于设置 SIM 功能的工作模式，用于选择 SPI 的主从模式和 SPI 的主机时钟频率及 I<sup>2</sup>C 或 SPI 功能。SPI 时钟源可来自于系统时钟也可以选择来自 PTM 和  $f_{SUB}$ 。若选择的是作为 SPI 从机，则其时钟源从外部主机而得。

Bit 4 未定义，读为“0”

Bit 3~2 **SIMDEB1~SIMDEB0**: I<sup>2</sup>C 去抖时间选择位

这些位只有在 SIM 设置成 I<sup>2</sup>C 接口模式时才有效。请参考 I<sup>2</sup>C 寄存器部分。

Bit 1 **SIMEN**: SIM 控制位

0: 除能

1: 使能

此位为 SIM 接口的开 / 关控制位。此位为“0”时，SIM 接口除能，SDI、SDO、SCK 和 SCS 或 SDA 和 SCL 脚将失去 SPI 或 I<sup>2</sup>C 功能，SIM 工作电流减小到最小值。此位为“1”时，SIM 接口使能。若 SIM 经由 SIM2~SIM0 位设置为工作在 SPI 接口，当 SIMEN 位由低到高转变时，SPI 控制寄存器中的设置不会发生变化，其首先应在应用程序中初始化。若 SIM 经由 SIM2~SIM0 位设置为工作在 I<sup>2</sup>C 接口，当 SIMEN 位由低到高转变时，I<sup>2</sup>C 控制寄存器中的设置，如 HTX 和 TXAK，将不会发生变化，其首先应在应用程序中初始化，此时相关 I<sup>2</sup>C 标志，如 HCF、HAAS、HBB、SRW 和 RXAK，将被设置为其默认状态。

Bit 0 **SIMICF**: SIM SPI 未完成标志位

0: 未发生

1: 发生

此位仅当 SIM 配置在 SPI 从机模式时有效。如果 SPI 工作在从机模式且 SIMEN 和 CSEN 位都为“1”，但在 SPI 数据传输完全结束前 SCS 线被外部主机拉高，SIMICF 和 TRF 位都会被置高。在这种情况下，如果相应的中断功能使能将产生一个中断。然而，如果 SIMICF 位是由软件应用程序设为 1，那么 TRF 位将不会置高。

• SIMC2 寄存器

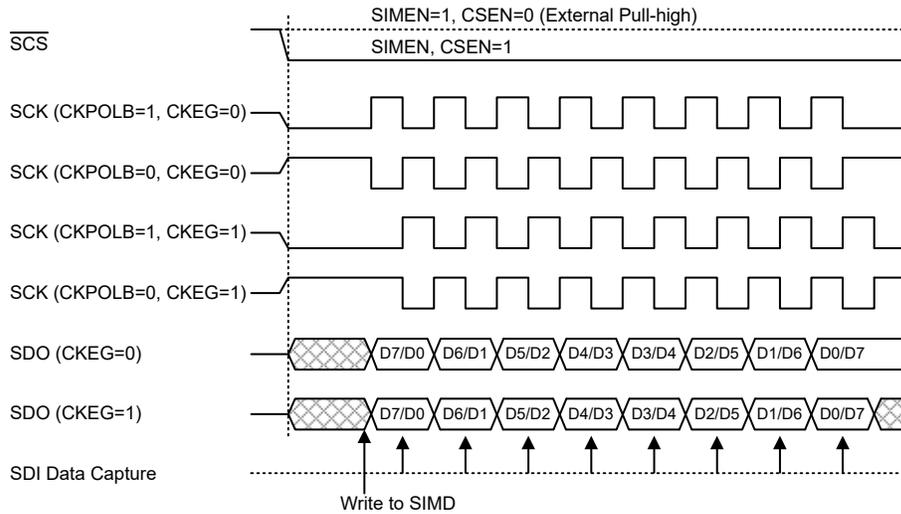
Bit	7	6	5	4	3	2	1	0
Name	D7	D6	CKPOLB	CKEG	MLS	CSEN	WCOL	TRF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 **D7~D6:** 未定义位  
用户可通过软件程序对这两位进行读写。
- Bit 5 **CKPOLB:** SPI 时钟线的基础状态位  
0: 当时钟无效时, SCK 口为高电平  
1: 当时钟无效时, SCK 口为低电平  
此位决定了时钟线的基础状态, 当时钟无效时, 若此位为高, SCK 为低电平, 若此位为低, SCK 为高电平。
- Bit 4 **CKEG:** SPI 的 SCK 有效时钟边沿类型位  
CKPOLB=0  
0: SCK 为高电平且在 SCK 上升沿抓取数据  
1: SCK 为高电平且在 SCK 下降沿抓取数据  
CKPOLB=1  
0: SCK 为低电平且在 SCK 下降沿抓取数据  
1: SCK 为低电平且在 SCK 上升沿抓取数据  
CKEG 和 CKPOLB 位用于设置 SPI 总线上时钟信号输入和输出方式。在执行数据传输前, 这两位必须被设置, 否则将产生错误的时钟边沿信号。CKPOLB 位决定时钟线的基本状态, 若时钟无效且此位为高, 则 SCK 为低电平, 若时钟无效且此位为低, 则 SCK 为高电平。CKEG 位决定有效时钟边沿类型, 取决于 CKPOLB 的状态。
- Bit 3 **MLS:** SPI 数据移位顺序位  
0: LSB 优先  
1: MSB 优先  
数据移位选择位, 用于选择数据传输时高位优先传输还是低位优先传输。此位设置为高时高位优先传输, 为低时低位优先传输。
- Bit 2 **CSEN:** SPI  $\overline{SCS}$  引脚控制位  
0: 除能  
1: 使能  
CSEN 位用于  $\overline{SCS}$  引脚的使能 / 除能控制。此位为低时,  $\overline{SCS}$  除能并处于浮空状态。此位为高时,  $\overline{SCS}$  使能并作为选择脚。
- Bit 1 **WCOL:** SPI 写冲突标志位  
0: 无冲突  
1: 冲突  
WCOL 标志位用于监测数据冲突的发生。此位为高时, 数据在传输时被写入 SIMD 寄存器。若数据正在被传输时, 此操作无效。此位可被应用程序清零。
- Bit 0 **TRF:** SPI 发送 / 接收结束标志位  
0: 数据正在发送  
1: 数据发送结束  
TRF 位为发送 / 接收结束标志位, 当 SPI 数据传输结束时, 此位自动置为高, 但需通过应用程序设置为“0”。此位也可用于产生中断。

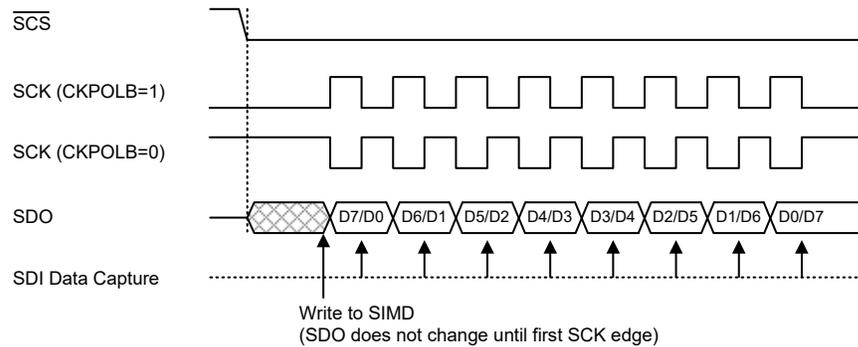
### SPI 通信

将 SIMEN 设置为高，使能 SPI 功能之后，单片机处于主机模式，当数据写入到寄存器 SIMD 的同时传输 / 接收开始进行。数据传输完成时，TRF 位将自动被置位但清除只能通过应用程序完成。单片机处于从机模式时，收到主机发来的信号之后，会传输 SIMD 中的数据，而且在 SDI 引脚上的数据也会被移位到 SIMD 寄存器中。主机应在输出时钟信号之前先输出一个 SCS 信号以使能从机，从机的数据传输功能也应在与 SCK 信号相关的适当时候准备就绪，这由 CKPOLB 和 CKEG 位决定。所附时序图表明了了在 CKPOLB 和 CKEG 位各种设置情况下从机数据与 SCK 信号的关系。

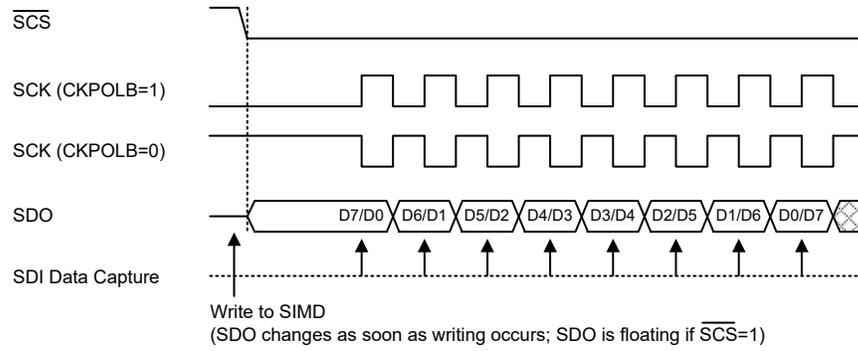
即使在单片机处于空闲模式时，若 SPI 接口使用的时钟源仍开启，SPI 功能仍将继续执行。



SPI 主机模式时序

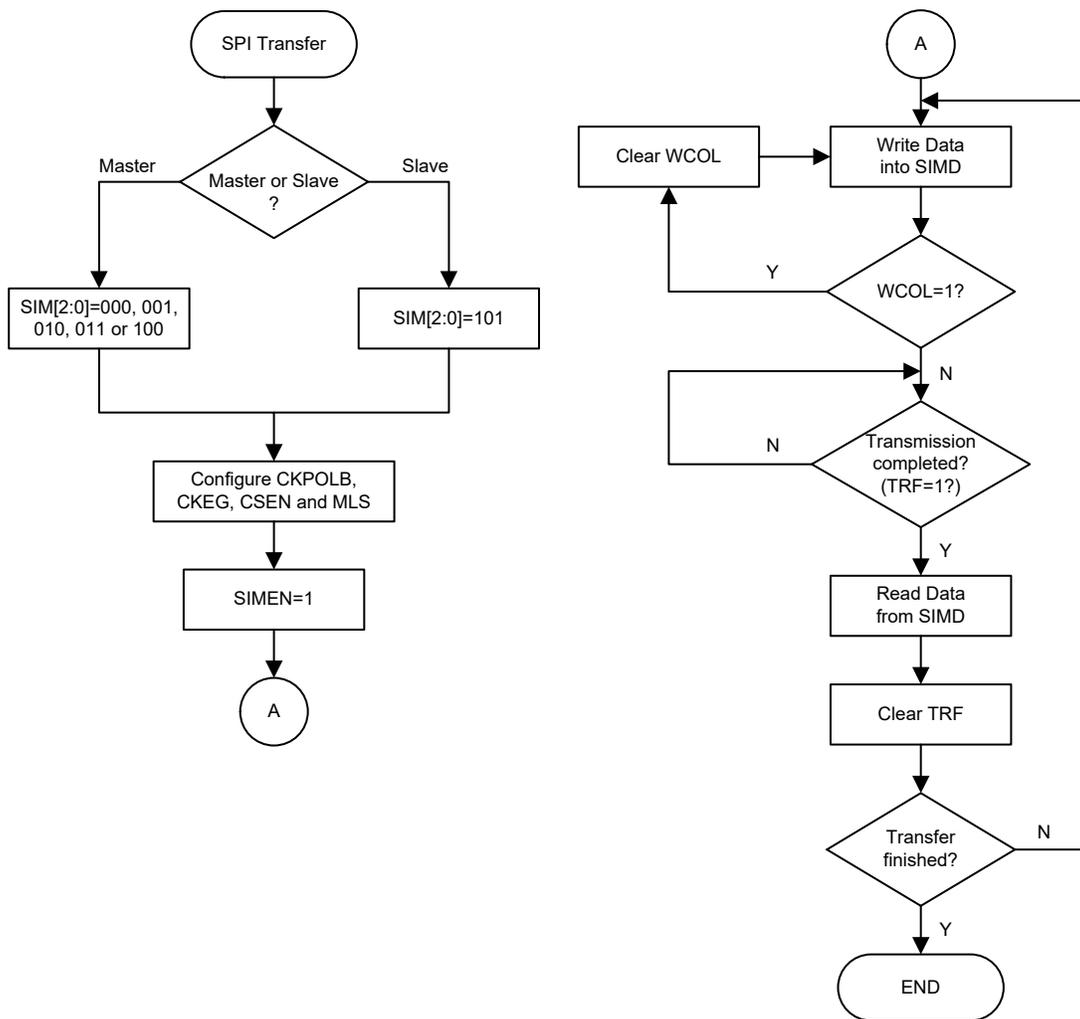


SPI 从机模式时序 - CKEG=0



Note: For SPI slave mode, if SIMEN=1 and CSEN=0, SPI is always enabled and ignores the  $\overline{SCS}$  level.

SPI 从机模式时序 – CKEG=1



SPI 传输控制流程图

### SPI 使能 / 除能

设置  $\overline{\text{CS}}=1$ 、 $\overline{\text{SCS}}=0$  将使能 SPI 总线，然后等待写数据到 SIMD 寄存器 (TXRX 缓存器)。单片机处于主机模式，数据写入 SIMD 寄存器后，自动开始数据传输或接收操作。数据传输完成时，TRF 位将自动被置位。单片机处于从机模式，SCK 引脚上收到脉冲信号之后，会传输 TXRX 中的数据，或将 SDI 引脚上的数据移入。

当 SPI 总线除能时，通过设置相应控制位，SCK、SDI、SDO、 $\overline{\text{SCS}}$  可作为 I/O 口或其它功能引脚使用。

### SPI 操作步骤

四线制 SPI 接口可完成所有主 / 从模式通信工作。

在 SIMC2 寄存器中，CSEN 位控制 SPI 接口的所有功能。设置此位为高， $\overline{\text{SCS}}$  信号线有效将使能 SPI 接口。设置此位为低，SPI 接口将除能， $\overline{\text{SCS}}$  信号线处于浮空状态因此不能控制 SPI 接口。CSEN 位和 SIMC0 寄存器中的 SIMEN 位设置为高，使得 SDI 信号线处于浮空状态且 SDO 信号线为高电平。主机模式中，如果 SCK 信号线为高还是低取决于 SIMC2 寄存器中的时钟极性选择位 CKPOLB。从机模式中，SCK 信号线处于浮空状态。如果 SIMEN 位设置为低，SPI 接口被除能，通过设置相应引脚共用控制位， $\overline{\text{SCS}}$ 、SDI、SDO 和 SCK 可作为 I/O 口或其它功能引脚使用。主机模式中，当数据被写入 SIMD 寄存器后，主机发起数据传输，并控制时钟信号。从机模式中，由外部主机发出数据传送 / 接收时钟信号。下面介绍主从模式中数据传输步骤。

#### 主机模式

- 步骤 1  
设置 SIMC0 控制寄存器中的 SIM2~SIM0 位，选择 SPI 主机模式和时钟源。
- 步骤 2  
设置 CSEN 和 MLS 位，选择高位或低位数据优先传送，这必须与从机设备一致。
- 步骤 3  
设置 SIMC0 控制寄存器中的 SIMEN 位，使能 SPI 接口功能。
- 步骤 4  
对于写操作：写数据到 SIMD 寄存器，实际上此时数据会被存储在 TXRX 缓存器中。再使用 SCK 和  $\overline{\text{SCS}}$  信号线将数据输出。跳至步骤 5。  
对于读操作：从 SDI 信号线移入的数据将被存储在 TXRX 缓存器中，直到所有数据接收完毕，此时数据全部锁存至 SIMD 寄存器。
- 步骤 5  
检测 WCOL 位，若此位为高，则发生数据冲突并跳回至步骤 4；若为低，则继续执行下面的步骤。
- 步骤 6  
检测 TRF 位或等待 SPI 串行总线中断发生。
- 步骤 7  
从 SIMD 寄存器中读数据。
- 步骤 8  
清除 TRF。
- 步骤 9  
跳回至步骤 4。

### 从机模式

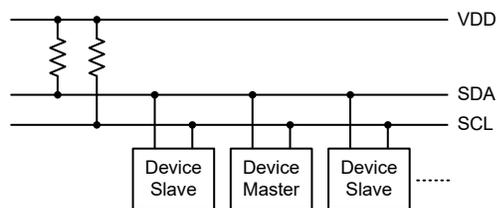
- 步骤 1  
设置 SIMC0 控制寄存器中的 SIM2~SIM0 位，选择 SPI 从机模式。
- 步骤 2  
设置 CSEN 和 MLS 位，选择高位或低位数据优先传送，这必须与主机设备一致。
- 步骤 3  
设置 SIMC0 控制寄存器中的 SIMEN 位，使能 SPI 接口功能。
- 步骤 4  
对于写操作：写数据到 SIMD 寄存器，实际上此时数据会被存储在 TXRX 缓存器中。等待主机时钟 SCK 信号和  $\overline{\text{SCS}}$  信号。跳至步骤 5。  
对于读操作：从 SDI 信号线移入的数据将被存储在 TXRX 缓存器中，直到所有数据接收完毕，此时数据全部锁存至 SIMD 寄存器。
- 步骤 5  
检测 WCOL 位，若此位为高，则发生数据冲突并跳回至步骤 4；若为低，则继续执行下面的步骤。
- 步骤 6  
检测 TRF 位或等待 SPI 串行总线中断发生。
- 步骤 7  
从 SIMD 寄存器中读数据。
- 步骤 8  
清除 TRF。
- 步骤 9  
跳回至步骤 4。

### 错误侦测

SIMC2 寄存器中的 WCOL 位用于数据传输期间监测数据冲突的发生。此位由 SPI 串行接口设置为高，而由应用程序来清除为零。在数据传输期间如果写数据到 SIMD，此位被置高提示数据冲突发生，并阻止数据继续被写入。

### I<sup>2</sup>C 接口

I<sup>2</sup>C 可以和传感器、EEPROM 内存等外部硬件接口进行通信。最初是由飞利浦公司研制，是适用于同步串行数据传输的双线式低速串行接口。I<sup>2</sup>C 接口具有两线通信，非常简单的通信协议和在同一总线上和多个设备进行通信的能力的优点，使之在很多的场合中大受欢迎。

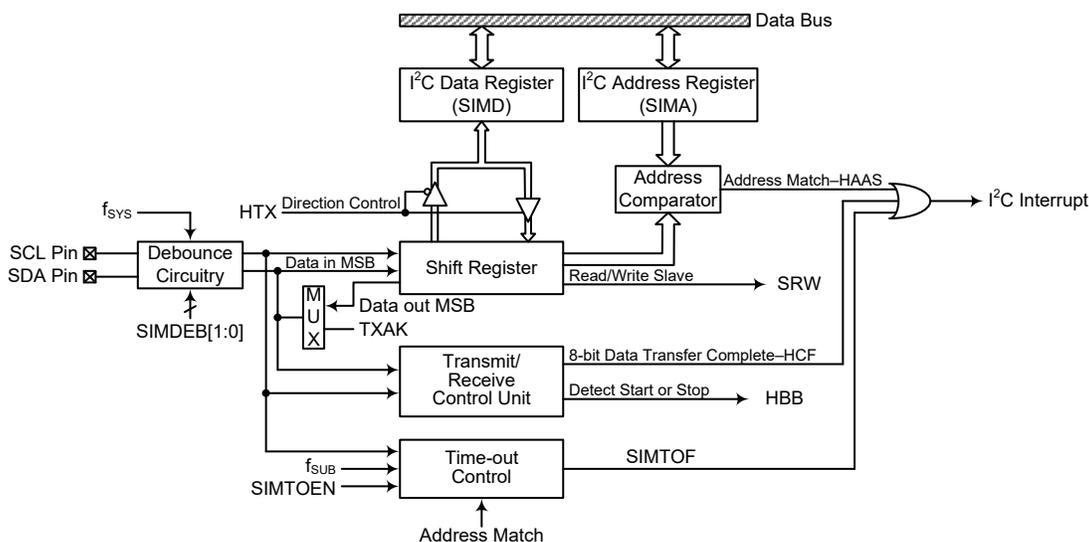


I<sup>2</sup>C 主从总线连接图

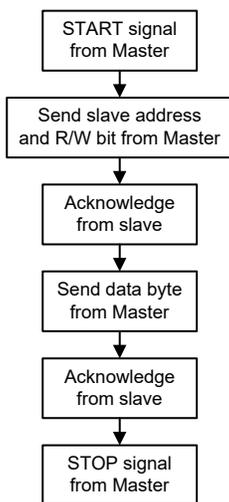
### I<sup>2</sup>C 接口操作

I<sup>2</sup>C 串行接口是一个双线的接口，有一条串行数据线 SDA 和一条串行时钟线 SCL。由于可能有多个设备在同一条总线上相互连接，所以这些设备的输出都是开漏型输出。因此应在这些输出上都应加上拉电阻。应注意的是，I<sup>2</sup>C 总线上的每个设备都没有选择线，但分别与唯一的地址一一对应，用于 I<sup>2</sup>C 通信。

如果有两个设备通过双向的 I<sup>2</sup>C 总线进行通信，那么就存在一个主机和一个从机。主机和从机都可以用于发送和接收数据，但只有主机才可以控制总线动作。那些处于从机模式的设备，要在 I<sup>2</sup>C 总线上传输数据只有两种方式，一是从机发送模式，二是从机接收模式。即使 I<sup>2</sup>C 设备被激活，与 SCL/SDA 引脚共用的 I/O 口上拉电阻控制功能仍有效，其上拉电阻功能由相应的上拉电阻控制寄存器控制。



I<sup>2</sup>C 方框图



I<sup>2</sup>C 接口操作

SIMDEB1 和 SIMDEB0 位决定 I<sup>2</sup>C 接口的去抖时间。这个功能可以使用内部时钟在外部时钟上增加一个去抖间隔，会减小时钟线上毛刺发生的可能性，以避免单片机发生误动作。如果选择了这个功能，去抖时间可以选择 2 个或 4 个系统时钟。为了达到需要的 I<sup>2</sup>C 数据传输速度，系统时钟  $f_{SYS}$  和 I<sup>2</sup>C 去抖时间之间存在一定的关系。I<sup>2</sup>C 标准模式或者快速模式下，用户需注意所选的系统时钟频率与标准匹配去抖时间的设置，其具体关系如下表所示。

I <sup>2</sup> C 去抖时间选择	I <sup>2</sup> C 标准模式 (100kHz)	I <sup>2</sup> C 快速模式 (400kHz)
无去抖时间	$f_{SYS} > 2\text{MHz}$	$f_{SYS} > 5\text{MHz}$
2 个系统时钟去抖时间	$f_{SYS} > 4\text{MHz}$	$f_{SYS} > 10\text{MHz}$
4 个系统时钟去抖时间	$f_{SYS} > 8\text{MHz}$	$f_{SYS} > 20\text{MHz}$

I<sup>2</sup>C 最小  $f_{SYS}$  频率要求

### I<sup>2</sup>C 寄存器

I<sup>2</sup>C 总线有三个控制寄存器 SIMC0、SIMC1 和 SIMTOC，及一个从机地址寄存器 SIMA 和一个数据寄存器 SIMD。

寄存器名称	位							
	7	6	5	4	3	2	1	0
SIMC0	SIM2	SIM1	SIM0	–	SIMDEB1	SIMDEB0	SIMEN	SIMICF
SIMC1	HCF	HAAS	HBB	HTX	TXAK	SRW	IAMWU	RXAK
SIMD	D7	D6	D5	D4	D3	D2	D1	D0
SIMA	SIMA6	SIMA5	SIMA4	SIMA3	SIMA2	SIMA1	SIMA0	D0
SIMTOC	SIMTOEN	SIMTOF	SIMTOS5	SIMTOS4	SIMTOS3	SIMTOS2	SIMTOS1	SIMTOS0

I<sup>2</sup>C 寄存器列表

### I<sup>2</sup>C 数据寄存器

SIMD 用于存储发送和接收的数据。这个寄存器由 SPI 和 I<sup>2</sup>C 功能所共用。在单片机将数据写入到 I<sup>2</sup>C 总线之前，要传输的数据应先存在 SIMD 中。I<sup>2</sup>C 总线接收到数据之后，单片机就可以从 SIMD 数据寄存器中读取。所有通过 I<sup>2</sup>C 传输或接收的数据都必须通过 SIMD 实现。

### • SIMD 寄存器

Bit	7	6	5	4	3	2	1	0
Name	D7	D6	D5	D4	D3	D2	D1	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0      **D7~D0**: SIM 数据寄存器位 bit 7 ~ bit 0

### I<sup>2</sup>C 地址寄存器

SIMA 寄存器也在 SPI 接口功能中使用，但其名称改为 SIMC2。SIMA 寄存器用于存放 7 位从机地址，寄存器 SIMA 中的 bit 7 ~ bit 1 是单片机的从机地址，bit 0 未定义。

如果接至 I<sup>2</sup>C 的主机发送出的地址和寄存器 SIMA 中存储的地址相符，那么就选中了这个从机。应注意的是寄存器 SIMA 和 SPI 接口使用的寄存器 SIMC2 共用同一个寄存器地址。

● SIMA 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SIMA6	SIMA5	SIMA4	SIMA3	SIMA2	SIMA1	SIMA0	D0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~1 **SIMA6~SIMA0**: I<sup>2</sup>C 从机地址位  
SIMA6~SIMA0 是 I<sup>2</sup>C 从机地址 bit 6 ~ bit 0。

Bit 0 **D0**: 保留位, 此位可通过软件程序进行读写

I<sup>2</sup>C 控制寄存器

单片机中有三个控制 I<sup>2</sup>C 接口功能的寄存器, SIMC0, SIMC1 和 SIMTOC。寄存器 SIMC0 用于控制使能 / 除能功能和设置数据传输的时钟频率。寄存器 SIMC1 包括多个用于表明 I<sup>2</sup>C 传输状态的相关标志位。SIMTOC 寄存器用于控制 I<sup>2</sup>C 总线超时功能, 在 I<sup>2</sup>C 超时控制章节有描述。

● SIMC0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SIM2	SIM1	SIM0	—	SIMDEB1	SIMDEB0	SIMEN	SIMICF
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
POR	1	1	1	—	0	0	0	0

Bit 7~5 **SIM2~SIM0**: SIM 工作模式控制位  
 000: SPI 主机模式; SPI 时钟为  $f_{SYS}/4$   
 001: SPI 主机模式; SPI 时钟为  $f_{SYS}/16$   
 010: SPI 主机模式; SPI 时钟为  $f_{SYS}/64$   
 011: SPI 主机模式; SPI 时钟为  $f_{SUB}$   
 100: SPI 主机模式; SPI 时钟为 PTM CCRP 匹配频率 / 2  
 101: SPI 从机模式  
 110: I<sup>2</sup>C 从机模式  
 111: 未使用模式

这几位用于设置 SIM 功能的工作模式, 用于选择 SPI 的主从模式和 SPI 的主机时钟频率及 I<sup>2</sup>C 或 SPI 功能。SPI 时钟源可来自于系统时钟也可以选择来自 PTM 和  $f_{SUB}$ 。若选择的是作为 SPI 从机, 则其时钟源从外部主机而得。

Bit 4 未定义, 读为“0”

Bit 3~2 **SIMDEB1~SIMDEB0**: I<sup>2</sup>C 去抖时间选择位  
 00: 无去抖时间  
 01: 2 个系统时钟去抖时间  
 1x: 4 个系统时钟去抖时间

当设置 SIM2~SIM0 位为“110”将 SIM 设置为 I<sup>2</sup>C 接口功能时, 这两个位用于选择 I<sup>2</sup>C 去抖时间。

Bit 1 **SIMEN**: SIM 控制位  
 0: 除能  
 1: 使能

此位为 SIM 接口的开 / 关控制位。此位为“0”时, SIM 接口除能, SDI、SDO、SCK 和 SCS 或 SDA 和 SCL 脚将失去 SPI 或 I<sup>2</sup>C 功能, SIM 工作电流减小到最小值。此位为“1”时, SIM 接口使能。若 SIM 经由 SIM2~SIM0 位设置为工作在 SPI 接口, 当 SIMEN 位由低到高转变时, SPI 控制寄存器中的设置不会发生变化, 其首先应在应用程序中初始化。若 SIM 经由 SIM2~SIM0 位设置为工作在 I<sup>2</sup>C 接口, 当 SIMEN 位由低到高转变时, I<sup>2</sup>C 控制寄存器中的设置, 如 HTX 和 TXAK, 将不会发生变化, 其首先应在应用程序中初始化, 此时相关 I<sup>2</sup>C 标志, 如 HCF、HAAS、HBB、SRW 和 RXAK, 将被设置为其默认状态。

Bit 0 **SIMICF**: SIM 未完成标志位  
此位仅当 SIM 配置在 SPI 从机模式时有效。请参考 SPI 寄存器部分。

● **SIMC1 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	HCF	HAAS	HBB	HTX	TXAK	SRW	IAMWU	RXAK
R/W	R	R	R	R/W	R/W	R/W	R/W	R
POR	1	0	0	0	0	0	0	1

Bit 7 **HCF**: I<sup>2</sup>C 总线数据传输结束标志位  
0: 数据正在被传输  
1: 8 位数据传输完成  
数据正在传输时该位为低。当 8 位数据传输完成时，此位为高并产生一个中断。

Bit 6 **HAAS**: I<sup>2</sup>C 总线地址匹配标志位  
0: 地址不匹配  
1: 地址匹配  
此标志位用于决定从机地址是否与主机发送地址相同。若地址匹配此位为高，否则此位为低。

Bit 5 **HBB**: I<sup>2</sup>C 总线忙标志位  
0: I<sup>2</sup>C 总线闲  
1: I<sup>2</sup>C 总线忙  
当检测到 START 信号时 I<sup>2</sup>C 忙，此位变为高电平。当检测到 STOP 信号时 I<sup>2</sup>C 总线停止，该位变为低电平。

Bit 4 **HTX**: I<sup>2</sup>C 从机处于发送或接收模式选择位  
0: 从机处于接收模式  
1: 从机处于发送模式

Bit 3 **TXAK**: I<sup>2</sup>C 总线发送确认标志位  
0: 从机发送应答标志  
1: 从机没有发送应答标志  
从机接收 8 位数据之后会将该位在第九个时钟时被传到总线上。如果从机想要接收更多的数据，则应在接收数据之前将此位设置为“0”。

Bit 2 **SRW**: I<sup>2</sup>C 从机读 / 写标志位  
0: 从机应处于接收模式  
1: 从机应处于发送模式  
SRW 位是 I<sup>2</sup>C 从机读写标志位。决定主机是否希望发送或接收来自 I<sup>2</sup>C 总线的的数据。当传输地址和从机的地址相同时，HAAS 位会被设置为高，从机将检测 SRW 位来决定进入发送模式还是接收模式。如果 SRW 位为高时，主机会请求从总线上读数据，此时从机处于发送模式。当 SRW 位为“0”时，主机往总线上写数据，从机处于接收模式以读取该数据。

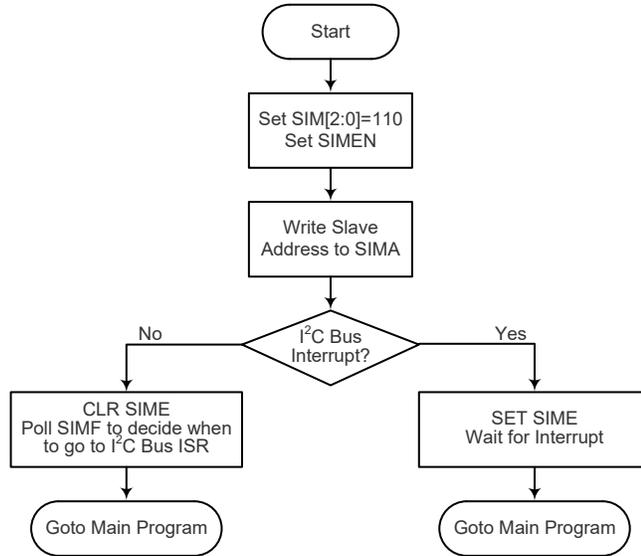
Bit 1 **IAMWU**: I<sup>2</sup>C 地址匹配唤醒控制位  
0: 除能  
1: 使能  
此位应设置为“1”使能 I<sup>2</sup>C 地址匹配以使系统从休眠或空闲模式中唤醒。若进入休眠或空闲模式前 IAMWU 已经置高以使能 I<sup>2</sup>C 地址匹配唤醒功能，在系统唤醒后须应用程序清除此位以确保单片机正确地运行。

Bit 0 **RXAK**: I<sup>2</sup>C 总线接收确认标志位  
0: 从机接收到应答标志  
1: 从机没有接收到应答标志  
RXAK 位是接收应答标志位。如果 RXAK 位为“0”，即表示 8 位数据传输之后，从机在第九个时钟有接受到一个应答信号。如果从机处于发送状态，从机作为发送方会检查 RXAK 位来判断主机接收方是否愿意继续接收下一个字节。因此发送方会一直发送数据，直到 RXAK 为“1”时才停止发送数据。这时，发送方将释放 SDA 线，主机方可发出停止信号从而释放 I<sup>2</sup>C 总线。

### I<sup>2</sup>C 总线通信

I<sup>2</sup>C 总线上的通信需要四步完成，一个起始信号，一个从机地址发送，一个数据传输，还有一个停止信号。当起始信号被写入 I<sup>2</sup>C 总线时，总线上的所有从机都会接收到这个起始信号并且被通知总线上会即将有数据到达。数据的前 7 位是从机地址，高位在前，低位在后。如果发出的地址和从机地址匹配，SIMC1 寄存器的 HAAS 位会被置位，同时产生 I<sup>2</sup>C 中断。进入中断服务程序后，系统要检测 HAAS 位和 SIMTOF 位，以判断 I<sup>2</sup>C 总线中断是来自从机地址匹配，还是来自 8 位数据传输完毕，或是来自 I<sup>2</sup>C 总线超时。在数据传输中，注意的是，在 7 位从机地址被发送后，接下来的一位，即第 8 位，是读 / 写控制位，该位的值会反映到 SRW 位中。从机通过检测 SRW 位以确定主控制器是要进入发送模式还是接收模式。在 I<sup>2</sup>C 总线开始传送数据前，需要先初始化 I<sup>2</sup>C 总线，初始化 I<sup>2</sup>C 总线步骤如下：

- 步骤 1  
设置 SIMC0 寄存器中 SIM2~SIM0 位为“110”和 SIMEN 位为“1”，以使能 I<sup>2</sup>C 总线。
- 步骤 2  
向 I<sup>2</sup>C 总线地址寄存器 SIMA 写入从机地址。
- 步骤 3  
设置中断控制寄存器中的 SIME 中断使能位，以使能 SIM 中断。



I<sup>2</sup>C 总线初始化流程图

### I<sup>2</sup>C 总线起始信号

起始信号只能由连接 I<sup>2</sup>C 总线的主机产生，而不是由从机产生。总线上的所有从机都可以侦测到起始信号。如果有从机侦测到起始信号，则表明 I<sup>2</sup>C 总线处于忙碌状态，并会置位 HBB。起始信号是指在 SCL 为高电平时，SDA 线上发生从高到低的电平变化。

### I<sup>2</sup>C 从机地址

I<sup>2</sup>C 总线上的所有从机都会侦测由主机发出的起始信号。发送起始信号后，紧接着主机会发送从机地址以选择要进行数据传输的从机。所有在 I<sup>2</sup>C 总线上的从

机接收到 7 位地址数据后，都会将其与各自内部的地址进行比较。如果从机从主机上接收到的地址与自身内部的地址相匹配，则会产生一个 I<sup>2</sup>C 总线中断信号。地址位接下来的一位为读 / 写状态位 ( 即第 8 位 )，将被保存到 SIMC1 寄存器的 SRW 位，随后发出一个低电平应答信号 ( 即第 9 位 )。当单片机从机的地址匹配时，会将状态标志位 HAAS 置位。

I<sup>2</sup>C 总线有三个中断源，当程序运行至中断服务子程序时，通过检测 HAAS 位和 SIMTOF 位，以判断 I<sup>2</sup>C 总线中断是来自从机地址匹配，还是来自 8 位数据传递完毕，或是来自 I<sup>2</sup>C 总线超时。当是从机地址匹配发生中断时，则从机或是用于发送模式并将数据写进 SIMD 寄存器，或是用于接收模式并从 SIMD 寄存器中读取空值以释放 SCL 线。

### I<sup>2</sup>C 总线读 / 写信号

SIMC1 寄存器的 SRW 位用来表示主机是要从 I<sup>2</sup>C 总线上读取数据还是要将数据写到 I<sup>2</sup>C 总线上。从机则通过检测该位以确定自己是作为发送方还是接收方。当 SRW 置“1”，表示主机要从 I<sup>2</sup>C 总线上读取数据，从机则作为发送方，将数据写到 I<sup>2</sup>C 总线；当 SRW 清“0”，表示主机要写数据到 I<sup>2</sup>C 总线上，从机则做为接收方，从 I<sup>2</sup>C 总线上读取数据。

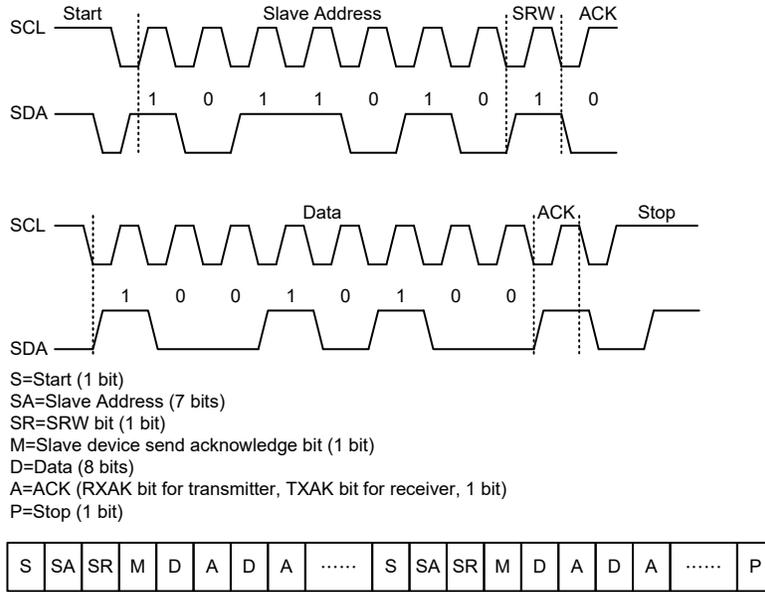
### I<sup>2</sup>C 总线从机地址应答信号

主机发送呼叫地址后，当 I<sup>2</sup>C 总线上的任何从机内部地址与其匹配时，会发送一个应答信号。此应答信号会通知主机有从机已经接收到了呼叫地址。如果主机没有收到应答信号，则主机必须发送停止 (STOP) 信号以结束通信。当 HAAS 为高时，表示从机接收到的地址与自己内部地址匹配，则从机需检查 SRW 位，以确定自己是作为发送方还是作为接收方。如果 SRW 位为高，从机须设置成发送方，这样会置位 SIMC1 寄存器的 HTX 位。如果 SRW 位为低，从机须设置成接收方，这样会清零 SIMC1 寄存器的 HTX 位。

### I<sup>2</sup>C 总线数据和应答信号

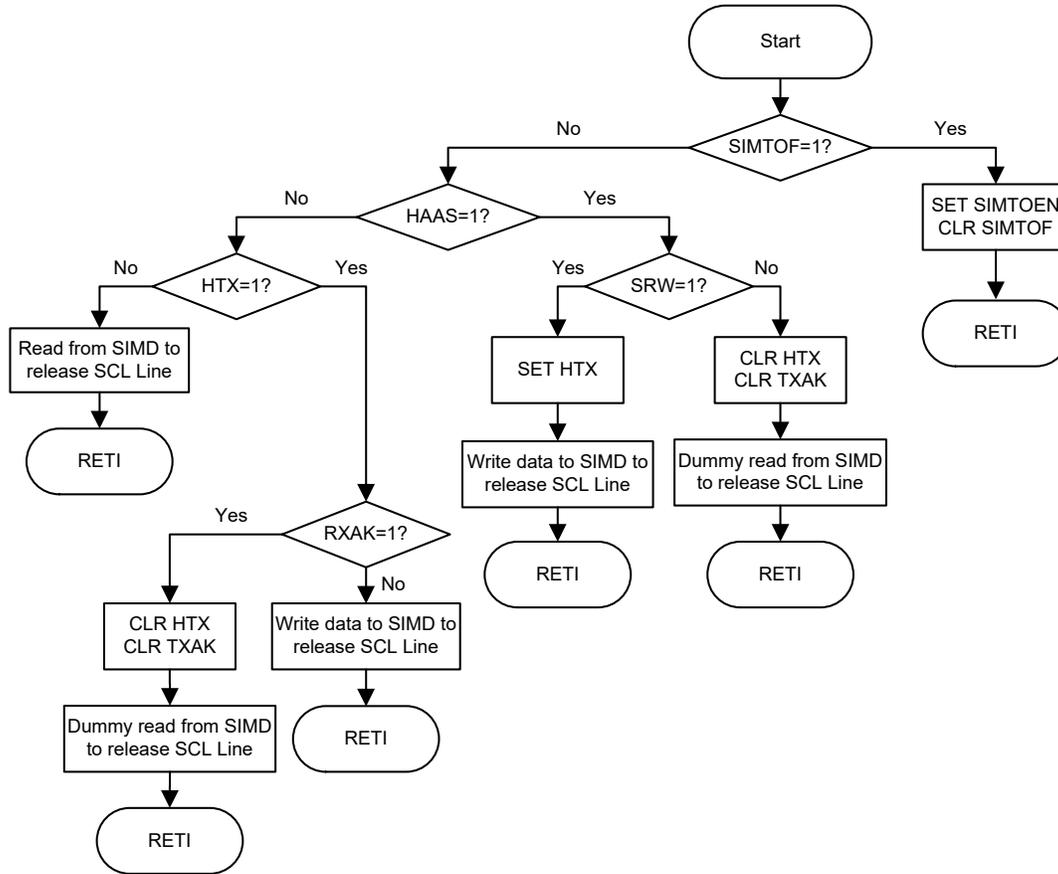
在从机确认接收到从机地址后，会进行 8 位宽度的数据传输。这个数据传输顺序是的高位在前，低位在后。接收方在接收到 8 位数据后必须发出一个应答信号 (“0”) 以继续接收下一个数据。如果发送方没接收到应答信号，发送方将释放 SDA 线，同时，主机将发出 STOP 信号以释放 I<sup>2</sup>C 总线。所传送的数据存储在 SIMD 寄存器中。如果设置成发送方，从机必须先将欲传输的数据写到 SIMD 寄存器中；如果设置成接收方，从机必须从 SIMD 寄存器读取数据。

当从机接收器想要继续接收下一个数据时，必须在第 9 个时钟发出应答信号 (TXAK)。被设为发送方的从机将检测寄存器 SIMC1 中的 RXAK 位以判断是否传输下一个字节的数据，如果从机不传输下一个字节，那么它将释放 SDA 线并等待接收主机的停止信号。



I<sup>2</sup>C 通信时序图

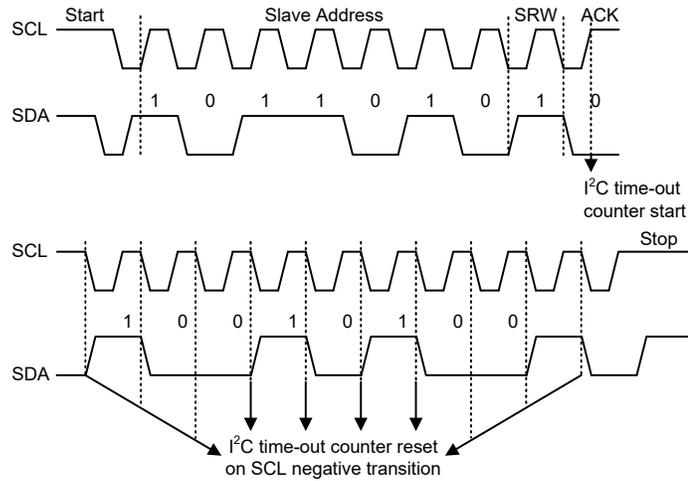
注：当从机地址匹配时，单片机必须选择设置为发送模式还是接收模式。若设置为发送模式，需写数据至 SIMD 寄存器；若设置为接收模式，需立即从 SIMD 寄存器中虚读数据以释放 SCL 线。



I<sup>2</sup>C 总线 ISR 流程图

### I<sup>2</sup>C 超时控制

超时功能可减少 I<sup>2</sup>C 接收错误的时钟源而引起的锁死问题。如果连接到 I<sup>2</sup>C 总线的时钟源经过一段时间还未接收到，则在一定的超时周期后，I<sup>2</sup>C 电路和寄存器将复位。超时计数器在 I<sup>2</sup>C 总线“START”和“地址匹配”条件下开始计数，且在 SCL 下降沿清零。在下一个 SCL 下降沿到来之前，如果超时时间大于 SIMTOC 寄存器指定的超时周期，则超时发生。I<sup>2</sup>C “STOP”条件发生时超时功能终止。



I<sup>2</sup>C 超时时序图

当 I<sup>2</sup>C 超时计数器溢出时，计数器将停止计数，SIMTOEN 位被清零，且 SIMTOF 位被置高以表明超时计数器中断发生。超时计数器中断使用的也是 I<sup>2</sup>C 中断向量。当 I<sup>2</sup>C 超时发生时，I<sup>2</sup>C 内部电路会被复位，寄存器也将发生如下复位情况。

寄存器	I <sup>2</sup> C 超时发生后
SIMD, SIMA, SIMC0	保持不变
SIMC1	复位至 POR

超时发生后的 I<sup>2</sup>C 寄存器

SIMTOF 标志位由应用程序清零。共有 64 个超时周期，可通过 SIMTOC 寄存器的 SIMTOS 位进行选择。超时周期可通过公式计算： $((1\sim 64)\times(32/f_{SUB}))$ 。由此可得超时周期范围为 1ms~64ms。

#### • SIMTOC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SIMTOEN	SIMTOF	SIMTOS5	SIMTOS4	SIMTOS3	SIMTOS2	SIMTOS1	SIMTOS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 **SIMTOEN**: SIM I<sup>2</sup>C 超时功能控制位

- 0: 除能
- 1: 使能

Bit 6 **SIMTOF**: SIM I<sup>2</sup>C 超时标志位

- 0: 未发生
- 1: 发生

当超时发生时，此位设置为 1，并且只能通过应用程序将其清除为零。

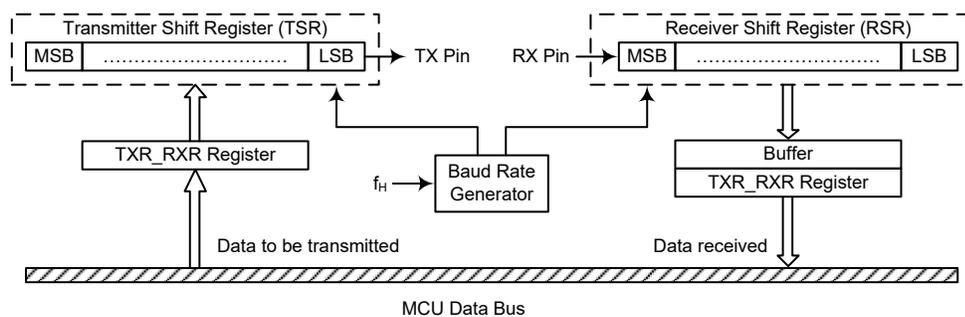
Bit 5~0 **SIMTOS5~SIMTOS0:** SIM I<sup>2</sup>C 超时时间选择位  
I<sup>2</sup>C 超时时钟源是  $f_{SUB}/32$   
I<sup>2</sup>C 超时时间计算方法:  $(SIMTOS[5:0]+1) \times (32/f_{SUB})$

## UART 接口

该单片机具有一个全双工的异步串行通信接口，可以很方便的与其它具有串行接口的芯片通信。UART 具有许多功能特性，发送或接收串行数据时，将数据组成一个 8 位或 9 位的数据块，连同数据特征位一并传输。具有检测数据覆盖或帧错误等功能。UART 功能占用一个内部中断向量，当接收到数据或数据发送结束，触发 UART 中断。

内置的 UART 功能包含以下特性：

- 全双工通用异步接收器 / 发送器
- 8 位或 9 位传输格式
- 奇校验、偶校验或无校验
- 1 位或 2 位停止位
- 8 位预分频的波特率发生器
- 奇偶、帧、噪声和溢出检测
- 支持地址匹配中断 ( 最后一位 = 1 )
- 独立的发送和接收使能
- 2-byte FIFO 接收缓冲器
- RX 引脚唤醒功能
- 发送和接收中断
- 中断可由下列条件触发：
  - ◆ 发送器为空
  - ◆ 发送器空闲
  - ◆ 接收完成
  - ◆ 接收器溢出
  - ◆ 地址匹配



UART 数据传输方框图

## UART 外部引脚

内部 UART 有两个外部引脚 TX 和 RX，可与外部串行接口进行通信。TX 和 RX 分别为 UART 发送脚和接收脚，与 I/O 口或其它功能共用引脚。在使能 UART 功能之前，需先通过相应的引脚共用功能选择寄存器，选择 TX 和 RX

引脚。当 UARTEN、TXEN 和 RXEN 位置高时，将自动设置这些引脚作为 TX 输出和 RX 输入，并且除能 TX 和 RX 引脚上的上拉电阻功能。当 UARTEN、TXEN 或 RXEN 位清零除能 TX 或 RX 引脚功能后，TX 或 RX 引脚将处于浮空状态。这时 TX 或 RX 引脚是否连接内部上拉电阻可由相应的 I/O 上拉电阻控制位决定。

## UART 数据传输方案

前面方框图显示了 UART 的整体结构。需要发送的数据首先通过应用程序写入 TXR\_RXR 寄存器，接着此数据被传输到发送移位寄存器 TSR 中，然后在波特率发生器的控制下将 TSR 寄存器中数据一位位地移到 TX 引脚上，低位在前。TXR\_RXR 寄存器被映射到单片机的数据存储器中，而发送移位寄存器没有实际地址，所以发送移位寄存器不可直接操作。

数据在波特率发生器的控制下，低位在前高位在后，从外部引脚 RX 进入接收移位寄存器 RSR。当数据接收完成，数据从接收移位寄存器移入可被用户程序操作的 TXR\_RXR 寄存器中。TXR\_RXR 寄存器被映射到单片机数据存储器中，而接收移位寄存器没有实际地址，所以接收移位寄存器不可直接操作。

需要注意的是，发送和接收都是共用同一个数据存储器地址的数据寄存器，即 TXR\_RXR 寄存器。

## UART 状态和控制寄存器

与 UART 功能相关的有五个寄存器，即控制 UART 模块整体功能的 USR、UCR1 和 UCR2 寄存器，控制波特率的 BRG 寄存器，管理发送和接收数据的数据寄存器 TXR\_RXR。

寄存器名称	位							
	7	6	5	4	3	2	1	0
USR	PERR	NF	FERR	OERR	RIDLE	RXIF	TIDLE	TXIF
UCR1	UARTEN	BNO	PREN	PRT	STOPS	TXBRK	RX8	TX8
UCR2	TXEN	RXEN	BRGH	ADDEN	WAKE	RIE	THIE	TEIE
TXR_RXR	TXRX7	TXRX6	TXRX5	TXRX4	TXRX3	TXRX2	TXRX1	TXRX0
BRG	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0

UART 寄存器列表

### • USR 寄存器

寄存器 USR 是 UART 的状态寄存器，可以通过程序读取。所有 USR 位是只读的。详细解释如下：

Bit	7	6	5	4	3	2	1	0
Name	PERR	NF	FERR	OERR	RIDLE	RXIF	TIDLE	TXIF
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	1	0	1	1

Bit 7 **PERR**: 奇偶校验出错标志位

0: 奇偶校验正确

1: 奇偶校验出错

PERR 是奇偶校验出错标志位。若 PERR=0，奇偶校验正确；若 PERR=1，接收到的数据奇偶校验出错。只有使能了奇偶校验此位才有效。可使用软件清除该标志位，即先读取 USR 寄存器再读 TXR\_RXR 寄存器来清除此位。

Bit 6	<p><b>NF:</b> 噪声干扰标志位 0: 没有受到噪声干扰 1: 受到噪声干扰</p> <p>NF 是噪声干扰标志位。若 NF=0, 没有受到噪声干扰; 若 NF=1, UART 接收数据时受到噪声干扰。它与 RXIF 在同周期内置位, 但不会与溢出标志位同时置位。可使用软件清除该标志位, 即先读取 USR 寄存器再读 TXR_RXR 寄存器将清除此标志位。</p>
Bit 5	<p><b>FERR:</b> 帧错误标志位 0: 无帧错误发生 1: 有帧错误发生</p> <p>FREE 是帧错误标志位。若 FREE=0, 没有帧错误发生; 若 FREE=1, 当前的数据发生了帧错误。可使用软件清除该标志位, 即先读取 USR 寄存器再读 TXR_RXR 寄存器来清除此位。</p>
Bit 4	<p><b>OERR:</b> 溢出错误标志位 0: 无溢出错误发生 1: 有溢出错误发生</p> <p>OERR 是溢出错误标志位, 表示接收缓冲器是否溢出。若 OERR=0, 没有溢出错误; 若 OERR=1, 发生了溢出错误, 它将影响下一组数据的接收。可通过软件清除该标志位, 即先读取 USR 寄存器再读 TXR_RXR 寄存器将清除此标志位。</p>
Bit 3	<p><b>RIDLE:</b> 接收状态标志位 0: 正在接收数据 1: 接收器空闲</p> <p>RIDLE 是接收状态标志位。若 RIDLE=0, 正在接收数据; 若 RIDLE=1, 接收器空闲。在接收到停止位和下一个数据的起始位之间, RIDLE 被置位, 表明 UART 空闲, RX 脚处于逻辑高状态。</p>
Bit 2	<p><b>RXIF:</b> 接收寄存器状态标志位 0: TXR_RXR 寄存器为空 1: TXR_RXR 寄存器含有有效数据</p> <p>RXIF 是接收寄存器状态标志位。当 RXIF=0, TXR_RXR 寄存器为空; 当 RXIF=1, TXR_RXR 寄存器接收到新数据。当数据从移位寄存器加载到 TXR_RXR 寄存器中, 如果 UCR2 寄存器中的 RIE=1, 则会触发中断。当接收数据时检测到一个或多个错误时, 相应的标志位 NF、FERR 或 PERR 会在同一周期内置位。读取 USR 寄存器再读 TXR_RXR 寄存器, 如果 TXR_RXR 寄存器中没有新的数据, 那么将清除 RXIF 标志。</p>
Bit 1	<p><b>TIDLE:</b> 数据发送完成标志位 0: 数据传输中 1: 无数据传输</p> <p>TIDLE 是数据发送完成标志位。若 TIDLE=0, 数据传输中。当 TXIF=1 且数据发送完毕或者暂停字被发送时, TIDLE 置位。TIDLE=1, TX 引脚空闲且处于逻辑高状态。读取 USR 寄存器再写 TXR_RXR 寄存器将清除 TIDLE 位。数据字符或暂停字就绪时, 不会产生该标志位。</p>
Bit 0	<p><b>TXIF:</b> 发送数据寄存器 TXR_RXR 状态位 0: 数据还没有从缓冲器加载到移位寄存器中 1: 数据已从缓冲器加载到移位寄存器中 (TXR_RXR 数据寄存器为空)</p> <p>TXIF 是发送数据寄存器为空标志位。若 TXIF=0, 数据还没有从缓冲器加载到移位寄存器中; 若 TXIF=1, 数据已从缓冲器中加载到移位寄存器中。读取 USR 寄存器再写 TXR_RXR 寄存器将清除 TXIF。当 TXEN 被置位, 由于发送缓冲器未满, TXIF 也会被置位。</p>

● UCR1 寄存器

UCR1 和 UCR2 是 UART 的两个控制寄存器，用来定义各种 UART 功能，例如 UART 的使能与除能、奇偶校验控制和传输数据的长度等等。详细解释如下：

Bit	7	6	5	4	3	2	1	0
Name	UARTEN	BNO	PREN	PRT	STOPS	TXBRK	RX8	TX8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	W
POR	0	0	0	0	0	0	x	0

“x”：未知

- Bit 7     **UARTEN**: UART 功能使能位  
 0: UART 除能, TX 和 RX 脚处于浮空状态  
 1: UART 使能, TX 和 RX 脚作为 UART 功能引脚  
 此位为 UART 的使能位。UARTEN=0, UART 除能, RX 和 TX 处于浮空状态; UARTEN=1, UART 使能, TX 和 RX 将分别由 TXEN 和 RXEN 控制。当 UART 被除能将清除缓冲器, 所有缓冲器中的数据将被忽略, 另外波特率计数器、错误和状态标志位被复位, TXEN、RXEN、TXBRK、RXIF、OERR、FERR、PERR 和 NF 清零而 TIDLE、TXIF 和 RIDLE 置位, UCR1、UCR2 和 BRG 寄存器中的其它位保持不变。若 UART 工作时 UARTEN 清零, 所有发送和接收将停止, 模块也将复位成上述状态。当 UART 再次使能时, 它将在上次配置下重新工作。
- Bit 6     **BNO**: 发送数据位数选择位  
 0: 8-bit 传输数据  
 1: 9-bit 传输数据  
 BNO 是发送数据位数选择位。BNO=1, 传输数据为 9 位; BNO=0, 传输数据为 8 位。若选择了 9 位数据传输格式, RX8 和 TX8 将分别存储接收和发送数据的第 9 位。
- Bit 5     **PREN**: 奇偶校验使能位  
 0: 奇偶校验除能  
 1: 奇偶校验使能  
 此位为奇偶校验使能位。PREN=1, 使能奇偶校验; PREN=0, 除能奇偶校验。
- Bit 4     **PRT**: 奇偶校验选择位  
 0: 偶校验  
 1: 奇校验  
 奇偶校验选择位。PRT=1, 奇校验; PRT=0, 偶校验。
- Bit 3     **STOPS**: 停止位的长度选择位  
 0: 有一位停止位  
 1: 有两位停止位  
 此位用来设置停止位的长度。STOP=1, 有两位停止位; STOP=0, 只有一位停止位。
- Bit 2     **TXBRK**: 暂停字发送控制位  
 0: 没有暂停字要发送  
 1: 发送暂停字  
 TXBRK 是暂停字发送控制位。TXBRK=0, 没有暂停字要发送, TX 引脚正常操作; TXBRK=1, 将会发送暂停字, 发送器将发送逻辑“0”。若 TXBRK 为高, 缓冲器中数据发送完毕后, 发送器将至少保持 13 位宽的低电平直至 TXBRK 复位。
- Bit 1     **RX8**: 接收 9-bit 数据传输格式中的第 9 位 (只读)  
 此位只有在传输数据为 9 位的格式中有效, 用来存储接收数据的第 9 位。BNO 是用来控制传输位数是 8 位还是 9 位。
- Bit 0     **TX8**: 发送 9-bit 数据传输格式中的第 9 位 (只写)  
 此位只有在传输数据为 9 位的格式中有效, 用来存储发送数据的第 9 位。BNO 是用来控制传输位数是 8 位还是 9 位。

● UCR2 寄存器

UCR2 是 UART 的第二个控制寄存器，它的主要功能是控制发送器、接收器以及各种 UART 中断源的使能或除能。它也可用来控制波特率，使能接收唤醒和地址侦测。详细解释如下：

Bit	7	6	5	4	3	2	1	0
Name	TXEN	RXEN	BRGH	ADDEN	WAKE	RIE	TIIE	TEIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 TXEN:** UART 发送使能位  
 0: UART 发送除能  
 1: UART 发送使能  
 此位为发送使能位。TXEN=0，发送将被除能，发送器立刻停止工作。另外缓冲器将被复位，此时 TX 引脚将处于浮空状态。若 TXEN=1 且 UARTEN=1，则发送将被使能，TX 引脚将由 UART 来控制。在数据传输时清除 TXEN 将中止数据发送且复位发送器，此时 TX 引脚将处于浮空状态。
- Bit 6 RXEN:** UART 接收使能位  
 0: UART 接收除能  
 1: UART 接收使能  
 此位为接收使能位。RXEN=0，接收将被除能，接收器立刻停止工作。另外缓冲器将被复位，此时 RX 引脚将处于浮空状态。若 RXEN=1 且 UARTEN=1，则接收将被使能，RX 引脚将由 UART 来控制。在数据传输时清除 RXEN 将中止数据接收且复位接收器，此时 RX 引脚将处于浮空状态。
- Bit 5 BRGH:** 波特率发生器高低速选择位  
 0: 低速波特率  
 1: 高速波特率  
 此位为波特率发生器高低速选择位，它和 BRG 寄存器一起控制 UART 的波特率。BRGH=1，为高速模式；BRGH=0，为低速模式。
- Bit 4 ADDEN:** 地址检测使能位  
 0: 地址检测除能  
 1: 地址检测使能  
 此位为地址检测使能和除能位。ADDEN=1，地址检测使能，此时数据的第 8 位 (BNO=0) 或第 9 位 (BNO=1) 为高，那么接到的是地址而非数据。若相应的中断使能且接收到的值最高位为 1，那么中断请求标志将会被置位，若地址检测功能使能且最高位为 0，那么将不会产生中断且收到的数据也会被忽略。
- Bit 3 WAKE:** RX 脚下降沿唤醒 UART 功能使能位  
 0: RX 脚下降沿唤醒 UART 功能除能  
 1: RX 脚下降沿唤醒 UART 功能使能  
 此位用于控制 RX 引脚下降沿时是否唤醒 UART 功能。此位仅当 UART 时钟源  $f_{H}$  关闭时有效。若 UART 时钟源  $f_{H}$  还开启，则无 RX 引脚唤醒 UART 功能无效。若此位置高且 UART 时钟  $f_{H}$  关闭，当 RX 引脚发生下降沿时会产生 UART 唤醒请求。若相应的中断使能，将产生 RX 引脚唤醒 UART 的中断，以告知单片机使其通过应用程序开启 UART 时钟源  $f_{H}$ ，从而唤醒 UART 功能。否则，若此位为低，即使 RX 引脚发生下降沿也无法恢复 UART 功能。
- Bit 2 RIE:** 接收中断使能位  
 0: 接收中断除能  
 1: 接收中断使能  
 此位为接收中断使能或除能位。若 RIE=1，当 OERR 或 RXIF 置位时，UART 的中断请求标志置位；若 RIE=0，UART 中断请求标志不受 OERR 和 RXIF 影响。
- Bit 1 TIIE:** 发送器空闲中断使能位  
 0: 发送器空闲中断除能  
 1: 发送器空闲中断使能

此位为发送器空闲中断的使能或除能位。若 TIIE=1，当 TIDLE 置位时，UART 的中断请求标志置位；若 TIIE=0，UART 中断请求标志不受 TIDLE 的影响。

Bit 0 **TEIE**: 发送寄存器为空中断使能位  
0: 发送寄存器为空中断除能  
1: 发送寄存器为空中断使能

此位为发送寄存器为空中断的使能或除能位。若 TEIE=1，当 TXIF 置位时，UART 的中断请求标志置位；若 TEIE=0，UART 中断请求标志不受 TXIF 的影响。

### • TXR\_RXR 寄存器

TXR\_RXR 是一个数据寄存器，用来存储 TX 引脚将要发送或 RX 引脚正在接收的数据。

Bit	7	6	5	4	3	2	1	0
Name	TXRX7	TXRX6	TXRX5	TXRX4	TXRX3	TXRX2	TXRX1	TXRX0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 **TXRX7~TXRX0**: UART 发送 / 接收数据位

### • BRG 寄存器

Bit	7	6	5	4	3	2	1	0
Name	BRG7	BRG6	BRG5	BRG4	BRG3	BRG2	BRG1	BRG0
R/W								
POR	x	x	x	x	x	x	x	x

“x”：未知

Bit 7~0 **BRG7~BRG0**: 波特率值

软件设置 BRGH 位 (设置波特率发生器的速度) 和 BRG 寄存器 (设置波特率的值)，一起控制 UART 的波特率。

注：若 BRGH=0，波特率 =  $f_{in}/[64 \times (N+1)]$ ;

若 BRGH=1，波特率 =  $f_{in}/[16 \times (N+1)]$ 。

## 波特率发生器

UART 自身具有一个波特率发生器，通过它可以设定数据传输速率。波特率是由一个独立的内部 8 位计数器产生，它由 BRG 寄存器和 UCR2 寄存器的 BRGH 位来控制。BRGH 是决定波特率发生器处于高速模式还是低速模式，从而决定计算公式的选用。BRG 寄存器的值 N 可根据下表中的公式计算，N 的范围是 0 到 255。

UCR2 的 BRGH 位	0	1
波特率 (BR)	$f_{in}/[64 \times (N+1)]$	$f_{in}/[16 \times (N+1)]$

为得到相应的波特率，首先需要设置 BRGH 来选择相应的计算公式从而算出 BRG 的值。由于 BRG 的值不连续，所以实际波特率和理论值之间有一个偏差。

下面举例怎样计算 BRG 寄存器中的值 N 和误差。

### 波特率和误差的计算

若选用 4MHz 时钟频率且 BRGH=0，若期望的波特率为 4800，计算它的 BRG 寄存器的值 N，实际波特率和误差。

根据上表，波特率  $BR = f_{in}/[64(N+1)]$

转换后的公式  $N = \lceil f_H / (BR \times 64) \rceil - 1$

带入参数  $N = \lceil 4000000 / (4800 \times 64) \rceil - 1 = 12.0208$

取最接近的值，十进制 12 写入 BRG 寄存器，实际波特率如下

$BR = 4000000 / [64 \times (12 + 1)] = 4808$

因此，误差 =  $(4808 - 4800) / 4800 = 0.16\%$

## UART 模块的设置与控制

UART 采用标准的不归零码传输数据，这种方法通常被称为 NRZ 法。它由 1 位起始位，8 位或 9 位数据位和 1 位或者两位停止位组成。奇偶校验是由硬件自动完成的，可设置成奇校验、偶校验和无校验三种格式。常用的数据传输格式由 8 位数据位，1 位停止位，无校验组成，用 8、N、1 表示，它是系统上电的默认格式。数据位数、停止位数和奇偶校验由 UCR1 寄存器的 BNO、PRT、PREN 和 STOPS 设定。用于数据发送和接收的波特率由一个内部的 8 位波特率发送器产生，数据传输时低位在前高位在后。尽管 UART 发送器和接收器在功能上相互独立，但它们使用相同的数据传输格式和波特率，在任何情况下，停止位是必须的。

### UART 的使能和除能

UART 是由 UCR1 寄存器的 UARTEN 位来使能和除能的。若 UARTEN、TXEN 和 RXEN 都为高，则 TX 和 RX 分别为 UART 的发送端口和接收端口。若没有数据发送，TX 引脚默认状态为高电平。

UARTEN 清零将除能 TX 和 RX，通过设置相关引脚共用控制位，这两个引脚可用作普通 I/O 口或其它引脚共用功能。当 UART 被除能时将清空缓冲器，所有缓冲器中的数据将被忽略，另外一些使能控制、错误标志和状态标志将被复位，如 TXEN、RXEN、TXBRK、RXIF、OERR、FERR、PERR 和 NF 清零，而 TIDLE、TXIF 和 RIDLE 置位，UCR1、UCR2 和 BRG 寄存器中的其它位保持不变。若 UART 工作时 UARTEN 清零，所有发送和接收将停止，模块也将复位成上述状态。当 UART 再次使能时，它将在上次配置下重新工作。

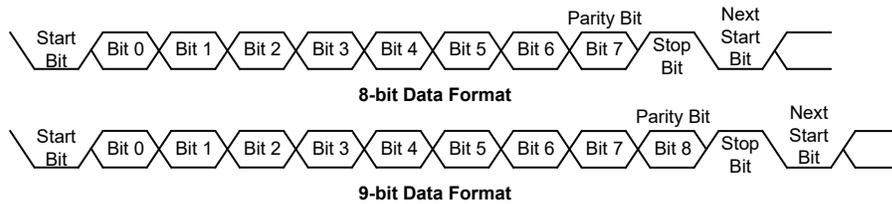
### 数据位、停止位位数以及奇偶校验的选择

数据传输格式由数据长度、是否校验、校验类型、地址位以及停止位长度组成。它们都是由 UCR1 寄存器的各个位控制的。BNO 决定数据传输是 8 位还是 9 位；PRT 决定校验类型；PREN 决定是否选择奇偶校验；而 STOPS 决定选用 1 位还是 2 位停止位。下表列出了各种数据传输格式。若地址检测功能使能，地址位，即数据字节的最高位，用来确定此帧是地址还是数据。停止位的长度和数据位的长度无关，且只有发送器需设置停止位长度。接收器只接收一个停止位。

起始位	数据位	地址位	校验位	停止位
<b>8 位数据位</b>				
1	8	0	0	1
1	7	0	1	1
1	7	1	0	1
<b>9 位数据位</b>				
1	9	0	0	1
1	8	0	1	1
1	8	1	0	1

发送和接收数据格式

下图是传输 8 位和 9 位数据的波形。



## UART 发送器

UCR1 寄存器的 BNO 位是控制数据传输的长度。BNO=1 其长度为 9 位，第 9 位 MSB 存储在 UCR1 寄存器的 TX8 中。发送器的核心是发送移位寄存器 TSR，它的数据由发送寄存器 TXR\_RXR 提供，应用程序只须将发送数据写入 TXR\_RXR 寄存器。上组数据的停止位发出前，TSR 寄存器禁止写入。如果还有新的数据要发送，一旦停止位发出，待发数据将会从 TXR\_RXR 寄存器加载到 TSR 寄存器。TSR 不像其它寄存器一样映射到数据存储，所以应用程序不能对其进行读写操作。TXEN=1，发送使能，但若 TXR\_RXR 寄存器没有数据或者波特率没有设置，发送器将不会工作。先写 TXR\_RXR 寄存器再置高 TXEN 也会触发发送。当发送器使能，若 TSR 寄存器为空，数据写入 TXR\_RXR 寄存器将会直接加载到 TSR 寄存器中。发送器工作时，TXEN 清零，发送器将立刻停止工作并且复位，此时通过设置相关引脚共用控制位，TX 引脚用作普通 I/O 口或其它引脚共用功能。

### 发送数据

当 UART 发送数据时，数据从移位寄存器中移到 TX 引脚上，其低位在前高位在后。在发送模式中，TXR\_RXR 寄存器在内部总线和发送移位寄存器间形成一个缓冲。如果选择 9 位数据传输格式，最高位 MSB 取自 UCR1 寄存器的 TX8。

发送器启动可由如下步骤完成：

- 正确地设置 BNO、PRT、PREN 和 STOPS 位以确定数据长度、校验类型和停止位长度。
- 设置 BRG 寄存器，选择期望的波特率。
- 置高 TXEN，使能 UART 发送器且使 TX 作为 UART 的发送端。
- 读取 USR 寄存器，然后将待发数据写入 TXR\_RXR 寄存器。注意，此步骤会清除 TXIF 标志位。

如果要发送多个数据只需重复上一步骤。

当 TXIF=0 时，数据将禁止写入 TXR\_RXR 寄存器。可以通过以下步骤来清除 TXIF：

1. 读取 USR 寄存器
2. 写 TXR\_RXR 寄存器

只读标志位 TXIF 由 UART 硬件置位。若 TXIF=1，TXR\_RXR 寄存器为空，其它数据可以写入而不会覆盖之前的数据。若 TEIE=1，TXIF 标志位会产生中断。在数据传输时，写 TXR\_RXR 指令会将待发数据暂存在 TXR\_RXR 寄存器中，当前数据发送完毕后，待发数据被加载到发送移位寄存器中。当发送器空闲时，写 TXR\_RXR 指令会将数据直接加载到 TSR 寄存器中，数据传输立刻开始且 TXIF 置位。当发送完停止位或暂停帧后，表示一帧数据已发送完毕，此时 TIDLE 位将被置位。

可以通过以下步骤来清除 TIDLE:

1. 读取 USR 寄存器
2. 写 TXR\_RXR 寄存器

注意, 清除 TXIF 和 TIDLE 软件执行次序相同。

### 发送暂停字

若 TXBRK=1 且此状态保持时间超过  $[(BRG+1) \times t_{th}]$ , 下一帧将会发送暂停字。它是由一个起始位、 $13 \times N$  ( $N=1, 2, \dots$ ) 位逻辑 0 组成。置位 TXBRK 将会发送暂停字, 而清除 TXBRK 将产生停止位, 传输暂停字不会产生中断。需要注意的是, 暂停字至少 13 位宽。若 TXBRK 持续为高, 那么发送器会一直发送暂停字; 当应用程序将 TXBRK 清零后, 发送器结束最后一帧暂停字的发送后接着发送一位或两位停止位。最后一帧暂停字的结尾自动为高电平, 以确保下一帧数据起始位的检测。

## UART 接收器

UART 接收器支持 8 位或者 9 位数据接收。若 BNO=1, 数据长度为 9 位, 而最高位 MSB 存放在 UCR1 寄存器的 RX8 中。接收器的核心是串行移位寄存器 RSR。RX 引脚上的数据送入数据恢复器中, 它在 16 倍波特率的频率下工作, 而串行移位器工作在正常波特率下。当在 RX 引脚上检测到停止位, 若 TXR\_RXR 寄存器为空, 数据从 RSR 寄存器中加载到 TXR\_RXR 寄存器。RX 引脚上的每一位数据会被采样三次以判断其逻辑状态。RSR 不像其它寄存器一样映射在数据存储器, 所以应用程序不能对其进行读写操作。

### 接收数据

当 UART 接收数据时, 数据低位在前高位在后, 连续地从 RX 引脚进入移位寄存器。TXR\_RXR 寄存器在内部总线和接收移位寄存器间形成一个缓冲。TXR\_RXR 寄存器是一个两层的 FIFO 缓冲器, 它能保存两帧数据的同时接收第三帧数据, 应用程序必须保证在接收完第三帧前读取 TXR\_RXR 寄存器, 否则忽略第三帧数据并且发生溢出错误。

接收器的初始化可由如下步骤完成:

- 正确地设置 BNO、PRT 和 PREN 位以确定数据长度和校验类型。
- 设置 BRG 寄存器, 选择期望的波特率。
- 置高 RXEN, 使能 UART 发送器且使 RX 作为 UART 的接收端。

此时接收器被使能并检测起始位。

接收数据将会发生如下事件:

- 当 TXR\_RXR 寄存器中包含有效数据时, USR 寄存器中的 RXIF 位将会置位, 溢出错误发生之前至多还有一帧数据可读。
- 若 RIE=1, 数据从 RSR 寄存器加载到 TXR\_RXR 寄存器中将产生中断。
- 若接收器检测到帧错误、噪声干扰错误、奇偶出错或溢出错误, 那么相应的错误标志位置位。

可以通过如下步骤来清除 RXIF:

1. 读取 USR 寄存器
2. 读取 TXR\_RXR 寄存器

### 接收暂停字

UART 接收任何暂停字都会当作帧错误处理。接收器只根据 BNO 位的设置外加一个停止位来确定一帧数据的长度。若暂停字数大于 BNO 位指定的长度外加一个停止位，接收器认为接收已结束，RXIF 和 FERR 置位，TXR\_RXR 寄存器清 0，若相应的中断允许且 RIDLE 为高将会产生中断。暂停字只会被认为包含信息 0 且会置位 FERR 标志位。如果检测到较长的暂停信号，接收器会将此信号视为包含一个起始位、数据位和无效的停止位的数据帧并且置位 FERR 标志位。在下个开始位到来之前，接收器必须等待一个有效的停止位。接收器不会假定线上的暂停信号是下一个开始位。暂停字将会加载到缓冲器中，在接收到停止位前不会再接收数据，需要注意的是，没有检测到停止位也会置位只读标志位 RIDLE。

UART 接收到暂停字会产生以下事件：

- 帧错误标志位 FERR 置位。
- TXR\_RXR 寄存器清零。
- OERR、NF、PERR、RIDLE 或 RXIF 可能会置位。

### 空闲状态

当 UART 接收数据时，即在起初位和停止位之间，USR 寄存器的接收状态标志位 RIDLE 清零。在停止位和下一帧数据的起始位之间，RIDLE 被置位，表示接收器空闲。

### 接收中断

USR 寄存器的只读标志位 RXIF 由接收器的边沿触发置位。若 RIE=1，数据从移位寄存器 RSR 加载到 TXR\_RXR 寄存器时产生中断，同样地，溢出也会产生中断。

### 接收错误处理

UART 会产生几种接收错误，下面部分将描述各错误以及怎样处理。

#### 溢出 – OERR 标志

TXR\_RXR 寄存器是一个两层的 FIFO 缓冲器，它能保存两帧数据的同时接收第三帧数据，应用程序必须保证在接收完第三帧前读取 TXR\_RXR 寄存器，否则发生溢出错误。

产生溢出错误时将会发生以下事件：

- USR 寄存器中 OERR 被置位。
- TXR\_RXR 寄存器中数据不会丢失。
- RSR 寄存器数据将会被覆盖。
- 若 RIE=1，将会产生中断。

先读取 USR 寄存器再读取 TXR\_RXR 寄存器可将 OERR 清零。

### 噪声干扰 – NF 标志

数据恢复时多次采样可以有效的鉴别出噪声干扰。当检测到数据受到噪声干扰时将会发生以下事件：

- 在 RXIF 上升沿，USR 寄存器中只读标志位 NF 置位。
- 数据从 RSR 寄存器加载到 TXR\_RXR 寄存器中。
- 不产生中断，但此位置位发生在 RXIF 置位产生中断的同周期内。

先读取 USR 寄存器再读取 TXR\_RXR 寄存器可将 NF 清零。

### 帧错误 – FERR 标志

若在停止位上检测到 0，USR 寄存器中只读标志 FERR 置位。若选择两位停止位，此两位都必须为高，否则将置位 FERR。此标志位同接收的数据分别记录在 USR 寄存器和 TXR\_RXR 寄存器中，此标志位可被任何复位清零。

### 奇偶校验错误 – PERR 标志

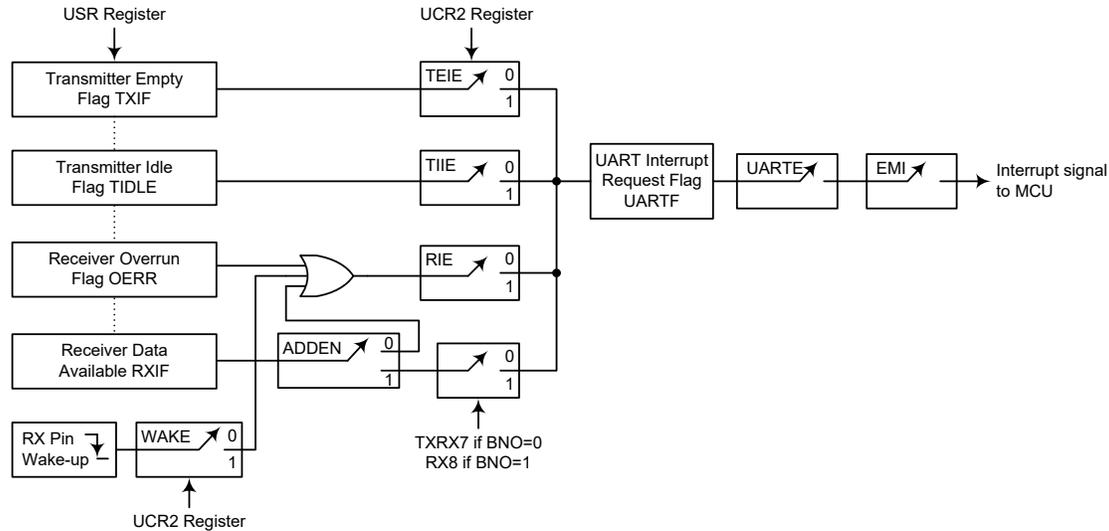
若接收到数据出现奇偶校验错误，USR 寄存器中只读标志 PERR 置位。只有使能了奇偶校验，选择了校验类型，此标志位才有效。此标志位同接收的数据分别记录在 USR 寄存器和 TXR\_RXR 寄存器中，此标志位可被任何复位清零。注意，在读取相应的数据之前必须先访问 USR 寄存器中的 FERR 和 PERR 错误标志位。

## UART 模块中断结构

几个独立的 UART 条件可以产生一个 UART 中断。当条件满足时，会产生一个低脉冲信号。发送寄存器为空、发送器空闲、接收器数据有效、溢出和地址检测和 RX 引脚唤醒都会产生中断。若总中断使能、UART 中断允许且堆栈未满，程序将会跳转到相应的中断向量执行中断服务程序，而后再返回主程序。其中四种情况，若其 UCR2 寄存器中相应中断允许位被置位，则 USR 寄存器中对应中断标志位将产生 UART 中断。发送器相关的两个中断情况有各自对应的中断允许位，而接收器相关的两个中断情况共用一个中断允许位。这些允许位可用于禁止个别的 UART 模式中断源。

地址检测也是 UART 模式的中断源，它没有相应的标志位，若 UCR2 寄存器中 ADDEN=1，当检测到地址将会产生 UART 中断。RX 引脚唤醒也可以产生 UART 中断，它没有相应的标志位，当 UART 时钟源  $f_{clk}$  关闭且 UCR2 中的 WAKE 和 RIE 位被置位，RX 引脚上有下降沿时会产生 UART 中断。

注意，USR 寄存器标志位为只读状态，软件不能对其进行设置，和其它一些中断一样，在进入相应中断服务程序时也不能清除这些标志位。这些标志位仅在 UART 特定动作发生时才会自动被清除，详细解释见 UART 寄存器章节。整体 UART 中断的使能或除能可由中断控制寄存器中的 UART 中断使能控制位控制，其中断请求由 UART 模块决定。



UART 中断框图

### 地址检测模式

置位 UCR2 寄存器中的 ADDEN 将启动地址检测模式。若此位为“1”，可产生接收数据有效中断，其请求标志位为 RXIF。若 ADDEN 有效，只有在接收到数据最高位为 1 才会产生中断，中断允许位 UARTE 和 EMI 也要使能才会产生中断。地址的最高位为第 9 位 (BNO=1) 或第 8 位 (BNO=0)，若此位为高，则接收到的是地址而非数据。只有接收的数据的最后一位为高才会产生中断。若 ADDEN 除能，每接收到一个有效数据便会置位 RXIF，而不用考虑数据的最后一位。地址检测和奇偶校验在功能上相互排斥，若地址检测模式使能，为了确保操作正确，必须将奇偶校验使能位清零以除能奇偶校验。

ADDEN	9th Bit (BNO=1) 8th Bit (BNO=0)	产生 UART 中断
0	0	√
	1	√
1	0	×
	1	√

ADDEN 位功能

### UART 模块暂停和唤醒

UART 时钟  $f_{H}$  关闭后 UART 模块将停止运行。当传送数据时 UART 时钟  $f_{H}$  关闭，发送将停止直到 UART 模块时钟再次使能。同样地，当接收数据时单片机进入空闲或休眠模式，数据接收也会停止。当单片机进入空闲或休眠模式，USR、UCR1、UCR2、接收 / 发送寄存器以及 BRG 寄存器都不会受到影响。建议在单片机进入空闲或休眠模式前先确保数据发送或接收已完成。

UART 功能中包括了 RX 引脚的唤醒功能，由 UCR2 寄存器中 WAKE 位控制。当 UART 时钟  $f_{H}$  关闭时，若 WAKE 位与 UART 允许位 UARTE、接收器允许位 RXEN 和接收器中断允许位 RIE 都被置位，则 RX 引脚的下降沿可触发产生 RX 引脚唤醒 UART 的中断。唤醒后系统需延时一段时间才能正常工作，在此期间，RX 引脚上的任何数据将被忽略。

若要产生唤醒 UART 的中断，除了唤醒使能控制位和接收中断使能控制位需置位外，总中断使能位 EMI 和 UART 中断使能控制位 UARTE 也必须置位；若这两控制位没有被置位，那么，可发生唤醒事件但不会产生中断。唤醒后系统需一定的延时才能正常工作，然后才会产生 UART 中断。

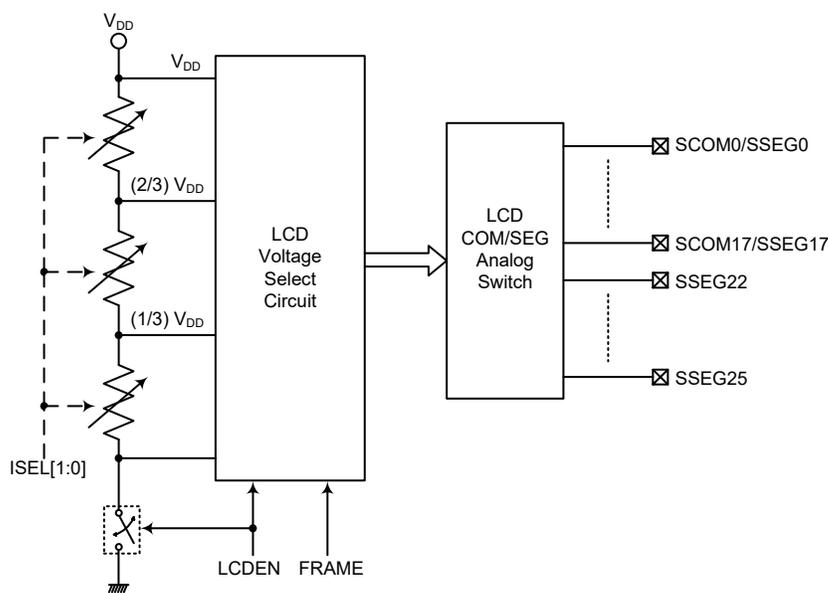
## 带 SCOM 和 SSEG 功能的 LCD

该单片机具有驱动外部 LCD 面板的能力。LCD 驱动的 SCOM0~SCOM17 脚和 SSEG0~SSEG17、SSEG22~SSEG25 脚与 I/O 口共用。LCD 信号 COM 和 SEG 由应用程序实现。

### LCD 操作

该单片机通过设置相关 I/O 引脚为 COM 引脚和 SEG 引脚，以驱动外部 LCD 面板。LCD 驱动功能是由几个 LCD 控制寄存器一起控制的，另外，这些寄存器还可设置 LCD 的开启和关闭以及 SCOM 和 SSEG 引脚的偏压值等功能，使得 LCD 驱动器 COM 和 SEG 引脚输出  $V_{SS}$ 、 $(1/3)V_{DD}$ 、 $(2/3)V_{DD}$  和  $V_{DD}$  的电压，从而实现 1/3 bias LCD 的显示。

SLCDC0 寄存器中的 LCDEN 位是 LCD 驱动的主控制位，它与相关的引脚共用功能选择位共同选择哪些输入 / 输出引脚用于 LCD 驱动。需注意的是，输入 / 输出端口控制寄存器不需要设置为输出以使能 LCD 驱动操作。



软件控制 LCD 驱动器结构

### LCD Frames

一个完整的 LCD 波形周期包含两个 Frame，即 Frame 0 和 Frame 1。下面将做出详细解释：

#### Frame 0

当要输出 Frame 0 的波形，需将 SLCDC0 寄存器中的 FRAME 位设为 0。

在 Frame 0，COM 信号输出可以是  $V_{DD}$ ，或是  $V_{BIAS}=(1/3)\times V_{DD}$ 。SEG 信号输出可以是  $V_{SS}$ ，或是  $V_{BIAS}=(2/3)\times V_{DD}$ 。

### Frame 1

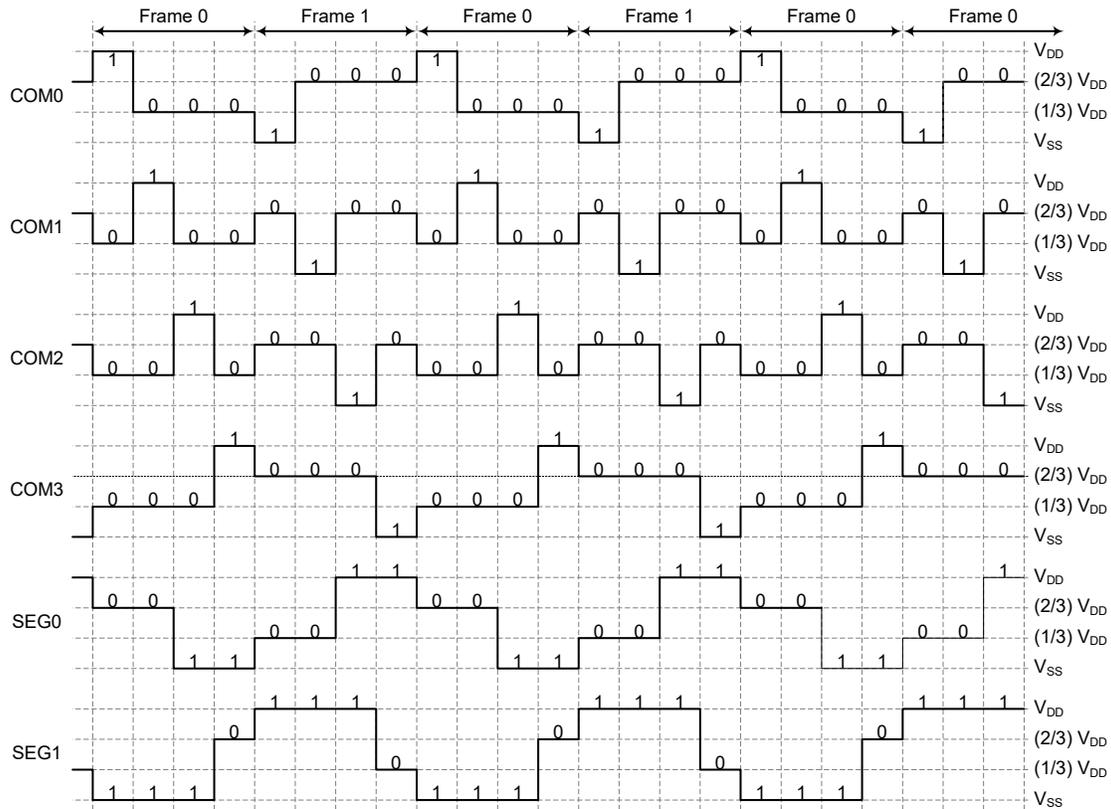
当要输出 Frame 1 的波形，需将 SLCDC0 寄存器中的 FRAME 位设为 1。

在 Frame 1，COM 信号输出可以是  $V_{SS}$ ，或是  $V_{BIAS}=(2/3)\times V_{DD}$ 。SEG 信号输出可以是  $V_{DD}$ ，或是  $V_{BIAS}=(1/3)\times V_{DD}$ 。

SCOMm 的波形，由应用程序设定 SLCDC0 寄存器中的 FRAME 位控制，及相应的 I/O 共用引脚数据位决定 SCOMm 引脚目前输出是  $V_{DD}$ ， $V_{SS}$  或  $V_{BIAS}$ 。

SSEgn 的波形，由应用程序设定 FRAME 位控制，及相应的 I/O 共用引脚数据位决定 SSEgn 引脚目前输出是  $V_{DD}$ ， $V_{SS}$  或  $V_{BIAS}$ 。

典型的 1/3 bias LCD 波形由应用程序以及 LCD 电压选择电路产生，波形图如下。请注意，图中“1”代表点亮 LCD 像素。SCOM0~SCOM17 引脚的 COM 信号极性为“0”或“1”，由相应的 I/O 共用引脚数据位产生。



注：图形中的逻辑值即为相应 I/O 共用引脚数据位值。

### 1/3 Bias LCD 波形 – 4-COM 和 2-SEG 应用

### LCD 控制寄存器

LCD 驱动器 SCOM 和 SSEG 口可以提供多种驱动电流选择以适应不同 LCD 面板的需求。通过设置 SLCDC0 寄存器中 ISEL1 位和 ISEL0 位可以配置不同的偏压电阻。所有 SCOM 和 SSEG 引脚和 I/O 引脚共用，可分别通过 SLCDS0~SLCDS2 寄存器的相应引脚功能选择位选择 SCOM 和 SSEG 引脚。

寄存器名称	位							
	7	6	5	4	3	2	1	0
SLCDC0	FRAME	ISEL1	ISEL0	LCDEN	—	—	—	—
SLCDS0	COMSEGS7	COMSEGS6	COMSEGS5	COMSEGS4	COMSEGS3	COMSEGS2	COMSEGS1	COMSEGS0
SLCDS1	COMSEGS15	COMSEGS14	COMSEGS13	COMSEGS12	COMSEGS11	COMSEGS10	COMSEGS9	COMSEGS8
SLCDS2	—	—	D5	D4	D3	D2	COMSEGS17	COMSEGS16

LCD 驱动器控制寄存器列表

● **SLCDC0 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	FRAME	ISEL1	ISEL0	LCDEN	—	—	—	—
R/W	R/W	R/W	R/W	R/W	—	—	—	—
POR	0	0	0	0	—	—	—	—

Bit 7      **FRAME:** SCOM/SSEG 输出 Frame 选择  
 0: Frame 0  
 1: Frame 1

Bit 6~5    **ISEL1~ISEL0:** 选择 R 型 LCD 的典型偏压电阻  
 00:  $3 \times 200k\Omega$  (1/3 Bias),  $I_{BIAS}=8.3\mu A @ (V_{DD}=3V)$   
 01:  $3 \times 100k\Omega$  (1/3 Bias),  $I_{BIAS}=16.6\mu A @ (V_{DD}=3V)$   
 10:  $3 \times 33.3k\Omega$  (1/3 Bias),  $I_{BIAS}=50\mu A @ (V_{DD}=3V)$   
 11:  $3 \times 16.6k\Omega$  (1/3 Bias),  $I_{BIAS}=100\mu A @ (V_{DD}=3V)$

Bit 4      **LCDEN:** LCD 模块控制位  
 0: 除能  
 1: 使能  
 当 LCDEN 被清零, 则 SCOMm 和 SSEGn 输出将固定为  $V_{SS}$ 。

Bit 3~0    未定义, 读为 “0”

● **SLCDS0 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	COMSEGS7	COMSEGS6	COMSEGS5	COMSEGS4	COMSEGS3	COMSEGS2	COMSEGS1	COMSEGS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7      **COMSEGS7:** SCOM7/SSEG7 引脚功能选择  
 0: SCOM7  
 1: SSEG7

Bit 6      **COMSEGS6:** SCOM6/SSEG6 引脚功能选择  
 0: SCOM6  
 1: SSEG6

Bit 5      **COMSEGS5:** SCOM5/SSEG5 引脚功能选择  
 0: SCOM5  
 1: SSEG5

Bit 4      **COMSEGS4:** SCOM4/SSEG4 引脚功能选择  
 0: SCOM4  
 1: SSEG4

Bit 3      **COMSEGS3:** SCOM3/SSEG3 引脚功能选择  
 0: SCOM3  
 1: SSEG3

- Bit 2      **COMSEGS2:** SCOM2/SSEG2 引脚功能选择  
0: SCOM2  
1: SSEG2
- Bit 1      **COMSEGS1:** SCOM1/SSEG1 引脚功能选择  
0: SCOM1  
1: SSEG1
- Bit 0      **COMSEGS0:** SCOM0/SSEG0 引脚功能选择  
0: SCOM0  
1: SSEG0

● **SLCDS1 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	COMSEGS15	COMSEGS14	COMSEGS13	COMSEGS12	COMSEGS11	COMSEGS10	COMSEGS9	COMSEGS8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7      **COMSEGS15:** SCOM15/SSEG15 引脚功能选择  
0: SCOM15  
1: SSEG15
- Bit 6      **COMSEGS14:** SCOM14/SSEG14 引脚功能选择  
0: SCOM14  
1: SSEG14
- Bit 5      **COMSEGS13:** SCOM13/SSEG13 引脚功能选择  
0: SCOM13  
1: SSEG13
- Bit 4      **COMSEGS12:** SCOM12/SSEG12 引脚功能选择  
0: SCOM12  
1: SSEG12
- Bit 3      **COMSEGS11:** SCOM11/SSEG11 引脚功能选择  
0: SCOM11  
1: SSEG11
- Bit 2      **COMSEGS10:** SCOM10/SSEG10 引脚功能选择  
0: SCOM10  
1: SSEG10
- Bit 1      **COMSEGS9:** SCOM9/SSEG9 引脚功能选择  
0: SCOM9  
1: SSEG9
- Bit 0      **COMSEGS8:** SCOM8/SSEG8 引脚功能选择  
0: SCOM8  
1: SSEG8

● **SLCDS2 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	D5	D4	D3	D2	COMSEGS17	COMSEGS16
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	—	0	0	0	0	0	0

- Bit 7~6      未定义，读为“0”
- Bit 5~2      **D5~D2:** 保留，不能使用且必须固定为“0”
- Bit 1      **COMSEGS17:** SCOM17/SSEG17 引脚功能选择  
0: SCOM17  
1: SSEG17

Bit 0      **COMSEGS16:** SCOM16/SSEG16 引脚功能选择  
           0: SCOM16  
           1: SSEG16

## 低电压检测 – LVD

该单片机都具有低电压检测功能，即 LVD。该功能使能用于监测电源电压  $V_{DD}$ ，若电源电压低于一定值可提供一个警告信号。此功能在电池类产品中非常有用，在电池电压较低时产生警告信号。低电压检测也可产生中断信号。

### LVD 寄存器

低电压检测功能由 LVDC 寄存器控制。VLVD2~VLVD0 位用于选择 8 个固定电压的一个参考点。LVDO 位被置位时低电压情况发生，若 LVDO 位为低表明  $V_{DD}$  电压工作在当前所设置低电压水平值之上。LVDEN 位用于控制低电压检测功能的开启/关闭，设置此位为高使能此功能，反之，关闭内部低电压检测电路。低电压检测会有一些的功耗，在不使用时可考虑关闭此功能，此举在功耗要求严格的电池供电应用中值得考虑。

#### • LVDC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	LVDO	LVDEN	—	VLVD2	VLVD1	VLVD0
R/W	—	—	R	R/W	—	R/W	R/W	R/W
POR	—	—	0	0	—	0	0	0

Bit 7~6      未定义，读为“0”

Bit 5      **LVDO:** LVD 输出标志位  
           0: 未检测到低电压  
           1: 检测到低电压

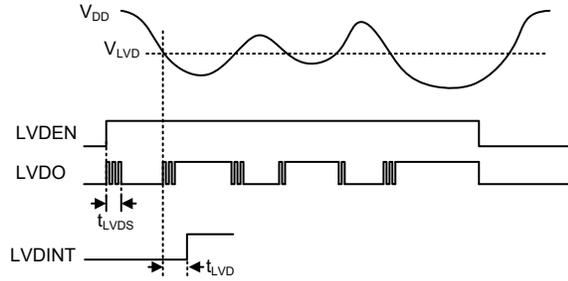
Bit 4      **LVDEN:** 低电压检测使能控制位  
           0: 除能  
           1: 使能

Bit 3      未定义，读为“0”

Bit 2~0      **VLVD2~VLVD0:** LVD 电压选择位  
           000: 1.8V  
           001: 2.0V  
           010: 2.4V  
           011: 2.7V  
           100: 3.0V  
           101: 3.3V  
           110: 保留  
           111: 保留

### LVD 操作

通过比较电源电压  $V_{DD}$  与存储在 LVDC 寄存器中的预置电压值的结果，低电压检测功能工作。其设置的范围为 1.8V~3.3V。当电源电压  $V_{DD}$  低于预置电压值时，LVDO 位被置为高，表明低电压产生。低电压检测功能由一个自动使能的参考电压提供。当单片机进入休眠模式时，即使 LVDEN 位为高，低电压检测器将自动被除能。低电压检测器使能后，读取 LVDO 位前，电路稳定需要一定的延时  $t_{LVDS}$ 。注意， $V_{DD}$  电压可能上升或下降比较缓慢，在  $V_{LVD}$  电压值附近时，LVDO 位可能有多种变化。



LVD 操作

低电压检测器也有自己的中断功能，属于多功能中断的一种，它是除了轮询 LVDO 位之外的另一种检测低电压的方法。中断条件产生置位 LVDO 并延时  $t_{LVD}$  后，中断产生。若 LV DEN 位为高，当单片机掉电时低电压检测器保持有效状态。此种情况下，若  $V_{DD}$  降至小于 LVD 预置电压值时，中断请求标志位 LVD 将被置位，中断产生，单片机将从空闲模式中被唤醒。若不要求低电压检测的唤醒功能使能，在单片机进入空闲模式前应将 LVD 标志置为高。

## 中断

中断是单片机一个重要功能。当外部事件或内部功能如定时器模块或 A/D 转换器有效，并且产生中断时，系统会暂时中止当前的程序而转到执行相对应的中断服务程序。此单片机提供多个外部中断和内部中断功能，外部中断由 INT0 和 INT1 引脚动作产生，而内部中断由各种内部功能，如定时器模块、时基、LVD、EEPROM、SIM、UART 和 A/D 转换器等产生。

### 中断寄存器

中断控制基本上是在一定单片机条件发生时设置请求标志位，应用程序中中断使能位的设置是通过位于特殊功能数据存储器中的一系列寄存器控制的。寄存器总的分为三类。第一类是 INTC0~INTC2 寄存器，用于设置基本的中断；第二类是 MFIO~MFI2 寄存器，用于设置多功能中断；最后一种有 INTEG 寄存器，用于设置外部中断边沿触发类型。

寄存器中含有中断控制位和中断请求标志位。中断控制位用于使能或除能各种中断，中断请求标志位用于存放当前中断请求的状态。它们都按照特定的模式命名，前面表示中断类型的缩写，紧接着的字母“E”代表使能/除能位，“F”代表请求标志位。

功能	使能位	请求标志	注释
总中断	EMI	—	—
INTn 脚	INTnE	INTnF	n=0 ~ 1
比较器	CPE	CPF	—
多功能	MFnE	MFnF	n=0~2
A/D 转换器	ADE	ADF	—
时基	TBnE	TBnF	n=0 ~1
SIM	SIME	SIMF	—
UART	UARTE	UARTF	—
LVD	LVE	LVF	—
EEPROM 擦 / 写操作	DEE	DEF	—

功能	使能位	请求标志	注释
CTM	CTMPE	CTMPF	—
	CTMAE	CTMAF	—
STM	STMPE	STMPF	—
	STMAE	STMAF	—
PTM	PTMPE	PTMPF	—
	PTMAE	PTMAF	—

中断寄存器位命名模式

寄存器名称	位							
	7	6	5	4	3	2	1	0
INTEG	—	—	—	—	INT1S1	INT1S0	INT0S1	INT0S0
INTC0	—	MF0F	CPF	INT0F	MF0E	CPE	INT0E	EMI
INTC1	TB0F	ADF	MF2F	MF1F	TB0E	ADE	MF2E	MF1E
INTC2	UARTF	SIMF	INT1F	TB1F	UARTE	SIME	INT1E	TB1E
MF10	—	—	STMAF	STMPF	—	—	STMAE	STMPE
MF11	CTMAF	CTMPF	PTMAF	PTMPF	CTMAE	CTMPE	PTMAE	PTMPE
MF12	—	—	DEF	LVF	—	—	DEE	LVE

中断寄存器列表

• **INTEG 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	INT1S1	INT1S0	INT0S1	INT0S0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	—	—	—	—	0	0	0	0

Bit 7~4 未定义，读为“0”

Bit 3~2 **INT1S1~INT1S0**: INT1 脚中断边沿控制位

- 00: 除能
- 01: 上升沿
- 10: 下降沿
- 11: 双沿

Bit 1~0 **INT0S1~INT0S0**: INT0 脚中断边沿控制位

- 00: 除能
- 01: 上升沿
- 10: 下降沿
- 11: 双沿

• **INTC0 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	—	MF0F	CPF	INT0F	MF0E	CPE	INT0E	EMI
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	—	0	0	0	0	0	0	0

Bit 7 未定义，读为“0”

Bit 6 **MF0F**: 多功能中断 0 请求标志位

- 0: 无请求
- 1: 中断请求

- Bit 5      **CPF:** 比较器中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 4      **INT0F:** INT0 中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 3      **MF0E:** 多功能中断 0 控制位  
0: 除能  
1: 使能
- Bit 2      **CPE:** 比较器中断控制位  
0: 除能  
1: 使能
- Bit 1      **INT0E:** INT0 中断控制位  
0: 除能  
1: 使能
- Bit 0      **EMI:** 总中断控制位  
0: 除能  
1: 使能

● **INTC1 寄存器**

Bit	7	6	5	4	3	2	1	0
Name	TB0F	ADF	MF2F	MF1F	TB0E	ADE	MF2E	MF1E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7      **TB0F:** 时基 0 中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 6      **ADF:** A/D 转换器中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 5      **MF2F:** 多功能中断 2 请求标志位  
0: 无请求  
1: 中断请求
- Bit 4      **MF1F:** 多功能中断 1 请求标志位  
0: 无请求  
1: 中断请求
- Bit 3      **TB0E:** 时基 0 中断控制位  
0: 除能  
1: 使能
- Bit 2      **ADE:** A/D 转换器中断控制位  
0: 除能  
1: 使能
- Bit 1      **MF2E:** 多功能中断 2 控制位  
0: 除能  
1: 使能
- Bit 0      **MF1E:** 多功能中断 1 控制位  
0: 除能  
1: 使能

• INTC2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	UARTF	SIMF	INT1F	TB1F	UARTE	SIME	INT1E	TB1E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7      **UARTF**: UART 中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 6      **SIMF**: SIM 中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 5      **INT1F**: INT1 中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 4      **TB1F**: 时基 1 中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 3      **UARTE**: UART 中断控制位  
0: 除能  
1: 使能
- Bit 2      **SIME**: SIM 中断控制位  
0: 除能  
1: 使能
- Bit 1      **INT1E**: INT1 中断控制位  
0: 除能  
1: 使能
- Bit 0      **TB1E**: 时基 1 中断控制位  
0: 除能  
1: 使能

• MF10 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	STMAF	STMPF	—	—	STMAE	STMPE
R/W	—	—	R/W	R/W	—	—	R/W	R/W
POR	—	—	0	0	—	—	0	0

- Bit 7~6    未定义，读为“0”
- Bit 5      **STMAF**: STM 比较器 A 匹配中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 4      **STMPF**: STM 比较器 P 匹配中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 3~2    未定义，读为“0”
- Bit 1      **STMAE**: STM 比较器 A 匹配中断控制位  
0: 除能  
1: 使能
- Bit 0      **STMPE**: STM 比较器 P 匹配中断控制位  
0: 除能  
1: 使能

● MF11 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CTMAF	CTMPF	PTMAF	PTMPF	CTMAE	CTMPE	PTMAE	PTMPE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 **CTMAF**: CTM 比较器 A 匹配中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 6 **CTMPF**: CTM 比较器 P 匹配中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 5 **PTMAF**: PTM 比较器 A 匹配中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 4 **PTMPF**: PTM 比较器 P 匹配中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 3 **CTMAE**: CTM 比较器 A 匹配中断控制位  
0: 除能  
1: 使能
- Bit 2 **CTMPE**: CTM 比较器 P 匹配中断控制位  
0: 除能  
1: 使能
- Bit 1 **PTMAE**: PTM 比较器 A 匹配中断控制位  
0: 除能  
1: 使能
- Bit 0 **PTMPE**: PTM 比较器 P 匹配中断控制位  
0: 除能  
1: 使能

● MF12 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	DEF	LVF	—	—	DEE	LVE
R/W	—	—	R/W	R/W	—	—	R/W	R/W
POR	—	—	0	0	—	—	0	0

- Bit 7~6 未定义，读为“0”
- Bit 5 **DEF**: 数据 EEPROM 中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 4 **LVF**: LVD 中断请求标志位  
0: 无请求  
1: 中断请求
- Bit 3~2 未定义，读为“0”
- Bit 1 **DEE**: 数据 EEPROM 中断控制位  
0: 除能  
1: 使能
- Bit 0 **LVE**: LVD 中断控制位  
0: 除能  
1: 使能

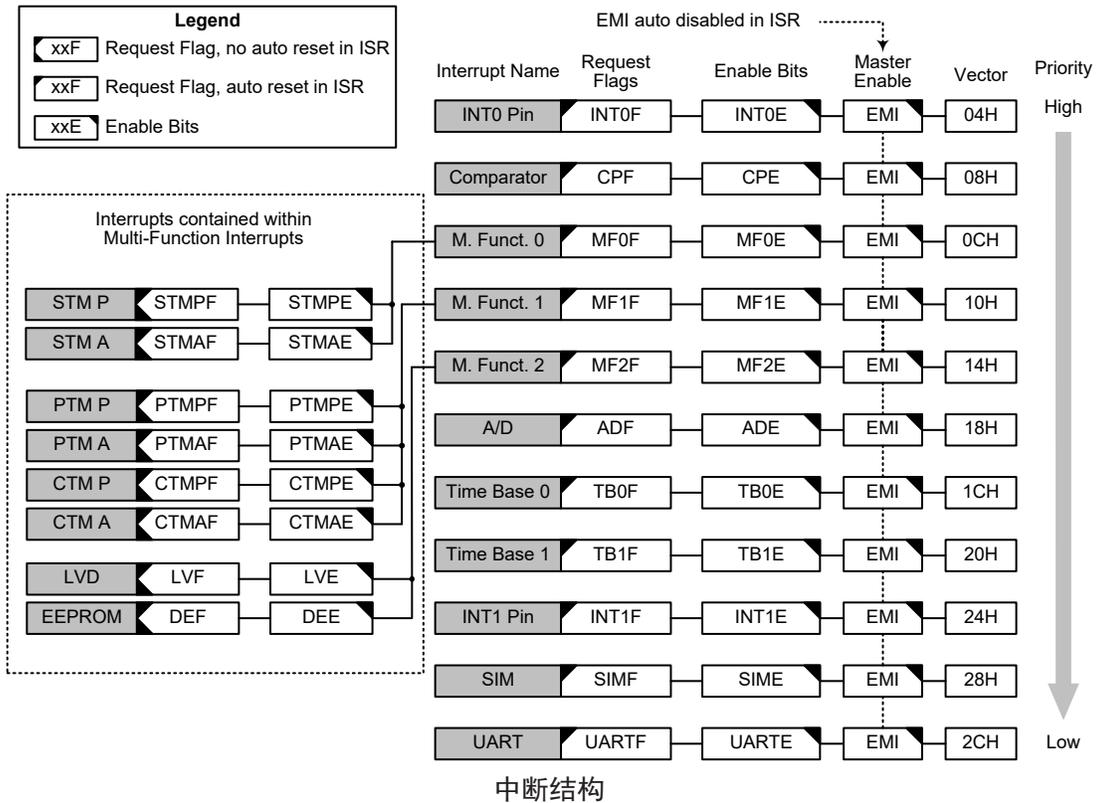
## 中断操作

若中断事件条件产生，如一个 TM 比较器 P、比较器 A 匹配或 A/D 转换结束等等，相关中断请求标志将置起。中断标志产生后程序是否会跳转至相关中断向量执行是由中断使能位的条件决定的。若使能位为“1”，程序将跳至相关中断向量中执行；若使能位为“0”，即使中断请求标志置起中断也不会发生，程序也不会跳转至相关中断向量执行。若总中断使能位为“0”，所有中断都将除能。

当中断发生时，下条指令的地址将被压入堆栈。相应的中断向量地址加载至 PC 中。系统将从此向量取下条指令。中断向量处通常为“JMP”指令，以跳转至相应的中断服务程序。中断服务程序必须以“RETI”指令返回至主程序，以继续执行原来的程序。

各个中断使能位以及相应的请求标志位，以优先级的次序显示在下图。一些中断源有自己的向量，但是有些中断却共用多功能中断向量。一旦中断子程序被响应，系统将自动清除 EMI 位，所有其它的中断将被屏蔽，这个方式可以防止任何进一步的中断嵌套。其它中断请求可能发生在此期间，虽然中断不会立即响应，但是中断请求标志位会被记录。

如果某个中断服务子程序正在执行时，有另一个中断要求立即响应，那么 EMI 位应在程序进入中断子程序后置位，以允许此中断嵌套。如果堆栈已满，即使此中断使能，中断请求也不会被响应，直到 SP 减少为止。如果要求立刻动作，则堆栈必须避免成为储满状态。请求同时发生时，执行优先级如下流程图所示。所有被置起的中断请求标志都可把单片机从休眠或空闲模式中唤醒，若要防止唤醒动作发生，在单片机进入休眠或空闲模式前应将相应的标志置起。



## 外部中断

通过 INT0~INT1 引脚上的信号变化可控制外部中断。当触发沿选择位设置好触发类型，INT0~INT1 引脚的状态发生变化，外部中断请求标志 INT0F~INT1F 被置位时外部中断请求产生。若要跳转到相应中断向量地址，总中断控制位 EMI 和相应中断使能位 INT0E~INT1E 需先被置位。此外，必须使用 INTEG 寄存器使能外部中断功能并选择触发沿类型。外部中断引脚和普通 I/O 口共用，如果相应寄存器中的中断使能位被置位，并且通过引脚共用寄存器选择外部中断脚，此引脚将被作为外部中断脚使用。此时该引脚必须通过设置端口控制寄存器，将该引脚设置为输入口。当中断使能，堆栈未满并且外部中断脚状态改变，将调用外部中断向量子程序。当响应外部中断服务子程序时，中断请求标志位 INT0F~INT1F 会自动复位且 EMI 位会被清零以除能其它中断。注意，即使此引脚被用作外部中断输入，其上拉电阻仍保持有效。

寄存器 INTEG 被用来选择有效的边沿类型，来触发外部中断。可以选择上升沿还是下降沿或双沿触发都产生外部中断。注意 INTEG 也可以用来除能外部中断功能。

## 比较器中断

比较器中断由内部比较器控制。当比较器输出状态位改变，比较器中断请求标志 CPF 被置位，比较器中断请求产生。若要跳转到相应中断向量地址，总中断控制位 EMI 和比较器中断使能位 CPE 需先被置位。当中断使能，堆栈未满并且比较器输入产生比较器输出变化时，将调用比较器中断向量子程序。当响应中断服务子程序时，比较器中断请求标志位会自动复位且 EMI 位会被清零以除能其它中断。

## 多功能中断

此单片机中有多达 3 种多功能中断，与其它中断不同，它没有独立源，但由其它现有的中断源构成，即 TM 中断、LVD 中断和 EEPROM 擦 / 写中断。

当多功能中断中任何一种中断请求标志 MF<sub>n</sub>F 被置位，多功能中断请求产生。当中断使能，堆栈未满，包括在多功能中断中的任意一个中断发生时，将调用多功能中断向量中的一个子程序。当响应中断服务子程序时，相关的多功能请求标志位会自动复位且 EMI 位会自动清零以除能其它中断。

但必须注意的是，在中断响应时，虽然多功能中断标志会自动复位，但多功能中断源的请求标志位不会自动复位，必须由应用程序清零。

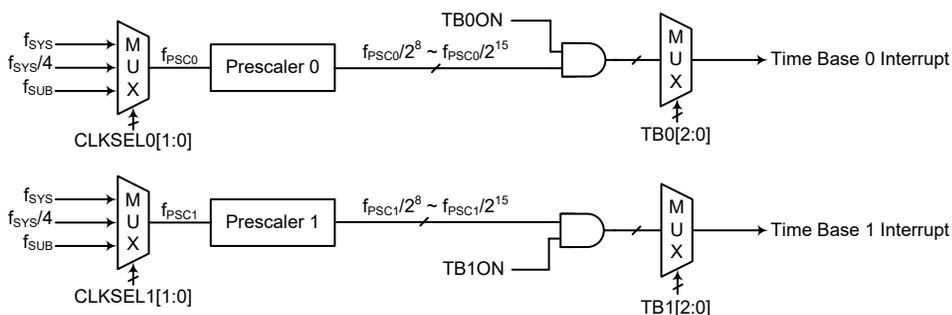
## A/D 转换器中断

A/D 转换器中断由 A/D 转换动作的结束来控制。当 A/D 转换器中断请求标志 ADF 被置位，即 A/D 转换过程完成时，中断请求发生。若要跳转到相应中断向量地址，总中断控制位 EMI 和 A/D 转换器中断使能位 ADE 需先被置位。当中断使能，堆栈未满且 A/D 转换动作结束时，将调用 A/D 转换器中断向量子程序。当响应中断服务子程序时，相应的中断请求标志位 ADF 会自动复位且 EMI 位会被清零以除能其它中断。

## 时基中断

时基中断提供一个固定周期的中断信号，由各自的定时器功能产生溢出信号控制。当各自的中断请求标志 TB0F 或 TB1F 被置位时，中断请求发生。当总中断使能位 EMI 和时基使能位 TB0E 或 TB1E 被置位，允许程序跳转到各自的中断向量地址。当中断使能，堆栈未满足且时基溢出时，将调用它们各自的中断向量子程序。当响应中断服务子程序时，相应的中断请求标志位 TB0F 或 TB1F 会自动复位且 EMI 位会被清零以除能其它中断。

时基中断的目的是提供一个固定周期的中断信号。其时钟源  $f_{PSC0}$  或  $f_{PSC1}$  来自内部时钟源  $f_{SYS}$ 、 $f_{SYS}/4$  或  $f_{SUB}$ ，经过一个分频器，分频比可通过配置 TB0C 和 TB1C 寄存器中的相关位选择以获得更长的中断周期。时钟源控制时基中断周期，分别通过 PSC0R 和 PSC1R 寄存器中的 CLKSEL0[1:0] 和 CLKSEL1[1:0] 位进行选择。



时基中断

### • PSC0R 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CLKSEL01	CLKSEL00
R/W	—	—	—	—	—	—	R/W	R/W
POR	—	—	—	—	—	—	0	0

Bit 7~2 未定义，读为“0”

Bit 1~0 **CLKSEL01~CLKSEL00**: 分频器 0 时钟源  $f_{PSC0}$  选择位  
 00:  $f_{SYS}$   
 01:  $f_{SYS}/4$   
 1x:  $f_{SUB}$

### • PSC1R 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CLKSEL11	CLKSEL10
R/W	—	—	—	—	—	—	R/W	R/W
POR	—	—	—	—	—	—	0	0

Bit 7~2 未定义，读为“0”

Bit 1~0 **CLKSEL11~CLKSEL10**: 分频器 1 时钟源  $f_{PSC1}$  选择位  
 00:  $f_{SYS}$   
 01:  $f_{SYS}/4$   
 1x:  $f_{SUB}$

• TB0C 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TB0ON	—	—	—	—	TB02	TB01	TB00
R/W	R/W	—	—	—	—	R/W	R/W	R/W
POR	0	—	—	—	—	0	0	0

- Bit 7 **TB0ON**: 时基 0 使能控制位  
0: 除能  
1: 使能
- Bit 6~3 未定义, 读为 “0”
- Bit 2~0 **TB02~TB00**: 时基 0 溢出周期选择位  
000:  $2^8/f_{PSC0}$   
001:  $2^9/f_{PSC0}$   
010:  $2^{10}/f_{PSC0}$   
011:  $2^{11}/f_{PSC0}$   
100:  $2^{12}/f_{PSC0}$   
101:  $2^{13}/f_{PSC0}$   
110:  $2^{14}/f_{PSC0}$   
111:  $2^{15}/f_{PSC0}$

• TB1C 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TB1ON	—	—	—	—	TB12	TB11	TB10
R/W	R/W	—	—	—	—	R/W	R/W	R/W
POR	0	—	—	—	—	0	0	0

- Bit 7 **TB1ON**: 时基 1 使能控制位  
0: 除能  
1: 使能
- Bit 6~3 未定义, 读为 “0”
- Bit 2~0 **TB12~TB10**: 时基 1 溢出周期选择位  
000:  $2^8/f_{PSC1}$   
001:  $2^9/f_{PSC1}$   
010:  $2^{10}/f_{PSC1}$   
011:  $2^{11}/f_{PSC1}$   
100:  $2^{12}/f_{PSC1}$   
101:  $2^{13}/f_{PSC1}$   
110:  $2^{14}/f_{PSC1}$   
111:  $2^{15}/f_{PSC1}$

## TM 中断

简易型、标准型和周期型 TM 各有两个中断, 分别来自比较器 P、A 匹配, 都属于多功能中断。所有类型的 TM 都有两个中断请求标志位及两个使能位。当 TM 比较器 P、A 匹配情况发生时, 相应 TM 中断请求标志被置位, TM 中断请求产生。

若要程序跳转到相应中断向量地址, 总中断控制位 EMI、相应 TM 中断使能位和相关多功能中断使能位 MFnE 需先被置位。当中断使能, 堆栈未滿且 TM 比较器匹配情况发生时, 可跳转至相关多功能中断向量程序执行。当 TM 中断响应, EMI 将被自动清零以除能其它中断, 相关 MFnF 标志也可自动清除, 但 TM 中断请求标志需在应用程序中手动清除。

## 串行接口模块中断

串行接口模块中断，即 SIM 中断。当一个字节数据已由 SIM 接口接收或发送完，或 I<sup>2</sup>C 从机地址匹配，或 I<sup>2</sup>C 总线发生超时，中断请求标志 SIMF 被置位，SIM 中断请求产生。若要程序跳转到相应中断向量地址，总中断控制位 EMI、串行接口中断使能位 SIME 需先被置位。当中断使能，堆栈未满足且以上任何一种情况发生时，可跳转至相关 SIM 中断向量程序执行。当串行接口中断响应，相应的中断请求标志位 SIMF 会自动复位且 EMI 位会被清零以除能其它中断。

## UART 传输中断

UART 传输中断由几种 UART 传输条件来控制。当发送器为空、发送器空闲、接收器数据有效、接收器溢出、地址检测和 RX 引脚唤醒，UART 中断请求标志 UARTF 被置位，UART 中断请求产生。若要程序跳转到相应中断向量地址，总中断控制位 EMI 和 UART 中断使能位 UARTE 需先被置位。当中断使能，堆栈未满足且以上任何一种情况发生时，将调用 UART 中断向量程序。当响应中断服务子程序时，相应的中断请求标志位 UARTF 会自动复位且 EMI 位会被清零以除能其它中断。

## LVD 中断

LVD 中断属于多功能中断。当低电压检测功能检测到一个低电压时，LVD 中断请求标志 LVF 被置位，LVD 中断请求产生。若要程序跳转到相应中断向量地址，总中断控制位 EMI、低电压中断使能位 LVE 和相应多功能中断使能位需先被置位。当中断使能，堆栈未满足且低电压条件发生时，可跳转至相关多功能中断向量程序执行。当 LVD 中断响应，EMI 将被自动清零以除能其它中断，多功能中断请求标志也可自动清除，但 LVF 标志需在应用程序中手动清除。

## EEPROM 中断

EEPROM 写中断属于多功能中断。当擦 / 写周期结束，EEPROM 写中断请求标志 DEF 被置位，EEPROM 写中断请求产生。若要程序跳转到相应中断向量地址，总中断控制位 EMI、EEPROM 中断使能位 DEE 和相应多功能中断使能位需先被置位。当中断使能，堆栈未满足且 EEPROM 擦 / 写周期结束时，可跳转至相关多功能中断向量程序执行。当 EEPROM 中断响应，EMI 将被自动清零以除能其它中断，多功能中断请求标志也可自动清除，但 DEF 标志需在应用程序中手动清除。

## 中断唤醒功能

每个中断都具有将处于休眠或空闲模式的单片机唤醒的能力。当中断请求标志由低到高转换时唤醒动作产生，其与中断是否使能无关。因此，尽管单片机处于休眠或空闲模式且系统振荡器停止工作，如有外部中断脚上产生外部边沿跳变、低电压或比较器输入改变都可能导致其相应的中断标志被置位，由此产生中断，因此必须注意避免伪唤醒情况的发生。若要除能中断唤醒功能，单片机进入休眠或空闲模式前相应中断请求标志应被置起。中断唤醒功能不受中断使能位的影响。

## 编程注意事项

通过禁止相关中断使能位，可以屏蔽中断请求，然而，一旦中断请求标志位被设定，它们会被保留在中断控制寄存器内，直到相应的中断服务子程序执行或请求标志位被应用程序清除。

多功能中断中所含中断相应程序执行时，多功能中断请求标志 MFnF 可以自动清零，但各自的请求标志需在应用程序中手动清除。

建议在中断服务子程序中不要使用“CALL 子程序”指令。中断通常发生在不可预料的情况或是需要立刻执行的某些应用。假如只剩下一层堆栈且没有控制好中断，当“CALL 子程序”在中断服务子程序中执行时，将破坏原来的控制序列。

所有中断在休眠或空闲模式下都具有唤醒功能，当中断请求标志发生由低到高的转变时都可产生唤醒功能。若要避免相应中断产生唤醒动作，在单片机进入休眠或空闲模式前需先将相应请求标志置为高。

当进入中断服务程序，系统仅将程序计数器的内容压入堆栈，如果中断服务程序会改变状态寄存器或其它的寄存器的内容而破坏控制流程，应事先将这些数据保存起来。

若从中断子程序中返回可执行 RET 或 RETI 指令。除了能返回至主程序外，RETI 指令还能自动设置 EMI 位为高，允许进一步中断。RET 指令只能返回至主程序，清除 EMI 位，除能进一步中断。

## 配置选项

配置选项在烧写程序时写入芯片。通过 HT-IDE 的软件开发环境，使用者在开发过程中可以选择配置选项。所有位必须按系统的需要定义，具体内容可参考下表：

序号	选项
振荡器选项	
1	HIRC 频率选择 - $f_{HIRC}$ ： 8MHz, 12MHz 或 16MHz

注：当 HIRC 配置选项已选定上表中的一个频率，HIRC1 和 HIRC0 位选择的频率应与其保持一致，以确保能够达到交流电气特性中标示的 HIRC 频率精度度。

## 存储器映射

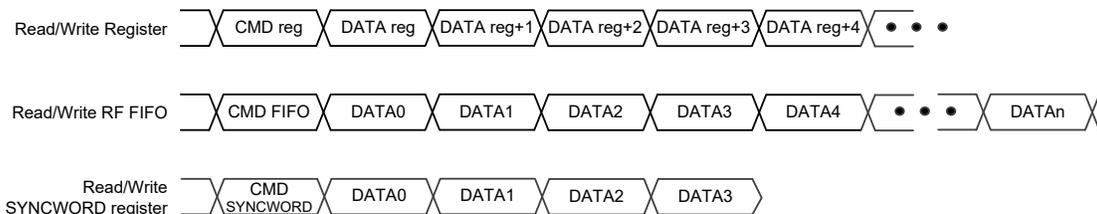
00h 1Fh	公用区		
20h 3Fh	Bank 0	Bank 1	Bank 2

公用区：包含 32 字节空间。无论存储区指针为何值，访问地址 00h~1Fh 都意味着访问公用区。

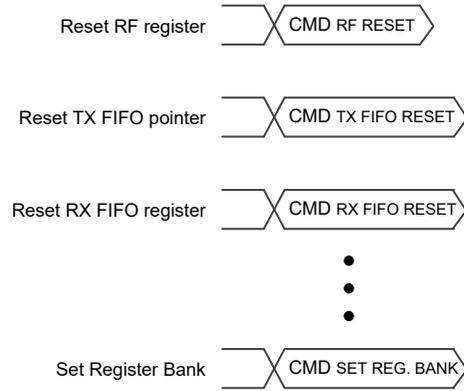
Bank 0~2：每个 Bank 包含 32 字节空间。通过存储区指针选择 Bank。

存储区指针，即 BANK[1:0]，定义在公用区，可通过设置寄存器存储区命令直接设置，且可通过控制寄存器命令进行读 / 写。

## 控制寄存器访问



Strobe 命令后加 n 字节数据 (CmdD)



**仅 Strobe 命令 (CmdO)**

## SFR 映射和位定义

### 公用区控制寄存器

上电复位后，所有控制寄存器被设置为初始值。软件复位后，除了位于 RC1、IO1、IO2 和 IO3 寄存器的 FSYCK\_EN、FSYCK\_DIV[1:0]、PWRON、GIO2S[2:0]、PADDS[1:0]、GIO3S[3:0]、GIO4S[3:0]、GIOPU[4:1]、SPIPU、SDO\_TEN 位之外，其它控制寄存器也将恢复至初始值，而前述控制位在软件复位后保持不变。

地址	名称	位							
		7	6	5	4	3	2	1	0
00h	CFG1	—	AGC_EN	RXCON_EN	DIR_EN	—	—	BANK[1:0]	
01h	RC1	PWRON	FSYCK_RDY	XCLK_RDY	XCLK_EN	FSYCK_DIV[1:0]		FSYCK_EN	RST_LL
02h	IRQ1	RXTO	RXFFOW	—	—	RXDETS[1:0]		IRQPOR	IRQPOR
03h	IRQ2	ARKTFIE	ATRCTIE	FIFOLTIE	RXERRIE	RXDETIE	CALCMPIE	RXCMPIE	TXCMPIE
04h	IRQ3	ARKTFIF	ATRCTIF	FIFOLTIF	RXERRIF	RXDETIF	CALCMPIF	RXCMPIF	TXCMPIF
06h	IO1	PADDS[1:0]		GIO2S[2:0]			GIO1S[2:0]		
07h	IO2	GIO4S[3:0]				GIO3S[3:0]			
08h	IO3	SDO_TEN	SPIPU	—	GIOPU[4:1]				—
09h	FIFO1	—	—	TXFFSA[5:0]					
0Ah	FIFO2	—	—	—	RXPL2F_EN	FFINF_EN	FFMG_EN	FFMG[1:0]	
0Bh	PKT1	TXPMLN[7:0]							
0Ch	PKT2	PID[1:0]		TRAILER_EN	WHTFMT	SYNCLN[1:0]		RXPMLN[1:0]	
0Dh	PKT3	MCH_EN	FEC_EN	CRC_EN	CRCFMT	PLEN_EN	PLHAC_EN	PLHLEN	PLH_EN
0Eh	PKT4	WHT_EN	WHTSD[6:0]						
0Fh	PKT5	TXDLEN[7:0]							
10h	PKT6	RXDLEN[7:0]							
11h	PKT7	RXPID[1:0]		DLY_RXS[2:0]			DLY_TXS[2:0]		
12h	PKT8	—	PLHA[5:0]						
13h	PKT9	PLHEA[7:0]							
14h	MOD1	DTR[7:0]							
15h	MOD2	RXIFOS[11:8]				DITHER[1:0]		—	DTR[8]

地址	名称	位							
		7	6	5	4	3	2	1	0
16h	MOD3	RXIFOS[7:0]							
17h	DM1	—	—	MDIV[5:0]					
18h	DM2	PREAMBLE_ CFO_EN1	PREAMBLE_ CFO_EN0	SDR[5:0]					
19h	DM3	CSF_SW_EN	FD_MOD[6:0]						
1Ah	DM4	THOLD[3:0]			CFO_ DSEL	—	PH_DIFF_ MOD	PRE_ CSF_EN	
1Bh	DM5	FD_HOLD[7:0]							
1Eh	DM8	M_RATIO[7:0]							

注：地址 05h, 1Ch, 1Dh 和 1Fh 未列于此表格，是预留给将来使用。建议不要通过任何方式修改这几个地址的初始值。

下面寄存器说明表格里的复位值指的是 Strobe 命令软件复位后的结果。

● **CFG1: 配置控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	—	AGC_EN	RXCON_EN	DIR_EN	—	—	BANK[1:0]	
R/W	—	R/W	R/W	R/W	—	—	R/W	
Reset	0	0	0	0	0	0	0	0

Bit 7 保留，必须设为“0”

Bit 6 **AGC\_EN**: AGC 使能  
0: 除能  
1: 使能

Bit 5 **RXCON\_EN**: RX 连续模式使能  
0: 除能  
1: 使能  
设置此位只影响正常 RX 模式以及无 ARK 功能的 ATR RX 模式。

Bit 4 **DIR\_EN**: Direct 模式使能  
0: TX/RX 数据来自数据包处理硬件  
1: TX/RX 数据直接来自 / 发至外部 MCU

Bit 3~2 保留，必须设为“00”

Bit 1~0 **BANK[1:0]**: 控制寄存器 Bank 选择  
00: Bank 0  
01: Bank 1  
10: Bank 2  
11: 保留

此选择可通过设置寄存器存储区命令和控制寄存器命令设置。

● **RC1: 复位 / 时钟控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	PWRON	FSYCK_RDY	XCLK_RDY	XCLK_EN	FSYCK_DIV[1:0]		FSYCK_EN	RST_LL
R/W	R/W	R	R	R/W	R/W		R/W	R/W
POR	1	—	—	—	0	0	0	—
Reset	—	0	0	1	—	—	—	0

- Bit 7 PWRON:** 3.3V 上电标志位  
此位仅在上电复位后被设置为“1”，它不受 Strobe 命令软件复位影响。此标志位被置高后需通过软件清零。软件可先检查此标志位状态再决定在 Light Sleep 模式时是否进行自动校准。
- Bit 6 FSYCK\_RDY:** FSYCK 时钟就绪标志位 (只读)  
0: 未就绪  
1: 就绪  
此位用于指示 FSYCK 时钟是否就绪。当 FSYCK\_EN=0、发生上电复位或接收到 Deep Sleep 或者 Idle 命令时，此位都会自动清零。
- Bit 5 XCLK\_RDY:** XCLK 时钟就绪标志位 (只读)  
0: 未就绪  
1: 就绪  
此位用于指示 XCLK 去抖计数器是否记满、XCLK 时钟是否就绪。当离开 Deep Sleep 状态时，需要一段时间后此标志位才被置高。当 XCLK\_EN=0、RST\_LL=1、发生上电复位或接收到软件复位命令、Deep Sleep 命令或者 Idle 命令时，此标志位都会自动清零。
- Bit 4 XCLK\_EN:** XCLK 时钟使能  
0: 除能  
1: 使能  
此位置高将使能 XCLK 至基带模块的路径。若有需要可将此位清零以减少功耗。当写数据到 FIFO 时，XCLK 时钟必须使能。
- Bit 3~2 FSYCK\_DIV[1:0]:** FSYCK 时钟 (XCLK 分频) 选择  
00: 1/1 XCLK  
01: 1/2 XCLK  
10: 1/4 XCLK  
11: 1/8 XCLK
- Bit 1 FSYCK\_EN:** FSYCK 时钟使能  
0: 除能  
1: 使能
- Bit 0 RST\_LL:** 低电压 (1.2V) 逻辑复位控制  
0: 不复位  
1: 复位

● **IRQ1: 中断控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	RXTO	RXFFOW	—	—	RXDETS[1:0]		IRQCPOR	IRQPOR
R/W	R	R	—	—	R/W		R/W	R/W
Reset	0	0	0	0	1	0	0	1

- Bit 7 RXTO:** RX 溢出标志位  
0: RX 溢出未发生  
1: RX 溢出发生  
当 RX 溢出发生时，此标志位将被硬件置高。当接收到 Light Sleep 命令、芯片进入 RX 连续模式、WOR/WOT 唤醒发生或芯片进入 ARK TX/RX 模式时，此标志位都会自动清零。

- Bit 6 **RXFFOW**: RX FIFO 覆写标志位  
0: RX FIFO 覆写未发生  
1: RX FIFO 覆写发生  
当 RX FIFO 覆写情况发生时, 此标志位将被硬件置高。当接收到 RX FIFO 复位命令或 RX 命令时, 此标志位都会自动清零。
- Bit 5~4 保留, 必须设为 “00”
- Bit 3~2 **RXDETS[1:0]**: RX 检测选择  
00: 检测载波 (Carry)  
01: 检测前导码 (Preamble)  
10/11: 检测同步码 (SYNCWORD)
- Bit 1 **IRQCPOR**: IRQ 标志位清零极性选择  
0: 写 0 时对应 IRQ 标志位清零  
1: 写 1 时对应 IRQ 标志位清零
- Bit 0 **IRQPOR**: IRQ 信号极性选择  
0: 低有效  
1: 高有效  
当 IRQ3 寄存器里的 IRQ 标志位置高且对应的 IRQ 功能使能时, IRQ 信号的有效电平由此位决定。

● **IRQ2: 中断控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	ARKTFIE	ATRCTIE	FIFOLTIE	RXERRIE	RXDETIE	CALCMPIE	RXCMPPIE	TXCMPPIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- Bit 7 **ARKTFIE**: ARK TX 失败 IRQ 使能  
0: 除能  
1: 使能
- Bit 6 **ATRCTIE**: ATR 周期定时器 IRQ 使能  
0: 除能  
1: 使能
- Bit 5 **FIFOLTIE**: FIFO 低阈值 IRQ 使能  
0: 除能  
1: 使能
- Bit 4 **RXERRIE**: RX 错误 IRQ 使能  
0: 除能  
1: 使能
- Bit 3 **RXDETIE**: RX 事件检测 IRQ 使能  
0: 除能  
1: 使能
- Bit 2 **CALCMPIE**: 校准完成 IRQ 使能  
0: 除能  
1: 使能
- Bit 1 **RXCMPPIE**: RX 完成 IRQ 使能  
0: 除能  
1: 使能
- Bit 0 **TXCMPPIE**: TX 完成 IRQ 使能  
0: 除能  
1: 使能

● **IRQ3: 中断控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	ARKTFIF	ATRCTIF	FIFOLTIF	RXERRIF	RXDETIF	CALCMPIF	RXCMPPIF	TXCMPPIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

当此寄存器中的各个标志位置高时，产生对应的中断请求。这些标志位通过写 0 还是写 1 清零由 IRQCPOR 位决定。

Bit 7      **ARKTFIF**: ARK TX 失败 IRQ 标志位  
           0: 无请求  
           1: 中断请求

Bit 6      **ATRCTIF**: ATR 周期定时器 IRQ 标志位  
           0: 无请求  
           1: 中断请求  
 当 ATRCT 定时器计满时，此标志位将置高。

Bit 5      **FIFOLTIF**: FIFO 低阈值 IRQ 标志位  
           0: 无请求  
           1: 中断请求  
 在 Burst TX 模式下，若此位置 1 则表示 TX FIFO 里数据长度小于 FFMG 设置的阈值且还有待写入 FIFO 的 TX 数据。在 Burst RX 模式下，若此位置 1 则表示 RX FIFO 剩余的空间小于 FFMG 设置的阈值且待接收的 RX 数据长度大于 FFMG 设置的阈值。

Bit 4      **RXERRIF**: RX 错误 IRQ 标志位  
           0: 无请求  
           1: 中断请求  
 所谓 RX 错误情况包含 RX 失败、CRC 失败 (CRC\_EN=1) 或 RX FIFO 覆写。

Bit 3      **RXDETIF**: RX 事件检测 IRQ 标志位  
           0: 无请求  
           1: 中断请求  
 RX 事件包括载波、前导码和同步码，实际触发中断源取决于 RXDETS[1:0] 设置。

Bit 2      **CALCMPIF**: 校准完成 IRQ 标志位  
           0: 无请求  
           1: 中断请求  
 当 ACAL\_EN=0 时，LIRC 校准可由自己的使能位使能，当校准完成后会触发中断请求。当 ACAL\_EN=1 时，VCO 和 RC 校准都使能，两者都完成后会触发中断请求。

Bit 1      **RXCMPPIF**: RX 完成 IRQ 标志位  
           0: 无请求  
           1: 中断请求  
 当 RX 操作完成且无错误发生，此标志位将被硬件置高。

Bit 0      **TXCMPPIF**: TX 完成 IRQ 标志位  
           0: 无请求  
           1: 中断请求

• IO1: I/O 控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	PADDS[1:0]		GIO2S[2:0]			GIO1S[2:0]		
R/W	R/W		R/W			R/W		
POR	0	1	0	0	0	0	0	0

Bit 7~6 **PADDS[1:0]**: PAD 驱动强度选择 (仅通过 POR 复位)  
 00: 0.5mA  
 01: 1mA  
 10: 5mA  
 11: 10mA

Bit 5~3 **GIO2S[2:0]**: GIO2 引脚功能选择 (仅通过 POR 复位)  
 000/111: 无功能, 输入  
 001: SDO, 4 线 SPI 数据, 输出  
 010: TRXD, Direct 模式 TXD/RXD, 输入 / 输出  
 011: TXD, Direct 模式 TXD, 输入  
 100: RXD, Direct 模式 RXD, 输出  
 101: IRQ, 中断请求, 输出  
 110: ROSCi, ATR 时钟外部输入

Bit 2~0 **GIO1S[2:0]**: GIO1 引脚功能选择 (仅通过 POR 复位)  
 000/111: 无功能, 输入  
 001: SDO, 4 线 SPI 数据, 输出  
 010: TRXD, Direct 模式 TXD/RXD, 输入 / 输出  
 011: TXD, Direct 模式 TXD, 输入  
 100: RXD, Direct 模式 RXD, 输出  
 101: IRQ, 中断请求, 输出  
 110: ROSCi, ATR 时钟外部输入

• IO2: I/O 控制寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	GIO4S[3:0]				GIO3S[3:0]			
R/W	R/W				R/W			
POR	0	0	0	0	0	0	0	0

Bit 7~4 **GIO4S[3:0]**: GIO4 引脚功能选择 (仅通过 POR 复位)  
 0000/0111/1111: 无功能, 输入  
 0001: SDO, 4 线 SPI 数据, 输出  
 0010: TRXD, Direct 模式 TXD/RXD, 输入 / 输出  
 0011: TXD, Direct 模式 TXD, 输入  
 0100: RXD, Direct 模式 RXD, 输出  
 0101: IRQ, 中断请求, 输出  
 0110: ROSCi, ATR 时钟外部输入  
 1000: TBCLK, TX 位 (数据) 时钟, 输出  
 1001: RBCLK, RX 位 (还原) 时钟, 输出  
 1010: FSYCK, 即 XCLK 1/1, 1/2, 1/4, 1/8 输出  
 1011: LIRCCLK, 内部 LIRC 去抖时钟, 输出  
 1100: EPA\_EN, 外部功率放大器使能, 输出  
 1101: ELA $\bar{N}$ \_EN, 外部 LNA 使能, 输出  
 1110: TRBCLK, TX 模式的 TBCLK 或 RX 模式的 RBCLK, 输出

Bit 3~0 **GIO3S[3:0]**: GIO3 引脚功能选择 (仅通过 POR 复位)  
 0000/0111/1111: 无功能, 输入  
 0001: SDO, 4 线 SPI 数据, 输出  
 0010: TRXD, Direct 模式 TXD/RXD, 输入 / 输出  
 0011: TXD, Direct 模式 TXD, 输入

- 0100: RXD, Direct 模式 RXD, 输出
- 0101: IRQ, 中断请求, 输出
- 0110: ROSCi, ATR 时钟外部输入
- 1000: TBCLK, TX 位 (数据) 时钟, 输出
- 1001: RBCLK, RX 位 (还原) 时钟, 输出
- 1010: FSYCK, 即 XCLK 1/1, 1/2, 1/4, 1/8 输出
- 1011: LIRCCLK, 内部 LIRC 去抖时钟, 输出
- 1100: EPA\_EN, 外部功率放大器 (PA) 使能, 输出
- 1101: ELAN\_EN, 外部 LNA 使能, 输出
- 1110: TRBCLK, TX 模式的 TBCLK 或 RX 模式的 RBCLK, 输出

● IO3: I/O 控制寄存器 3

Bit	7	6	5	4	3	2	1	0
Name	SDO_TEN	SPIPU	—	GIOPU[4:1]				—
R/W	R/W	R/W	—	R/W				—
POR	0	1	1	1	1	1	1	1

- Bit 7      **SDO\_TEN**: SDO 三态使能 (仅通过 POR 复位)  
0: 除能  
1: 使能
- Bit 6      **SPIPU**: 3 线 SPI 上拉使能 (仅通过 POR 复位)  
0: 除能  
1: 使能  
此位置 1 仅控制 CSN、SCK 和 SDIO 引脚的上拉功能。注意, 4 线 SPI 的 SDO 引脚上拉功能需通过 GIOPU[4:1] 对应位设置。
- Bit 5      保留, 必须设为 “1”
- Bit 4~1    **GIOPU[4:1]**: GIO 引脚功能上拉使能控制 (仅通过 POR 复位)  
这些位分别控制 GIO4~GIO1 引脚的上拉功能。
- Bit 0      保留, 必须设为 “1”

● FIFO1: FIFO 控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	—	—	TXFFSA[5:0]					
R/W	—	—	R/W					
Reset	0	0	0	0	0	0	0	0

- Bit 7~6    保留, 必须设为 “00”
- Bit 5~0    **TXFFSA[5:0]**: TX FIFO 起始地址, 用于 Block FIFO 模式

● FIFO2: FIFO 控制寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	RXPL2F_EN	FFINF_EN	FFMG_EN	FFMG[1:0]	
R/W	—	—	—	R/W	R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	1

- Bit 7~5    保留, 必须设为 “000”
- Bit 4      **RXPL2F\_EN**: RX 有效载荷 (Payload) 长度字节载入 FIFO 使能  
0: 除能  
1: 使能  
当此位置高, 指示有效载荷长度的字节将被加入数据包并载入 RX FIFO。在 RX 连续模式下 (RXCON\_EN=1), RX FIFO 将支持多笔有效载荷, 此位也必须置高。

- Bit 3 **FFINF\_EN**: FIFO 无限制长度模式使能  
0: 除能  
1: 使能
- Bit 2 **FFMG\_EN**: FIFO 长度边界检测使能  
0: 除能  
1: 使能
- Bit 1~0 **FFMG[1:0]**: FIFO 长度边界选择  
TX FIFO 剩余数据长度阈值:  
00: 4 字节  
01: 8 字节  
10: 16 字节  
11: 32 字节  
RX FIFO 剩余空间长度阈值:  
00: 4 字节  
01: 8 字节  
10: 16 字节  
11: 32 字节

当 FFMG\_EN 位置高使能 FIFO 长度边界检测功能，且已通过这些位选择所需检测的 FIFO 长度边界后，当所选的情况发生时，FIFOLTIF 标志位将被置高。此时，若对应的中断功能已使能，将产生中断。

● **PKT1: 数据包控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	TXPMLLEN[7:0]							
R/W	R/W							
Reset	0	0	0	0	0	0	0	1

- Bit 7~0 **TXPMLLEN[7:0]**: TX 前导码长度  
发送前导码长度 = (TXPMLLEN[7:0]+1) 字节

● **PKT2: 数据包控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	PID[1:0]		TRAILER_EN	WHTFMT	SYNCLLEN[1:0]		RXPMLLEN[1:0]	
R/W	R/W		R/W	R/W	R/W		R/W	
Reset	0	0	1	0	0	1	1	0

- Bit 7~6 **PID[1:0]**: TX 数据包 ID  
当 PLH\_EN 位置高使能头码选项时，此 ID 会被放入有效载荷头码字段的最高两位。
- Bit 5 **TRAILER\_EN**: 连接码字段使能  
0: 除能  
1: 使能
- Bit 4 **WHTFMT**: 数据白化格式选择  
0:  $P(X) = X^7 + X^6 + X^5 + X^4 + 1$   
1:  $P(X) = X^7 + X^4 + 1$  (PN7)
- Bit 3~2 **SYNCLLEN[1:0]**: TX/RX 模式同步码长度选择  
00: 保留  
01: 4 字节  
10: 6 字节  
11: 8 字节

Bit 1~0    **RXPMLLEN[1:0]:** RX 前导码检测长度选择  
 00: 0 字节 – 无前导码检测  
 01: 1 字节  
 10: 2 字节  
 11: 4 字节

● **PKT3: 数据包控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	MCH_EN	FEC_EN	CRC_EN	CRCFMT	PLEN_EN	PLHAC_EN	PLHLEN	PLH_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	1	0	0	0	0	0

Bit 7    **MCH\_EN:** 曼彻斯特编码使能  
 0: 除能  
 1: 使能

Bit 6    **FEC\_EN:** FEC 使能  
 0: 除能  
 1: 使能

Bit 5    **CRC\_EN:** CRC 域使能  
 0: 除能  
 1: 使能

Bit 4    **CRCFMT:** CRC 格式选择  
 0: CCITT-16-CRC  $G(X)=X^{16}+X^{12}+X^5+1$   
 1: IBC-16-CRC  $G(X)=X^{16}+X^{15}+X^2+1$

Bit 3    **PLEN\_EN:** 有效载荷长度域使能  
 0: 除能  
 1: 使能

Bit 2    **PLHAC\_EN:** 有效载荷头码地址校准使能控制  
 0: 除能, PKT8 寄存器中的 PLHA[5:0] 字段可由用户自定义作为标志位使用  
 1: 使能, TX 和 RX 设备的 PLHA[5:0] 字段必须包含相同地址, 否则数据包将被视为无效数据包

Bit 1    **PLHLEN:** 有效载荷头码长度选择  
 0: 1 字节  
 1: 2 字节

Bit 0    **PLH\_EN:** 有效载荷头码域使能  
 0: 除能  
 1: 使能

● **PKT4: 数据包控制寄存器 4**

Bit	7	6	5	4	3	2	1	0
Name	WHT_EN	WHTSD[6:0]						
R/W	R/W	R/W						
Reset	0	0	1	1	0	1	1	0

Bit 7    **WHT\_EN:** 数据白化使能  
 0: 除能  
 1: 使能

Bit 6~0    **WHTSD[6:0]:** 数据白化种子

● **PKT5: 数据包控制寄存器 5**

Bit	7	6	5	4	3	2	1	0
Name	TXDLEN[7:0]							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

Bit 7~0 **TXDLEN[7:0]**: TX 数据长度 (单位: 字节; 仅用于 Burst 模式)

● **PKT6: 数据包控制寄存器 6**

Bit	7	6	5	4	3	2	1	0
Name	RXDLEN[7:0]							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

Bit 7~0 **RXDLEN[7:0]**: RX 数据长度 (单位: 字节; 仅用于 Burst 模式)

当 PLEN\_EN 位清零时, 接收的数据长度取决于此字段。当此寄存器被读取时, 所读出的数值表示 RX FIFO 中的数据长度。此寄存器被读取出的默认值是 00h。

● **PKT7: 数据包控制寄存器 7**

Bit	7	6	5	4	3	2	1	0
Name	RXPID[1:0]		DLY_RXS[2:0]			DLY_TXS[2:0]		
R/W	R		R/W			R/W		
Reset	0	0	1	0	0	0	0	0

Bit 7~6 **RXPID[1:0]**: 接收数据包 PID (只读)

Bit 5~3 **DLY\_RXS[2:0]**: RX 模块使能后稳定时间选择

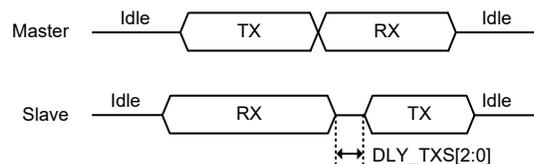
000: 4 $\mu$ s  
001: 8 $\mu$ s  
010: 12 $\mu$ s  
011: 16 $\mu$ s  
100: 20 $\mu$ s  
101: 32 $\mu$ s  
110: 64 $\mu$ s  
111: 100 $\mu$ s

这些位用于选择 RX 使能后到 RX 稳定前的等待时间。此时间应该大于 RX DCOC Turbo 模式默认延迟时间 (6 $\mu$ s)。

Bit 2~0 **DLY\_TXS[2:0]**: 进入 TX 模式前的 TX 启动 (延迟) 时间

000: 0 $\mu$ s  
001: 10 $\mu$ s  
010: 20 $\mu$ s  
011: 40 $\mu$ s  
100: 60 $\mu$ s  
101: 80 $\mu$ s  
110: 100 $\mu$ s  
111: 120 $\mu$ s

该时间用于 ARK 模式下发送器和接收器间的时序调整。



● **PKT8: 数据包控制寄存器 8**

Bit	7	6	5	4	3	2	1	0
Name	—	—	PLHA[5:0]					
R/W	—	—	R/W					
Reset	0	0	0	0	0	0	0	0

Bit 7~6 保留，必须设为“00”

Bit 5~0 **PLHA[5:0]**: 有效载荷头码地址，用于支持播送功能  
RX 模式下若此地址为 0 表示不执行校验核对。  
写: 写数据到 TX PLHA[5:0]。读: 从 RX PLHA[5:0] 读数据。

● **PKT9: 数据包控制寄存器 9**

Bit	7	6	5	4	3	2	1	0
Name	PLHEA[7:0]							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

Bit 7~0 **PLHEA[7:0]**: 有效载荷头码扩展地址，用于支持播送功能  
RX 模式下若此地址为 0 表示不执行校验核对。

● **MOD1: 调制器控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	DTR[7:0]							
R/W	R/W							
Reset	0	0	0	0	0	0	0	1

Bit 7~0 **DTR[7:0]**

DTR[8:0]: 数据速率分频器，DTR[8] 位于 MOD2 寄存器。  
数据速率 =  $f_{XTAL} / [(XODIV2+1) \times 32 \times (DTR[8:0]+1)]$ ，其中 XODIV2=0，这里的数据速率表示 TBCLK。注意，DTR[8:0] 只能是奇数。

● **MOD2: 调制器控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	RXIFOS[11:8]				DITHER[1:0]		—	DTR[8]
R/W	R/W				R/W		—	R/W
Reset	1	0	0	1	0	0	0	0

Bit 7~4 **RXIFOS[11:8]**

RXIFOS[11:0]: RX 中频偏移，RXIFOS[7:0] 位于 MOD3 寄存器。  
要先写 RXIFOS[11:8] 再写 RXIFOS[7:0] 才可完全更新 RXIFOS[11:0]。  
 $RXIFOS[11:0] = \text{floor}\{f_{IF} / [f_{XTAL} / (XODIV2+1)] \times 2^{17}\}$ ，XODIV2=0

Bit 3~2 **DITHER[1:0]**: 高频振动值

Bit 1 保留，必须设为“0”

Bit 0 **DTR[8]**

DTR[8:0]: 数据速率分频，DTR[7:0] 位于 MOD1 寄存器。  
数据速率 =  $f_{XTAL} / [(XODIV2+1) \times 32 \times (DTR[8:0] + 1)]$ ，其中 XODIV2=0，这里的数据速率表示 TBCLK。注意，DTR[8:0] 只能是奇数。

• **MOD3: 调制器控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	RXIFOS[7:0]							
R/W	R/W							
Reset	1	0	0	1	1	0	1	0

Bit 7~0 **RXIFOS[7:0]**

RXIFOS[11:0]: RX 中频偏移, RXIFOS[11:8] 位于 MOD2 寄存器  
要先写 RXIFOS[11:8] 再写 RXIFOS[7:0] 才可完全更新 RXIFOS[11:0].  
 $RXIFOS[11:0]=\text{floor}\{(f_{IF}/[f_{XTAL}/(XODIV2+1)] \times 2^{17}\}$ , XODIV2=0

• **DM1: 解调器控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	—	—	MDIV[5:0]					
R/W	—	—	R/W					
Reset	0	0	0	0	0	0	1	1

Bit 7~6 保留, 必须设为 “00”

Bit 5~0 **MDIV[5:0]**: 解调器工作时钟分频  
 $DMCLK=ADCLK/(MDIV[5:0]+1)$

• **DM2: 解调器控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	PREAMBLE_CFO_EN1	PREAMBLE_CFO_EN0	SDR[5:0]					
R/W	R/W	R/W	R/W					
Reset	0	1	0	0	0	0	0	0

Bit 7 **PREAMBLE\_CFO\_EN1**: 前导码第二阶 CFO 校准使能  
0: 除能  
1: 使能

仅当前导码为 4 个字节时, 即 RXPMLLEN[1:0]=11b 时, 此位才能置 1。

Bit 6 **PREAMBLE\_CFO\_EN0**: 前导码第一阶 CFO 校准使能  
0: 除能  
1: 使能

Bit 5~0 **SDR[5:0]**: 相位提取后的解调器工作时钟  
 $SDR[5:0]+1=DMCLK/(8 \times DATA\_RATE)$ , 这里的 DATA\_RATE 表示 RBCLK。

• **DM3: 解调器控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	CSF_SW_EN	FD_MOD[6:0]						
R/W	R/W	R/W						
Reset	1	1	1	1	0	0	0	0

Bit 7 **CSF\_SW\_EN**: 通道选择滤波器自动频宽切换使能  
0: 除能  
1: 使能

Bit 6~0 **FD\_MOD[6:0]**: 频率偏移调节器  
 $FD\_MOD=\text{round}((h/(SDR[5:0]+1)) \times 128)$ ; h = 解调系数  
 $SDR[5:0]+1=DMCLK/(8 \times DATA\_RATE)$

• **DM4: 解调器控制寄存器 4**

Bit	7	6	5	4	3	2	1	0
Name	THOLD[3:0]				CFO_DSEL	—	PH_DIFF_MOD	PRE_CSF_EN
R/W	R/W				R/W	—	R/W	R/W
Reset	0	0	0	1	1	0	0	0

- Bit 7~4    **THOLD[3:0]:** 检测错误阈值  
 THOLD[3:2]: 前导码检测错误位数  
 THOLD[1:0]: 同步码检测错误位数
- Bit 3    **CFO\_DSEL:** CFO 校准域选择  
 0: 模拟域  
 1: 数字域
- Bit 2    保留, 必须设为“0”
- Bit 1    **PH\_DIFF\_MOD:** 相位差提取模式设置  
 0: 相位提取范围  $[-\pi/2, \pi/2]$   
 1: 相位提取范围  $[-\pi, \pi]$
- Bit 0    **PRE\_CSF\_EN:** 前导码匹配时接收滤波器带宽切换控制  
 0: 除能  
 1: 使能

• **DM5: 解调器控制寄存器 5**

Bit	7	6	5	4	3	2	1	0
Name	FD_HOLD[7:0]							
R/W	R/W							
Reset	0	0	1	1	0	0	0	0

- Bit 7~0    **FD\_HOLD[7:0]:** 前导码检测频率偏差阈值

• **DM8: 解调器控制寄存器 8**

Bit	7	6	5	4	3	2	1	0
Name	M_RATIO[7:0]							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

- Bit 7~0    **M\_RATIO[7:0]:** 用于 CFO 计算  
 $M\_RATIO = \text{round}(1/(\text{MDIV}[5:0] + 1) \times 2^8)$

**Bank 0 控制寄存器**

上电复位后, 所有控制寄存器被设置为初始值。软件复位后, 除了位于 XO3 寄存器的 LIRC\_EN、LIRC\_OP[4:0]、LIRC\_OW 和 LIRCCAL\_EN 位之外, 其它控制寄存器也将恢复至初始值。而前述控制位在软件复位后保持不变。

地址	名称	位							
		7	6	5	4	3	2	1	0
20h	OM	PWR_SOFT	BAND_SEL[1:0]		—	ACAL_EN	RTX_EN	RTX_SEL	SX_EN
22h	SX1	—	D_N[6:0]						
23h	SX2	D_K[7:0]							
24h	SX3	D_K[15:8]							

地址	名称	位							
		7	6	5	4	3	2	1	0
25h	SX4	—	—	—	—	D_K[19:16]			
26h	STA1	—	—	—	CD_FLAG	—	OMST[2:0]		
28h	RSSI2	—			RSSI_CTHD[3:0]				
29h	RSSI3	RSSI_NEGDB[7:0]							
2Ah	RSSI4	RSSI_SYNC_OK[7:0]							
2Bh	ATR1	ATRCLK_DIV[1:0]	ATRCLKS	ATRTU	ATRCTM	ATRM[1:0]		ATR_EN	
2Ch	ATR2	ATRCYC[7:0]							
2Dh	ATR3	ATRCYC[15:8]							
2Eh	ATR4	ATRRXAP[7:0]							
2Fh	ATR5	ATRRXEP[7:0]							
30h	ATR6	ATRRXEP[15:8]							
31h	ATR7	ARKNM[3:0]			—	ATR_WDLY[1:0]		ARK_EN	
32h	ATR8	ARKRXAP[7:0]							
33h	ATR9	ATRCT[7:0]							
34h	ATR10	ATRCT[15:8]							
35h	ATR11	—			ATRRXAP[10:8]				
3Ch	XO1	XSHIFT[1:0]		—	XO_TRIM[4:0]				
3Dh	XO2	—	—	—	—	XODIV2	—		
3Eh	XO3	LIRCCAL_EN	LIRC_OW	LIRC_OP[4:0]				LIRC_EN	
3Fh	TX2	—			CT_PAD[3:0]				

注：地址 21h、27h 和 36h~3Bh 未列于此表格，是预留给将来使用。建议不要通过任何方式修改这些地址的初始值。

下面寄存器说明表格里的复位值指的是 Strobe 命令软件复位后的结果。

● **OM: 工作模式控制寄存器**

Bit	7	6	5	4	3	2	1	0
Name	PWR_SOFT	BAND_SEL[1:0]		—	ACAL_EN	RTX_EN	RTX_SEL	SX_EN
R/W	R/W	R/W		—	R/W	R/W	R/W	R/W
Reset	0	0	1	0	0	0	0	0

Bit 7 **PWR\_SOFT**: RF 工作模式选择

- 0: RF 正常工作模式
- 1: RF 工程模式

Bit 6~5 **BAND\_SEL[1:0]**: 频段选择 (当 PWR\_SOFT=0)

- 00: 315MHz 频段
- 01: 433MHz 频段
- 10: 470~510MHz 频段
- 11: 868/915MHz 频段

Bit 4 保留, 必须设为“0”

- Bit 3     **ACAL\_EN**: 自动校准使能  
           0: 除能  
           1: 使能  
       当此位置高, VCO 和 RC 校准都使能。当 VCO 和 RC 校准都完成后, 此位由硬件自动清零。
- Bit 2     **RTX\_EN**: RX 或 TX 模式使能  
           0: 除能  
           1: 使能  
       RX 或 TX 模式由 RTX\_SEL 位选择之后, 此位置高将会使能所选的模式。
- Bit 1     **RTX\_SEL**: RX 或 TX 模式选择  
           0: RX 模式  
           1: TX 模式
- Bit 0     **SX\_EN**: 合成器使能 ( Standby 模式使能控制 )  
           0: 除能  
           1: 使能  
       此位置高将使能 PFD、CP 和 VCO 功能。

● **SX1: 小数 N 分频合成器控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	D_N[6:0]							
R/W	R/W							
Reset	0	0	0	1	1	0	1	1

- Bit 7     保留, 必须设为 “0”
- Bit 6~0   **D\_N[6:0]**: RF 通道整数代码  
 $D_N[6:0] = \text{floor}\{f_{RF}/[f_{XTAL}/(XODIV2+1)]\}$   
 例如, 默认 XO=16MHz 且 RF 频段 = 433.92MHz:  
 →  $433.92\text{MHz}/16\text{MHz}=27.12$   
 →  $D_N=27$   
 →  $\text{Dec2Hex}(27)=1B$   
 →  $\text{Dec2Bin}(27)=001\_1011$

● **SX2: 小数 N 分频合成器控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	D_K[7:0]							
R/W	R/W							
Reset	1	0	0	0	0	1	0	1

- Bit 7~0   **D\_K[7:0]**: RF 通道小数代码低字节

● **SX3: 小数 N 分频合成器控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	D_K[15:8]							
R/W	R/W							
Reset	1	1	1	0	1	0	1	1

- Bit 7~0   **D\_K[15:8]**: RF 通道小数代码中间字节

● **SX4: 小数 N 分频合成器控制寄存器 4**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	D_K[19:16]			
R/W	—	—	—	—	R/W			
Reset	0	0	0	0	0	0	0	1

Bit 7~4 保留，必须设为“0000”

Bit 3~0 **D\_K[19:16]:** RF 通道小数代码高字节

$$D\_K[19:0]=\text{floor}\{(f_{RF}/[f_{XTAL}/(XODIV2+1)]-D\_N[6:0])\times 2^{20}\}$$

例如，默认 XO=16MHz 且 RF 频段 = 433.92MHz:

$$\rightarrow 433.92\text{MHz}/16\text{MHz}=27.12$$

$$\rightarrow D\_K=0.12\times 2^{20}=125829$$

$$\rightarrow \text{Dec2Hex}(125829)=1\text{EB}85$$

$$\rightarrow \text{Dec2Bin}(125829)=0001\_1110\_1011\_1000\_0101$$

● **STA1: 状态控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	CD_FLAG	—	OMST[2:0]		
R/W	—	—	—	R	—	R		
Reset	0	0	0	0	0	0	0	0

Bit 7~5 保留，必须设为“000”

Bit 4 **CD\_FLAG:** 载波检测标志位 (只读)

当 DEMOD\_EN 拉高且载波检测没问题时，此标志位将被硬件置高。这里的 DEMOD\_EN 高电平是内部信号，在 Direct 模式 (DIR\_EN=1) 下由内部状态机产生，或在 Burst 模式 (DIR\_EN=0) 下接收到 RX 命令后产生。此标志位在 RX\_EN 上升沿时被自动清零。这里说的 RX\_EN 上升沿在 Direct 模式下设置 RTX\_SEL=0 且 RTX\_EN=1 后由内部状态机产生，或在 Burst 模式下接收到 RX 命令后产生。

Bit 3 保留，必须设为“0”

Bit 2~0 **OMST[2:0]:** 工作模式状态指示 (只读)

000: Deep Sleep 模式

001: Idle 模式

010: Light Sleep 模式

011: Standby 模式

100: TX 模式

101: RX 模式

110: VCO 校准模式

111: 未定义

● **RSSI2: RSSI 控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	RSSI_CTHD[3:0]			
R/W	—	—	—	—	R/W			
Reset	0	0	0	0	1	0	1	0

Bit 7~4 保留，必须设为“0000”

Bit 3~0 **RSSI\_CTHD[3:0]:** 载波检测 RSSI 阈值

$$(\text{RSSI\_CTHD}[3:0]\times 2+1)+74 = \text{载波检测 RSSI 阈值}$$

● **RSSI3: RSSI 控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	RSSI_NEGDB[7:0]							
R/W	R							
Reset	0	0	0	0	0	0	0	0

Bit 7~0 **RSSI\_NEGDB[7:0]**: RSSI 值 (单位: -dB)  
此值为实时测量值。

● **RSSI4: RSSI 控制寄存器 4**

Bit	7	6	5	4	3	2	1	0
Name	RSSI_SYNC_OK[7:0]							
R/W	R							
Reset	0	0	0	0	0	0	0	0

Bit 7~0 **RSSI\_SYNC\_OK[7:0]**: 同步码检测正确时的 RSSI 快摄值

● **ATR1: 自动 TX/RX 控制寄存器 1**

Bit	7	6	5	4	3	2	1	0
Name	ATRCLK_DIV[1:0]	ATRCLKS	ATRTU	ATRCTM	ATRM[1:0]	ATR_EN		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	0	0	1	0	0	0

Bit 7~6 **ATRCLK\_DIV[1:0]**: ATR 时钟频率分频  
00: 1/1, ATRCLK=32768Hz  
01: 1/4, ATRCLK=8192Hz  
10: 1/8, ATRCLK=4096Hz  
11: 1/16, ATRCLK=2048Hz

Bit 5 **ATRCLKS**: ATRCLK 时钟源选择  
0: 来自内部 LIRC 时钟  
1: 来自 GIO<sub>n</sub> 引脚的外部 ROSC<sub>i</sub> 时钟输入

Bit 4 **ATRTU**: 自动 TRX 单位时间选择  
0: 250μs  
1: 1ms, 用于支持低数据速率应用  
此位用于选择 ATR RX 有效周期 (ATTRXAP[10:0])、ATR RX 扩展周期 (ATTRXEP[15:0]) 以及 ARK RX 有效周期 (ARKRXAP[7:0]) 的单位时间。

Bit 3 **ATRCTM**: 自动 TRX 定时模式选择  
0: 单次模式, 每次发生 ATR 事务时启动 ATRCT 定时器  
1: 连续模式, 接收到 Idle 命令时启动 ATRCT 定时器, 当 ATR\_EN=0 或者 ATRCTM=0 时停止 ATRCT 定时器

Bit 2~1 **ATRM[1:0]**: 自动 TRX 模式选择  
00: ATR WOT 模式  
01: ATR WOR 模式  
10/11: ATR WTM 模式

Bit 0 **ATR\_EN**: 自动 TRX 使能  
0: 除能  
1: 使能  
当工作模式状态由 Deep Sleep/Light Sleep 模式切换到 Idle 模式时 ATR 功能启动。

● **ATR2: 自动 TX/RX 控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	ATRCYC[7:0]							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

Bit 7~0 **ATRCYC[7:0]**: ATRCT 定时器界限值低字节

● **ATR3: 自动 TX/RX 控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	ATRCYC[15:8]							
R/W	R/W							
Reset	0	0	0	0	1	1	1	1

Bit 7~0 **ATRCYC[15:8]**: ATRCT 定时器界限值高字节  
唤醒周期 =  $ATRCLK \times (ATRCYC[15:0] + 1)$ 。默认周期为 1 秒。

● **ATR4: 自动 TX/RX 控制寄存器 4**

Bit	7	6	5	4	3	2	1	0
Name	ATRRXAP[7:0]							
R/W	R/W							
Reset	0	0	1	0	0	1	1	1

Bit 7~0 **ATRRXAP[7:0]**: ATR RX 有效周期低字节  
ATR RX 有效周期高字节 ATRRXAP[10:8] 位于 ATR11 寄存器。  
有效周期 = 单位时间  $\times (ATRRXAP[10:0] + 1)$ ; 单位时间为 250 $\mu$ s 或 1ms, 由 ATRTU 位决定。由于默认的单位时间是 250 $\mu$ s, 默认的 ATR RX 有效周期为 10ms。

● **ATR5: 自动 TX/RX 控制寄存器 5**

Bit	7	6	5	4	3	2	1	0
Name	ATRRXEP[7:0]							
R/W	R/W							
Reset	1	0	0	0	1	1	1	1

Bit 7~0 **ATRRXEP[7:0]**: ATR RX 扩展周期低字节

● **ATR6: 自动 TX/RX 控制寄存器 6**

Bit	7	6	5	4	3	2	1	0
Name	ATRRXEP[15:8]							
R/W	R/W							
Reset	0	0	0	0	0	0	0	1

Bit 7~0 **ATRRXEP[15:8]**: ATR RX 扩展周期高字节  
扩展周期 = 单位时间  $\times (ATRRXEP[15:0] + 1)$ ; 单位时间为 250 $\mu$ s 或 1ms, 由 ATRTU 位决定。由于默认的单位时间是 250 $\mu$ s, 默认的 ATR RX 扩展周期为 100ms。

● **ATR7: 自动 TX/RX 控制寄存器 7**

Bit	7	6	5	4	3	2	1	0
Name	ARKNM[3:0]				–	ATR_WDLY[1:0]		ARK_EN
R/W	R/W				–	R/W		R/W
Reset	0	1	1	1	0	0	1	0

Bit 7~4 **ARKNM[3:0]**: ARK 重复周期次数  
最大重复周期次数 = ARKNM[3:0]+1

Bit 3 保留, 必须设为“0”

Bit 2~1 **ATR\_WDLY[1:0]**: 自动唤醒延迟时间  
00: 244μs  
01: 488μs  
10: 732μs  
11: 976μs

Bit 0 **ARK\_EN**: 自动重发 /ACK 使能  
0: 除能  
1: 使能

● **ATR8: 自动 TX/RX 控制寄存器 8**

Bit	7	6	5	4	3	2	1	0
Name	ARKRXAP[7:0]							
R/W	R/W							
Reset	0	0	1	0	0	1	1	1

Bit 7~0 **ARKRXAP[7:0]**: ARK RX 有效周期  
有效周期 = 单位时间 × (ARKRXAP[7:0]+1); 单位时间为 250μs 或 1ms, 由 ATRTU 位决定。由于默认的单位时间是 250μs, 默认的 ARK RX 有效周期为 10ms。

● **ATR9: 自动 TX/RX 控制寄存器 9**

Bit	7	6	5	4	3	2	1	0
Name	ATRCT[7:0]							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

Bit 7~0 **ATRCT[7:0]**: ATR 周期定时器低字节

● **ATR10: 自动 TX/RX 控制寄存器 10**

Bit	7	6	5	4	3	2	1	0
Name	ATRCT[15:8]							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

Bit 7~0 **ATRCT[15:8]**: ATR 周期定时器高字节  
读 ATRCT[15:0] 将得到当前计数值。由于 8 位 SPI 数据长度的限制, 读取 ATR9 寄存器时会快速抓取完整的 16 位数据放入读取寄存器缓冲器。用户需连续读取 ATR9 和 ATR10 寄存器 (不被中断) 才能得到正确数据。  
写数据到 ATRCT[15:0] 将更新计数值。先写 ATR9 寄存器再写 ATR10 寄存器才能触发 ATRCT 写功能。此定时器的更新机制用于双向 RF 系统调整主从端时隙。

● ATR11: 自动 TX/RX 控制寄存器 11

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	ATTRXAP[10:8]		
R/W	—	—	—	—	—	R/W		
Reset	0	0	0	0	0	0	0	0

Bit 7~3 保留, 必须设为“00000”

Bit 2~0 **ATTRXAP[10:8]**: ATR RX 有效周期高字节

ATR RX 有效低字节 ATTRXAP[7:0] 位于 ATR4 寄存器。

有效周期 = 单位时间 × (ATTRXAP[10:0]+1); 单位时间为 250μs 或 1ms, 由 ATRTU 位决定。由于默认的单位时间是 250μs, 默认的 ATR RX 有效周期为 10ms。

● XO1: XO 控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	XSHIFT[1:0]		—	XO_TRIM[4:0]				
R/W	R/W		—	R/W				
Reset	0	0	0	1	0	0	0	0

Bit 7~6 **XSHIFT[1:0]**: 电容负载粗调

Bit 5 保留, 必须设为“0”

Bit 4~0 **XO\_TRIM[4:0]**: 晶振内部电容负载细调

默认设置 = 2.4pF, step=0.15pF。此调整值越大电容负载越大, 反之同理。

XO1 寄存器建议值如下表所示:

CLOAD	12pF	16pF	20pF
XO1	1Eh	50h	92h

● XO2: XO 控制寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	XODIV2	—	—	—
R/W	—	—	—	—	R/W	—	—	—
Reset	0	0	0	0	0	0	1	1

Bit 7~4 保留, 必须设为“0000”

Bit 3 **XODIV2**: XO 输出除以 2 使能控制

0: 除能

1: 使能

注:  $f_{XTAL}=16\text{MHz}$ , XODIV2 必须为“0”。

Bit 2~0 保留, 必须设为“011”

● XO3: XO 控制寄存器 3

Bit	7	6	5	4	3	2	1	0
Name	LIRCCAL_EN	LIRC_OW	LIRC_OP[4:0]				LIRC_EN	
R/W	R/W	R/W	R/W				R/W	
POR	0	0	0	1	1	0	1	0

Bit 7 **LIRCCAL\_EN**: LIRC 校准使能控制

0: 除能

1: 使能

- Bit 6      **LIRC\_OW**: LIRC 覆写控制  
0: LIRC\_OP[4:0] 来自校准引擎  
1: LIRC\_OP[4:0] 来自控制寄存器
- Bit 5~1    **LIRC\_OP[4:0]**: LIRC 调整  
写数据到 LIRC\_OP[4:0] 之后, 此值在 LIRC\_OW 位置高后生效。当从 LIRC\_OP[4:0] 读取数据时, 实际数据源取决于 LIRC\_OW 位的设置。
- Bit 0      **LIRC\_EN**: LIRC 使能控制  
0: 除能  
1: 使能

● **TX2: TX 控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	CT_PAD[3:0]			
R/W	—	—	—	—	R/W			
Reset	0	0	0	0	1	0	0	0

- Bit 7~4      保留, 必须设为 “0000”
- Bit 3~0      **CT\_PAD[3:0]**: TX PAD 线性功率控制

**Bank 1 控制寄存器**

上电复位后, 所有控制寄存器被设置为初始值。软件复位后, 这些控制寄存器也将恢复至初始值。

地址	名称	位							
		7	6	5	4	3	2	1	0
21h	AGC2	SAT_SEL[1:0]		—			AGC_CMP_THD[1:0]		
22h	AGC3	CDRST_THD_SEL[1:0]		ENVAVG_SEL[1:0]		—	IF_DETOK_THD[2:0]		
23h	AGC4	GAIN_SEL[3:0]				—	AGC_ST[2:0]		
24h	AGC5	—					AGC_FSEL[1:0]		
26h	AGC7	GAIN_STB[7:0]							
2Ch	FCF1	—	SFRATIO[1:0]			—			
2Dh	FCF2	FSCALE[7:0]							
2Eh	FCF3	—				FSCALE[11:8]			
2Fh	FCF4	CF_B12[7:0]							
30h	FCF5	—						CF_B12[9:8]	
31h	FCF6	CF_B13[7:0]							
32h	FCF7	—						CF_B13[9:8]	
33h	FCF8	CF_A12[7:0]							
34h	FCF9	—						CF_A12[9:8]	
35h	FCF10	CF_A13[7:0]							
36h	FCF11	—						CF_A13[9:8]	
37h	FCF12	CF_B22[7:0]							
38h	FCF13	—						CF_B22[9:8]	
39h	FCF14	CF_B23[7:0]							
3Ah	FCF15	—						CF_B23[9:8]	
3Bh	FCF16	CF_A22[7:0]							
3Ch	FCF17	—						CF_A22[9:8]	
3Dh	FCF18	CF_A23[7:0]							

地址	名称	位							
		7	6	5	4	3	2	1	0
3Eh	FCF19	—						CF_A23[9:8]	

注：地址 20h、25h、27h~2Bh 和 3Fh 未列于此表格，是预留给将来使用。建议不要通过任何方式修改这些地址的初始值。

下面寄存器说明表格里的复位值指的是 Strobe 命令软件复位后的结果。

● **AGC2: AGC 控制寄存器 2**

Bit	7	6	5	4	3	2	1	0
Name	SAT_SEL[1:0]		—	—	—	—	AGC_CMP_THD[1:0]	
R/W	R/W		—	—	—	—	R/W	
Reset	0	1	0	0	0	0	0	0

Bit 7~6 **SAT\_SEL[1:0]**: 饱和检测阈值选择

00: -6dBFS  
01: -8dBFS  
10: -10dBFS  
11: -12dBFS

注：“FS”表示 ADC 输出满额。

Bit 5~2 保留，必须设为“0000”

Bit 1~0 **AGC\_CMP\_THD[1:0]**: AGC 比较次数阈值

00: 连续的 AGC 比较直到检测到 SYNCWORD  
01~11: 比较次数阈值

● **AGC3: AGC 控制寄存器 3**

Bit	7	6	5	4	3	2	1	0
Name	CDRST_THD_SEL[1:0]		ENVAVG_SEL[1:0]		—	IF_DETOK_THD[2:0]		
R/W	R/W		R/W		—	R/W		
Reset	0	0	1	0	0	1	0	0

Bit 7~6 **CDRST\_THD\_SEL[1:0]**: 复位 AGC 的载波信号阈值

CDRST_THD_SEL[1:0]	GAIN_SEL[3:0]		
	0010b	0011b	其它值
00b	-32dBFS	-41dBFS	-48dBFS
01b	-35dBFS	-44dBFS	-48dBFS
10b	-38dBFS	-47dBFS	-48dBFS
11b	-41dBFS	-48dBFS	-48dBFS

若 AGC 操作完成且检测到的信号强度低于预设值时，AGC 进程复位并重新开始。

Bit 5~4 **ENVAVG\_SEL[1:0]**: 包络检测平均比率选择

00: 1/16  
01: 1/32  
10: 1/64  
11: 1/128

Bit 3 保留，必须设为“0”

Bit 2~0 **IF\_DETOK\_THD[2:0]**: IF 检测正常阈值

经过一段增益稳定时间(由 AGC7 寄存器决定)后，AGC 电路在开始检测 IF 信号强度前会先等待 (IF\_DETOK\_THD×8) 个 ADCLK 周期。

● AGC4: AGC 控制寄存器 4

Bit	7	6	5	4	3	2	1	0
Name	GAIN_SEL[3:0]				—	AGC_ST[2:0]		
R/W	R				—	R		
Reset	0	0	0	1	0	0	0	1

- Bit 7~4 **GAIN\_SEL[3:0]:** 增益曲线选择  
 0000: 未选择增益曲线  
 0001: 选择最大增益  
 0111: 选择最小增益  
 有效值范围为 0000~0111。硬件自动选择增益。该字段和 CDRST\_THD\_SEL[1:0] 字段共同决定复位 AGC 的载波信号强度阈值, 详见 AGC3 寄存器描述。
- Bit 3 保留, 必须设为 “0”
- Bit 2~0 **AGC\_ST[2:0]:** AGC 状态机的状态  
 000~001: AGC 未完成  
 111: AGC 完成

● AGC5: AGC 控制寄存器 5

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	AGC_FSEL[1:0]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	0	0

- Bit 7~2 保留, 必须设为 “000000”
- Bit 1~0 **AGC\_FSEL[1:0]:** AGC 滤波器配置  
 AGC\_FSEL[1]: HPF 通带设定点  
 0: 5/32 ADCLK  
 1: 6/32 ADCLK  
 AGC\_FSEL[0]: LPF 通带设定点  
 0: 17/320 ADCLK  
 1: 17/256 ADCLK  
 ADCLK=0.5×XCLK。XCLK=16MHz, 建议设置 AGC\_FSEL[1:0]=00b。

● AGC7: AGC 控制寄存器 7

Bit	7	6	5	4	3	2	1	0
Name	GAIN_STB[7:0]							
R/W	R/W							
Reset	0	0	1	1	0	0	0	0

- Bit 7~0 **GAIN\_STB[7:0]:** 增益稳定计数  
 增益稳定延迟计数 (单位: ADCLK 周期)=GAIN\_STB[7:0]×2

● FCF1: 滤波器系数控制寄存器 1

Bit	7	6	5	4	3	2	1	0
Name	—	—	SFRATIO[1:0]		—	—	—	—
R/W	—	—	R/W		—	—	—	—
Reset	0	0	0	0	0	1	1	0

- Bit 7~6 保留, 必须设为 “00”
- Bit 5~4 **SFRATIO[1:0]:** 平滑滤波器比率选择  
 00: 1/1  
 01: 1/16

10: 1/64  
11: 1/128

Bit 3~0 保留, 必须设为“0110”

● FCF2: 滤波器系数控制寄存器 2

Bit	7	6	5	4	3	2	1	0
Name	FSCALE[7:0]							
R/W	R/W							
Reset	0	1	0	0	0	1	0	0

Bit 7~0 FSCALE[7:0]: 频率偏移比例参数低字节

● FCF3: 滤波器系数控制寄存器 3

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	FSCALE[11:8]			
R/W	—	—	—	—	R/W			
Reset	0	0	0	0	0	1	0	0

Bit 7~4 保留, 必须设为“0000”

Bit 3~0 FSCALE[11:8]: 频率偏移比例参数高字节  
若数据速率范围在 250Kbps~100Kbps, 则需进行此滤波。  
 $FSCALE[11:0]=\text{round}\{h \times f_s / [f_{XTAL} / (XODIV2+1)] \times 2^{15}\}$ ,  
 $h = (2 \times \text{频率偏移}) / (\text{数据速率})$ 。  
其中 h 为解调系数, 通过频率偏移和数据速率计算。

● FCF4: 滤波器系数控制寄存器 4

Bit	7	6	5	4	3	2	1	0
Name	CF_B12[7:0]							
R/W	R/W							
Reset	1	0	0	0	0	1	0	1

● FCF5: 滤波器系数控制寄存器 5

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CF_B12[9:8]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	1	0

● FCF6: 滤波器系数控制寄存器 6

Bit	7	6	5	4	3	2	1	0
Name	CF_B13[7:0]							
R/W	R/W							
Reset	1	0	0	0	1	0	1	0

● FCF7: 滤波器系数控制寄存器 7

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CF_B13[9:8]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	0	0

● FCF8: 滤波器系数控制寄存器 8

Bit	7	6	5	4	3	2	1	0
Name	CF_A12[7:0]							
R/W	R/W							
Reset	0	0	0	1	0	0	1	0

● FCF9: 滤波器系数控制寄存器 9

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CF_A12[9:8]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	0	0

当数据速率在 49Kbps~2Kbps 范围内时, 需要进行以下平滑滤波。

$$CF\_A12[9:0]=\text{mod}(2^{10}+[(SFRATIO[1:0]-1)\times 2^8], 2^{10})$$

● FCF10: 滤波器系数控制寄存器 10

Bit	7	6	5	4	3	2	1	0
Name	CF_A13[7:0]							
R/W	R/W							
Reset	0	0	1	0	1	0	1	1

● FCF11: 滤波器系数控制寄存器 11

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CF_A13[9:8]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	1	1

● FCF12: 滤波器系数控制寄存器 12

Bit	7	6	5	4	3	2	1	0
Name	CF_B22[7:0]							
R/W	R/W							
Reset	0	0	0	1	0	1	0	0

● FCF13: 滤波器系数控制寄存器 13

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CF_B22[9:8]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	0	1

● FCF14: 滤波器系数控制寄存器 14

Bit	7	6	5	4	3	2	1	0
Name	CF_B23[7:0]							
R/W	R/W							
Reset	0	0	1	0	0	0	0	1

● FCF15: 滤波器系数控制寄存器 15

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CF_B23[9:8]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	0	0

● FCF16: 滤波器系数控制寄存器 16

Bit	7	6	5	4	3	2	1	0
Name	CF_A22[7:0]							
R/W	R/W							
Reset	0	1	1	1	1	0	0	0

● FCF17: 滤波器系数控制寄存器 17

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CF_A22[9:8]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	0	0

● FCF18: 滤波器系数控制寄存器 18

Bit	7	6	5	4	3	2	1	0
Name	CF_A23[7:0]							
R/W	R/W							
Reset	0	0	1	0	1	0	0	0

● FCF19: 滤波器系数控制寄存器 19

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	CF_A23[9:8]	
R/W	—	—	—	—	—	—	R/W	
Reset	0	0	0	0	0	0	0	0

FCF4~FCF19 寄存器定义了 8 组 IIR 系数，不同 XTAL 时钟情况下这些寄存器的建议设定值如下面表格所示。

$f_{XTAL}$	16MHz	16MHz	16MHz	16MHz	16MHz
$f_s$	250Kbps	125Kbps	50Kbps	10Kbps	2Kbps
$f_D$	93.75kHz	46.875kHz	18.75kHz	40kHz	8kHz
D_K[19:0] (H)	$f_{RF}/[f_{XTAL}/(XODIV2+1)]$ , 取小数				
D_N[6:0] (H)	$f_{RF}/[f_{XTAL}/(XODIV2+1)]$ , 取整数				
SFRATIO[1:0] (D)	0	0	0	1	3

FSCALE[11:0] (H)	294	119	4C	A4	20
CF_B12[9:0] (H)	2CA	01D	0	0	0
CF_B13[9:0] (H)	062	346	0	0	0
CF_A12[9:0] (H)	358	022	0	310	302
CF_A13[9:0] (H)	3E9	331	0	0	0
CF_B22[9:0] (H)	3B3	386	0	0	0
CF_B23[9:0] (H)	03E	012	0	0	0
CF_A22[9:0] (H)	3E9	008	0	0	0
CF_A23[9:0] (H)	039	008	0	0	0

### Bank 2 控制寄存器

上电复位后，所有控制寄存器被设置为初始值。软件复位后，这些控制寄存器也将恢复至初始值。

地址	名称	位							
		7	6	5	4	3	2	1	0
26h	RSV1	保留							
27h	RSV2	保留							
28h	RSV3	保留							
29h	RSV4	保留							
2Dh	RSV5	保留							
2Eh	RSV6	保留							
2Fh	RVS7	保留							
30h	RSV8	保留							
31h	RSV9	保留							
34h	RSV10	保留							
3Ah	RSV11	保留							

注：未列于此表格的地址，是预留给将来使用。建议不要通过任何方式修改这些地址的初始值。

Bank 2 寄存器的建议设置值如下标所示。

地址	名称	频段	
		433MHz	868MHz
26h	RSV1	03h	
27h	RSV2	88h	
28h	RSV3	A3h	
29h	RSV4	80h	
2Dh	RSV5	16h	
2Eh	RSV6	64h	74h
2Fh	RSV7	44h	54h
30h	RSV8	00h	
31h	RSV9	64h	
34h	RSV10	BCh	9Ch
3Ah	RSV11	94h	

## 特殊功能说明

### Sub-1GHz RF 收发器

BC66F3652 采用完全集成的低中频接收器架构。接收到的信号先经过一个低噪声放大器 (LNA) 进行放大，接着通过一个正交混频器将频率向下转换为中频。混频器输出信号经过通道选择滤波器进行滤波，滤除不必要的带外干扰和图像信号。经过滤波后，中频信号经过一个模拟可编程增益放大器 (PGA) 进行放大。接着使用一个 10 位  $\Sigma\Delta$  A/D 转换器将放大后的中频信号数字化。

RF 内置一个自动增益控制 (AGC) 单元，可根据数字调制解调器产生的 RSSI 来调节接收器增益。此 AGC 功能使得 RF 可在灵敏度级别至 +10dBm 输入功率范围之内工作。

BC66F3652 采用完全内置的小数 N 分频合成器，包含 RF VCO、回路滤波器、内带负载电容的数字控制晶振。在 PCB 上装 VCO 负载电感可降低 VCO 谐振频率，从而实现 4.2mA 的 RX 模式电流损耗。小数 N 分频合成器架构允许用户将其潜在应用扩展至更广泛的频率范围。

传输会话采用 VCO 直接调制架构。与传统的直接上变频发送器不同，这里利用小数 N 分频合成器的优势直接将 GFSK 调制信号接入 VCO。因此，布局面积和电流损耗都比传统直接上变频发送器的小很多。精细的分辨率可产生低 FSK 误差的 GFSK 信号。调制好的信号接入一个 E 类功率放大器 (PA)，最大输出功率可达 +13dBm。

### 串行接口

RF 通过一个 3 线 SPI 接口 (CSN, SCK, SDIO) 或一个 4 线串行接口 (SDO 位于 GIO2) 与 MCU 通信，数据速率高达 250Kbps。一笔 SPI 传输其实就是一个 (8+8×n) 位的序列，包含一个 8 位的命令和 n×8 位数据，其中 n 可以是 0 或者任何自然数。若 n 大于地址边界，则会返回地址 0。MCU 要访问 RF 部分时应将 CSN (SPI 芯片选择) 引脚拉低。用户可通过 SPI 接口访问控制寄存器并发出 Strobe 命令。当写数据到 RF 芯片时，SPI 数据会在 SCK 信号上升沿时存入对应寄存器。若从 RF 芯片寄存器读取数据，当输入目标寄存器地址后，每一个位数据会在 SCK 信号下降沿时传出。

命令 (8 位)								数据 (8 位)							
C7	C6	C5	C4	C3	C2	C1	C0	D7	D6	D5	D4	D3	D2	D1	D0

#### SPI 命令格式

有两种命令，一种是只有 1 个字节的命令，即 CmdO；另一种是 1 个字节命令加 n 个字节数据，即 CmdD。

C7	C6	C5	C4	C3	C2	C1	C0	说明	CmdO	CmdD
0	1	A5	A4	A3	A2	A1	A0	写入控制寄存器		√
1	1	A5	A4	A3	A2	A1	A0	读取控制寄存器		√
0	0	1	x	x	x	B1	B0	设置寄存器存储区	√	
0	0	0	1	x	x	x	0	写同步码命令		√
1	0	0	1	x	x	x	0	读同步码命令		√
0	0	0	1	x	x	x	1	TX FIFO 写命令		√
1	0	0	1	x	x	x	1	RX FIFO 读命令		√
1	0	0	1	1	1	1	1	读取芯片 ID 命令		√

C7	C6	C5	C4	C3	C2	C1	C0	说明	CmdO	CmdD
0	0	0	0	1	0	0	0	软件复位命令	√	
0	0	0	0	1	0	0	1	TX FIFO 地址指针复位命令	√	
1	0	0	0	1	0	0	1	RX FIFO 地址指针复位命令	√	
0	0	0	0	1	0	1	0	Deep Sleep 模式	√	
0	0	0	0	1	0	1	1	Idle 模式	√	
0	0	0	0	1	1	0	0	Light Sleep 模式	√	
0	0	0	0	1	1	0	1	Standby 模式	√	
0	0	0	0	1	1	1	0	TX 模式	√	
1	0	0	0	1	1	1	0	RX 模式	√	

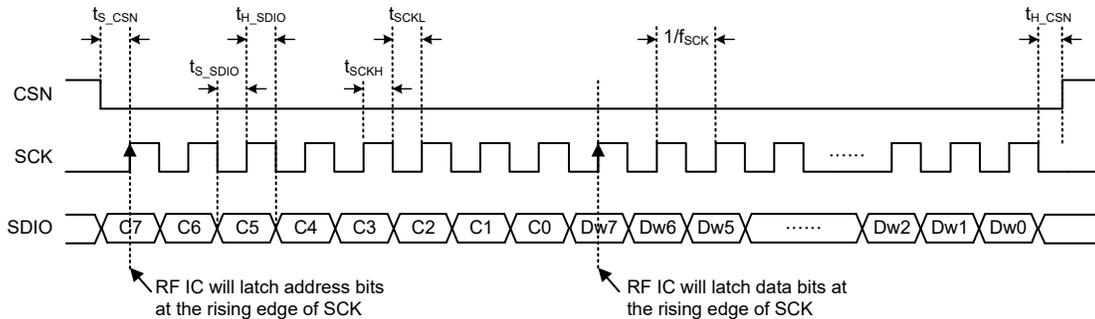
A5~A0: 控制寄存器地址;

x: 硬件上无关, 但建议软件设置为 0;

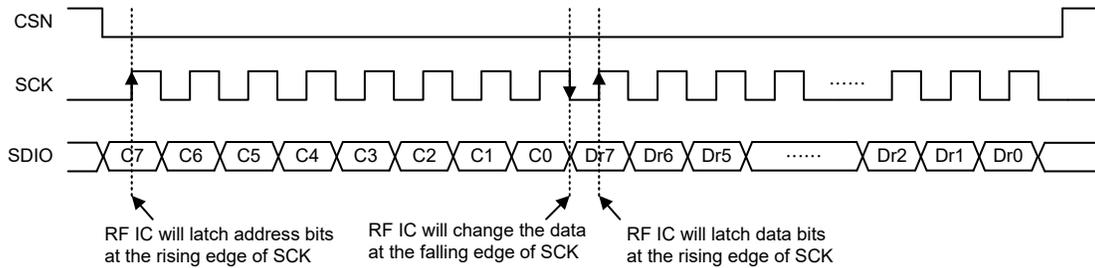
B1~B0: Bank 编号

- 注: 1. 此芯片支持多字节读 / 写操作, 每次读或写操作后地址自动递增。  
 2. 在单个 CSN 使能周期内, 每个读 / 写命令之后允许软件读 / 写多个字节。  
 3. 在 Sleep 模式下, GIO 引脚维持上一个工作模式时的电平状态。

### SPI 时序



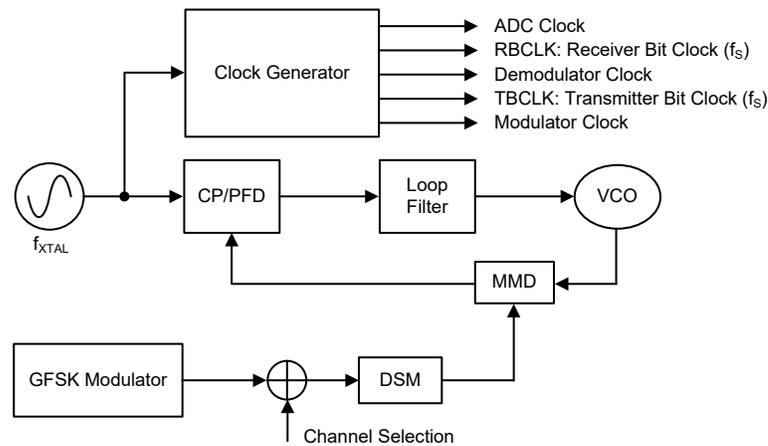
### 3 线 SPI 接口写入 1 个字节数据



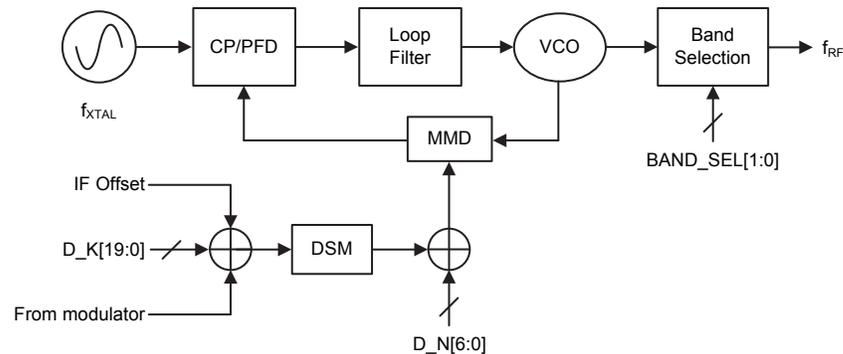
### 3 线 SPI 接口读取 1 个字节数据

## 系统时钟

RF 的主要系统时钟来自 XTAL 晶振。各种功能模块的所有内部操作时钟都来自此晶振。



## 频率合成器



RF 收发器频率由一个高分辨率的小数 N Delta Sigma 频率合成器产生。通过合理设置  $D\_N[6:0]$  和  $D\_K[19:0]$ ，可产生一个低噪声 LO 频率，适用于各种无线电规范标准，如 ETSI EN 和 FCC 等等。在 RX 模式下，此合成器可为 RX 混频器操作提供一个 LO-IF 频率，通过配置  $RXIFOS[11:0]$  产生所需的 IF 偏移量。当数据速率大于等于 200Kbps 时，IF 须设为 300kHz，否则 IF 应设置为 200kHz。在 TX 模式下，调制器可提供额外的基带数据频率偏移波。

$$D\_N[6:0] = \text{Floor} \left( \frac{f_{RF}}{f_{XTAL}/(XODIV2+1)} \right)$$

$$D\_K[19:0] = \text{Floor} \left( \left( \frac{f_{RF}}{f_{XTAL}/(XODIV2+1)} - D\_N[6:0] \right) \times 2^{20} \right)$$

$$RXIFOS[11:0] = \text{Floor} \left( \left( \frac{f_{IF}}{f_{XTAL}/(XODIV2+1)} \right) \times 2^{17} \right)$$

## 调制器

BC66F3652 支持 GFSK 调制。RF 部分内置一个  $BT=0.5$  的高斯滤波器以实现脉冲平滑的目的。发送器的频率偏移  $f_{DEV}$  由  $FSCALE[11:0]$  位设定。 $FSCALE[11:0]$  的值取决于解调器系数  $h$ 、XO 输出除以 2 控制位  $XODIV2$ 、数据速率  $f_s$  以及  $f_{XTAL}$ 。

$$h = \frac{2 \times f_{DEV}}{f_s}$$

FSCALE[11:0]=round ((h× f<sub>X TAL</sub>/(XODIV2+1) )×2<sup>15</sup>), 取最低 12 位

对于低数据速率 (≤10Kbps) 应用, 解调系数建议值为 8。对于高数据速率 (≥50Kbps) 应用, 解调器系数建议为 0.75。当数据速率介于前面这两个值之间时, 确保频率偏移高于 20kHz。

当数据速率大于等于 100Kbps 时, FSCALE 字段需乘以一个比例因数。数据速率大于等于 100Kbps 时 FSCALE 的建议值, 在滤波器系数控制寄存器之后的表格里有提供。

### 状态机

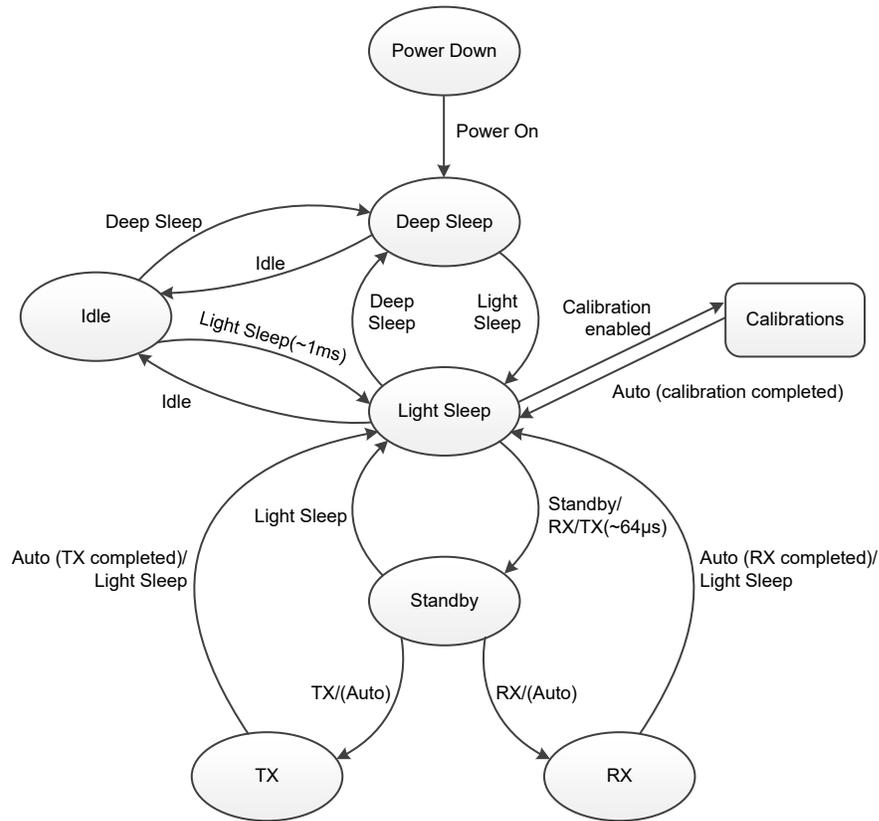
RF 有 7 种工作模式。所有工作模式以及对应的关键功能开启 / 关闭状态如下所示。

1. Power Down 模式
2. Deep Sleep 模式
3. Light Sleep 模式
4. Standby 模式
5. Idle 模式
6. TX 模式
7. RX 模式

模式	寄存器保存	3.3V	LIRC	稳压器	XO	Standby+VCO	TX	RX	Strobe 命令
Power Down	No	OFF	OFF	OFF	OFF	OFF	OFF	OFF	—
Deep Sleep	Yes	ON	OFF	OFF	OFF	OFF	OFF	OFF	0000_1010
Light Sleep	Yes	ON	OFF	ON	ON	OFF	OFF	OFF	0000_1100
Idle	Yes	ON	ON	OFF	OFF	OFF	OFF	OFF	0000_1011
Standby	Yes	ON	OFF	ON	ON	ON	OFF	OFF	0000_1101
TX	Yes	ON	OFF	ON	ON	ON	ON	OFF	0000_1110
RX	Yes	ON	OFF	ON	ON	ON	OFF	ON	1000_1110

### TX/RX FIFO 模式 (DIR\_EN=0) 状态机

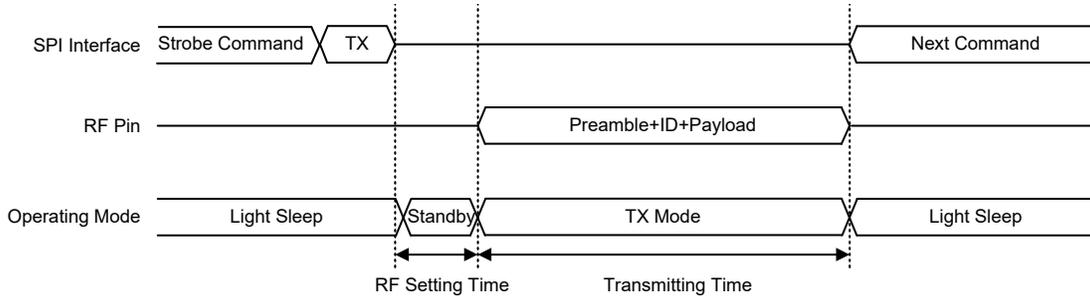
若 DIR\_EN 位为 0，芯片模式切换通过 MCU 发送 Strobe 命令来实现，且 TX/RX 数据来自数据包处理硬件。



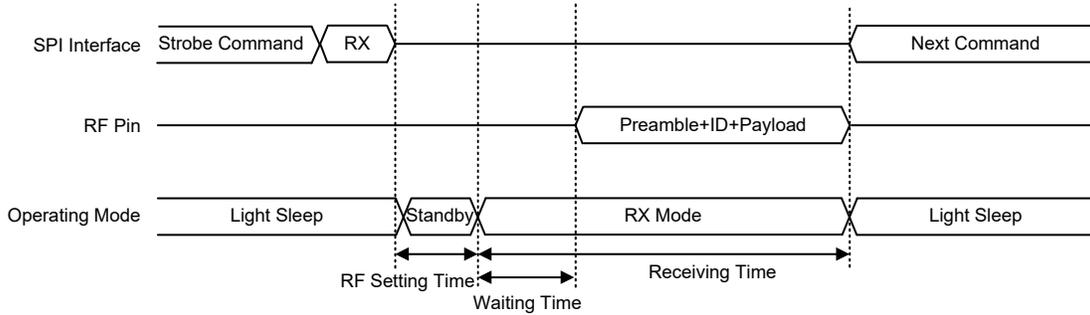
FIFO 模式状态方框图

RF 初始状态为 Power Down 模式。芯片完成内部上电复位后先进入 Deep Sleep 模式，等待来自 MCU 的 Strobe 命令。若接收到 Light Sleep 命令，芯片将使能内部 LDO、起振 XO 并进入 Light Sleep 模式。在此模式下，若有需要 MCU 可让 RF 执行校准功能。若要进行正常的 TRX 操作，MCU 可发送 RX 或 TX 命令给芯片。当芯片接收到 TX 或 RX 命令后，会先进入 Standby 模式并持续一段时间，此时间称为 TX/RX 设置时间。经过这段设置时间后，芯片将进入 RX 或者 TX 模式。芯片保持 TX/RX 状态直到 TX/RX 操作完成。这之后芯片自动返回 Light Sleep 模式。

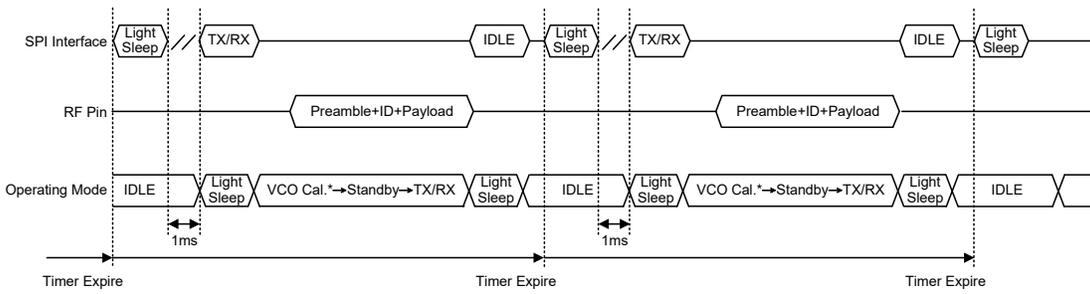
针对低功率周期性无线传输，该芯片支持低功耗 Idle 模式，在此模式下 LIRC 和唤醒定时器开启。合理设置定时器并发送 Idle 命令，芯片将关闭 LDO 和 XO 并进入 Idle 模式。芯片保持 Idle 模式直到达到定时器定时时间，与此同时芯片通过 GIO 发送一个中断请求以唤醒 MCU。接着，MCU 可让芯片进入 Light Sleep 模式，接着再执行 TX/RX 相关操作。当 TX/RX 操作完成，MCU 可发送 Idle 命令给芯片使其再次进入 Idle 模式。



FIFO 模式 TX 时序图



FIFO 模式 RX 时序图



Note: VCO Cal.(VCO Calibration) time: ~152 $\mu$ s@433MHz / ~96 $\mu$ s@868MHz.

周期性 TX/RX 时序

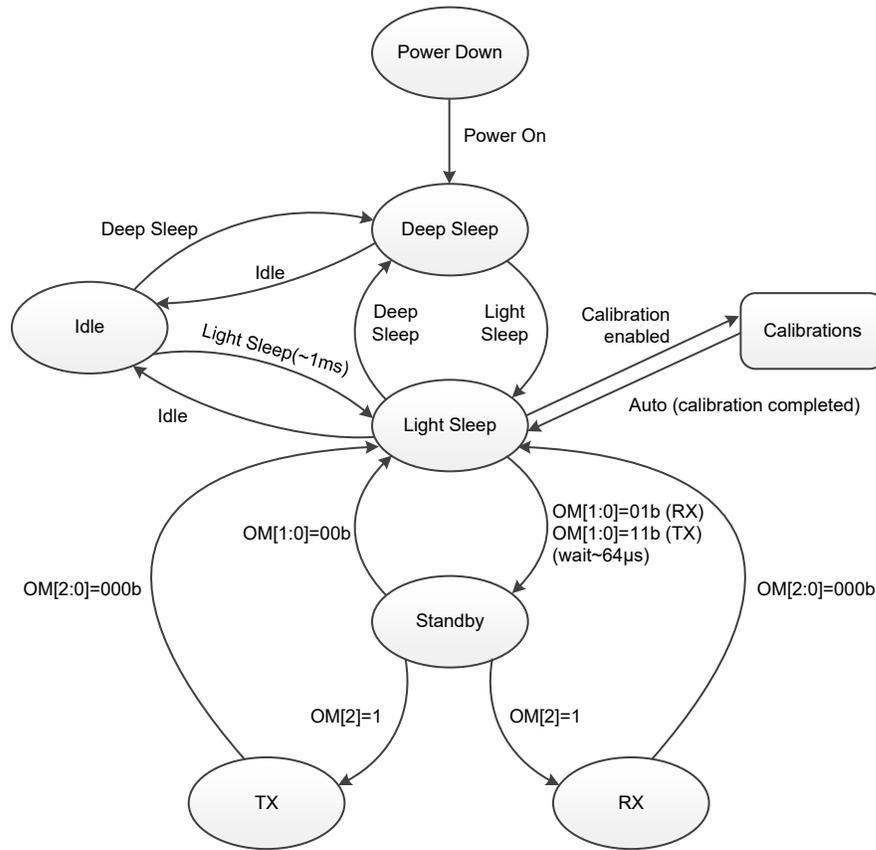
### TX/RX Direct 模式 (DIR\_EN=1) 状态机

若设置 DIR\_EN 为 1, TX 数据由主控 MCU 直接发送给 RF, RX 数据由 RF 直接发送给 MCU。为了简化 RF 与 MCU 之间的数据位时钟同步, 设置 GIO3S[3:0] 或 GIO4S[3:0], RF 便可从 GIO3 或 GIO4 输出 TBCLK/RBCLK 时钟。TBCLK 和 RBCLK 都是 50/50 占空比周期。在发送模式下, MCU 在 TBCLK 信号上升沿时输出位数据, RF 在 TBCLK 信号的下降沿时采样 TX 位数据。在接收模式下, MCU 在 RBCLK 信号上升沿时接收数据, RF 在 RBCLK 信号下降沿时输出位数据。MCU 可设置 GIO2S[2:0] 选择 GIO2 用于 TX/RX 位数据传输。

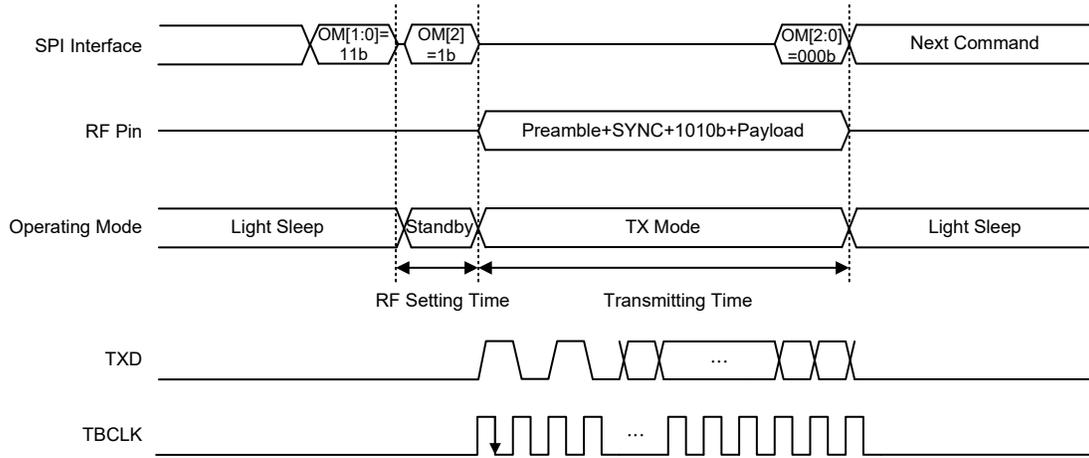
若要在 Direct 模式下进行 TX 操作, MCU 需设置 OM[1:0], 即 RTX\_SEL 和 SX\_EN 位, 为“11”以选中 TX 模式并先让 RF 进入 Standby 模式。接着设置 OM[2], 即 RTX\_EN 位, 为“1”使 RF 开始发送 TX 数据。一旦 MCU 将 OM[2:0] 位设置为“000”, RF 将返回 Light Sleep 模式。

若要在 Direct 模式下进行 RX 操作, MCU 需先设置 OM[1:0] 位为“01”, 接着设置 OM[2] 为“1”使 RF 开始接收数据。当芯片接收到匹配的同步码时, 会输出 RBCLK 时钟, 接收数据位, 即有效载荷部分, 然后再发送给 MCU。

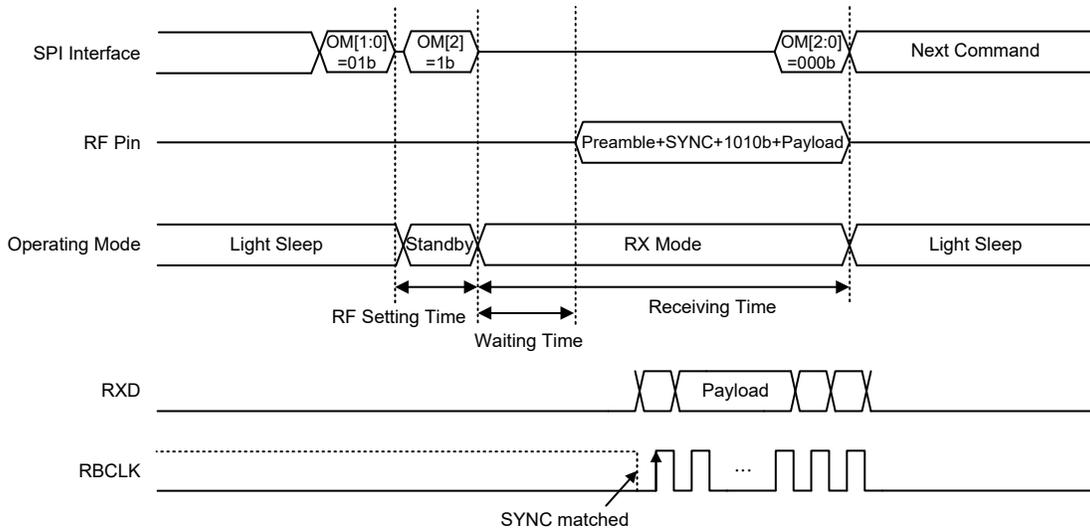
在 Direct 模式下，对传输的数据长度无限制。



Direct 模式状态方框图



Direct 模式 TX 时序图



Direct 模式 RX 时序图

## 校准

此芯片有三种校准功能，即 VCO，RC 和 LIRC 校准，帮助用户自动选择合适的设置来实现 PVT (制程 - 电压 - 温度) 变化补偿。ACAL\_EN 控制位可同时使能 VCO 和 RC 校准功能，当此位置高后两种校准功能将自动执行。当两个校准功能都完成后，ACAL\_EN 位由硬件自动清零。MCU 可检查 ACAL\_EN 位状态或者通过校准完成中断标志位 CALCMPF 位确认校准状态。LIRC 校准功能有自己独立的使能位，LIRCCAL\_EN，允许单独执行 LIRC 校准功能。

### LIRC 校准

RF 内置一个低频 RC 晶振，在 Idle 模式下可为唤醒定时器提供时钟源。校准后，该低频 RC 晶振可对 PVT 变化提供  $\pm 2\%$  补偿。校准过程通过 LIRC 频率曲线设置使其频率接近 32768Hz。接着，另外再进行一个 LIRC 校正步骤以微调唤醒定时器使其精度误差小于  $\pm 1\%$ 。

在进行 LIRC 校准之前，MCU 需先设置 LIRC\_OW 为“0”，LIRC\_EN 为“1”。在 Light Sleep 模式下，当 LIRCCAL\_EN 位被主控 MCU 置高时，RF 将执行 LIRC 校准。当 LIRC 校准完成后，LIRCCAL\_EN 位由硬件清零。LIRC 校准过程需要花大概 4ms 时间。

## AGC & RSSI

为了加强接收动态范围，并确保信号的信噪比不低于解调器最小信噪比要求，该芯片还内置一个 AGC (自动增益控制) 功能模块。在 ADC 保持在设定点和 -26dBFS 之间之前，AGC 会先微调接收器增益以确保得到有效的信号电平。设定点范围是 -6dBFS 到 -12dBFS，由 SAT\_SEL[1:0] 设置调整。FS 表示 A/D 转换器满额。

RF 还内建一个接收器信号强度指示器 (RSSI) 测量功能模块。RSSI 计算引擎用于计算经过 ADC 转换后的接收信号强度。结合计算出来的 ADC 信号强度值以及接收器链路总增益得出 RSSI 值。RSSI 有效读取值范围是 -110dBm 到 -10dBm。RSSI 测量误差通常低于  $\pm 6\text{dBm}$ 。读取值的单位是 -dBm。一共有两组 RSSI 读取值，一组是 RSSI\_SYNC\_OK[7:0]，此值为检测到有效同步码正常后的 RSSI 测量值快照。另一组是 RSSI\_NEGDB[7:0]，为实时的 RSSI 计算结果。在接收

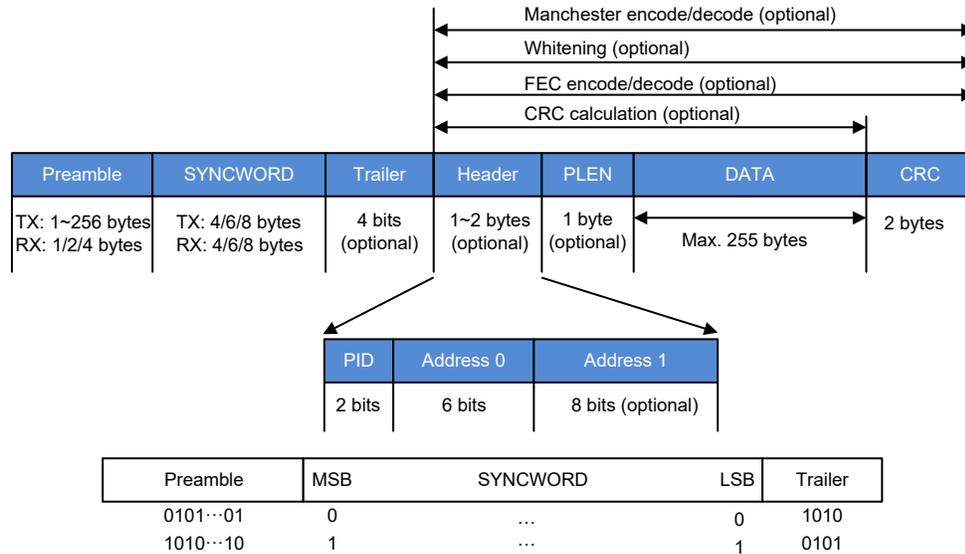
模式下，MCU 可访问 RSSI\_NEGDB 字段。当接收完成时，MCU 可检查 RSSI\_SYNC\_OK[7:0] 以获取接收信号强度。

## 数据包处理器

在 TX 模式下，数据包处理器将要发送的数据从 FIFO 中移出并按照数据包格式执行通道编码，然后将数据包发送给调制器。在 RX 模式下，数据包处理器对来自解调器的数据进行通道解码，并将有效载荷存入 FIFO。

数据包处理器负责执行多个任务，如插入前导码和同步码、正向纠错、CRC 计算 / 校验、数据白化 / 去白以及曼彻斯特编码 / 解码。

## 数据包格式



- 注：1. 前导码格式依据同步码最高位进行反转  
 若 MSB=0，前导码格式 = 0101...01  
 若 MSB=1，前导码格式 = 1010...10  
 2. 连接码格式依据同步码最低位进行反转  
 若 LSB=0，连接码 = 1010  
 若 LSB=1，连接码 = 0101  
 3. Trailer 域包含 4 位，可由用户自选，通过 TRAILER\_EN 位控制。

### 前导码 (Preamble)

数据包开头是一个 1~256 字节的前导码，TX 模式下此长度由 TXPMLN[7:0] 决定。在 RX 模式下，前导码检测长度为 1、2 或 4 个字节，通过 RXPMLN[1:0] 选择。

### 同步码 (SYNCWORD)

同步码长度由 SYNCLN[1:0] 设置，TX 模式下可为 4、6 或 8 个字节。在 RX 模式下，同步码检测长度也是 4、6 或 8 个字节。当 RX 端接收到匹配的同步码数据包时，数据域部分将被存入 FIFO。

### 连接码 (Trailer)

连接码字段固定是 4 位，是介于同步码及后续有效载荷间的连接字段。

### 头码 (Header)

是否需要头码，即有效载荷头码，可由用户自选，通过 PLH\_EN 位使能。有效载荷头码长度是 1 或 2 个字节，由 PLHLEN 位决定。当 PLHLEN 位为 0 时，数据包中的头码仅包含 PID[1:0] 和 PLHA[5:0] (地址 0) 字段。此时 PID[1:0] 位于头码字段的 7~6 位。若 PLHAC\_EN 位为 0，PLHA[5:0] 可用作软件标志位，实际功能可由用户自定义。若 PLHAC\_EN 位为 1，芯片将对比自身 PLHA[5:0] 和接收到的 PLHA[5:0] 字段值。若匹配，则接收到的数据会移入 RX FIFO，否则紧接着的数据会被丢弃。PLHA[5:0] 字段的目的是用于支持播送功能，当 PLHA[5:0] 等于 0 时，允许 RF 不执行地址过滤机制。

当 PLHLEN 位设为 1 时，地址域的长度扩展到 14 位，由地址 0 (PLHA[5:0]) 和地址 1 (PLHEA[7:0]) 构成。

### 有效载荷长度 (PLEN)

PLEN 域可由用户自选，一旦通过 PLEN\_EN 位使能后，PLEN 域固定为 1 个字节。当 PLEN\_EN 位置 1 时，数据域的长度是可变的，由每个 TX/RX 数据包中的 PLEN 域决定。

### 数据 (DATA)

TX 模式下的 TX 数据长度取决于 TXDLEN[7:0]。在 Extend FIFO 模式下，最大长度可为 255 个字节。在 Infinite FIFO 模式下，长度无限制可超过 255 字节。若 PLEN\_EN 位等于 1，TX 数据包的 PLEN 域使能，此时 PLEN 值等于 TXDLEN[7:0]。在 RX 模式下，若 PLEN\_EN 等于 0，RX 数据长度由 RXDLEN[7:0] 决定；若 PLEN\_EN 等于 1，RX 数据长度由 PLEN 域决定。

### 循环冗余码校验 (CRC)

CRC 域可由用户自选，通过 CRC\_EN 位使能。建议始终设置 CRC\_EN 位为 1 以检查数据的正确性。共有两种 CRC 格式，通过 CRCFMT 位选择。

CRCFMT=0: CCITT-16-CRC  $G(X)=X^{16}+X^{12}+X^5+1$

CRCFMT=1: IBC-16-CRC  $G(X)=X^{16}+X^{15}+X^2+1$

注：CRC 初始值为 FFFF。

### 正向纠错 (FEC)

该数据编码 / 解码功能由 FEC\_EN 位使能。使用 (7, 4) 汉明码对每 4 位数据进行大于等于 1 位的错误检测。正向纠错之后，每笔数据的数据长度为  $(4+3) \times 2 = 14$  位。

#### ● 汉明码功能表格

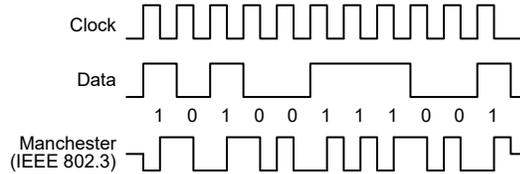
位	7	6	5	4	3	2	1
传送位	D3	D2	D1	P2	D0	P1	P0
P0	Y	N	Y	N	Y	N	Y
P1	Y	Y	N	N	Y	Y	N
P2	Y	Y	Y	Y	N	N	N

### 数据白化 (Data Whitening)

数据白化 / 去白功能通过 WHT\_EN 位使能。使用 PN7 码与发送的数据进行异或运算。数据白化种子值由 WHTSD[6:0] 设置。

### 曼彻斯特码 (Manchester Code)

曼彻斯特编码 / 解码功能由 MCH\_EN 位使能。每一个位在经过曼彻斯特编码后变成两位，解码后再恢复至一位。



曼彻斯特码举例

## FIFO 工作模式

Burst 模式下，RF 发送器要发送的数据来自 FIFO 且由 MCU 预先写好。共有四个 FIFO 模式可支持各种应用。这些模式为 Simple FIFO 模式、Block FIFO 模式、Extend FIFO 模式和 Infinite FIFO 模式。

### FIFO 复位

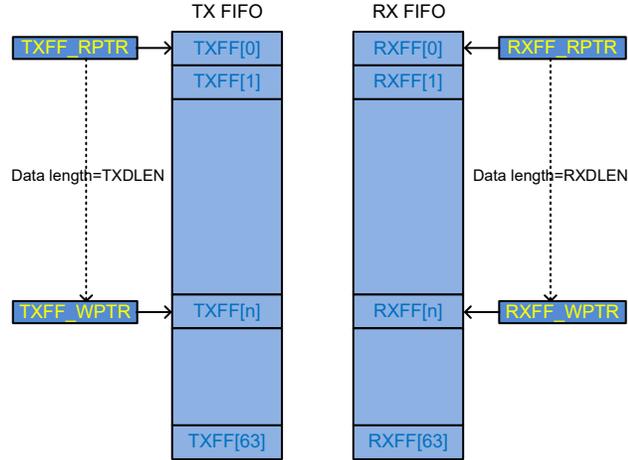
在 Burst 模式下使用 FIFO 之前，需先发送 TX FIFO 地址指针复位命令以及 RX FIFO 地址指针复位命令，以复位 FIFO 指针和缓冲器。在这之后，FIFO 将复位至初始状态。

### Simple FIFO 模式

此 FIFO 模式用于 TX/RX 数据长度小于等于 64 字节的一般应用。注意，数据长度不可超过 64 个字节。要使用 Simple FIFO 模式，MCU 需通过 SPI 写 FIFO 命令将要发送的数据写入 FIFO。发送的顺序为先写的字节先发送，每个字节里的最高位先发送。用户需预先确定好所有发送数据包格式，包括前导码、同步码以及数据包编码如正向纠错、CRC 和数据白化。当 FIFO 数据填写完成后，将 TXFFSA[5:0] 字段清零，并将 TXDLEN[7:0]/RXDLEN[7:0] 字段设置为所需的发送 / 接收长度，单位为字节。接着发送 TX 命令开始数据传输。当前发送完成后，数据会被保存在 FIFO 中并等待下一次传输。

编程步骤：

1. 通过 SPI 复位 TX FIFO 命令复位 TX FIFO。
2. 通过 SPI 复位 RX FIFO 命令复位 RX FIFO。
3. TXFFSA[5:0] 必须清零。
4. 通过 SPI 写 FIFO 命令填写 TX FIFO。
5. 设置 TXDLEN[7:0]/RXDLEN[7:0] 控制 TX/RX 长度，单位为字节。
6. 发送 TX 命令给发送器，发送 RX 命令给接收器。
7. 通过 TX/RX 完成 IRQ 告知 TX/RX 完成状态。
8. 重新发送含相同数据的 TX 数据包会自动将 TXFF\_RPTR 清零。

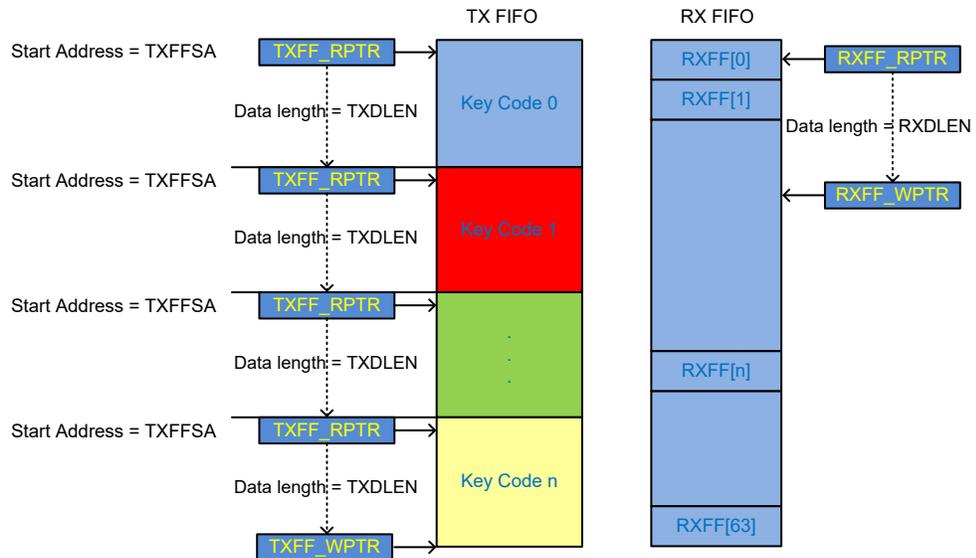


### Block FIFO 模式

Block FIFO 模式可支持多键代码应用。用户需先将所有按键代码写入 FIFO。当有按键被按下时，MCU 会侦测对应哪个按键，将 TXFFSA[5:0] 设置为对应按键码的起始地址，并设置 TXDLEN[7:0] 指示按键码长度，接着发送 TX 命令开始传输。此模式最大 FIFO 长度限制为 64 个字节。

编程步骤：

1. TX: 通过 SPI 写 FIFO 命令将按键 0~n 的代码写入 TX FIFO。
2. TX: 设置 TXDLEN[7:0] 表示按键代码长度。
3. TX: 当有按键按下时，MCU 会将 TXFFSA[5:0] 设置为对应按键代码的起始地址。
4. RX: 将 RXDLEN[7:0] 设置为按键代码长度，然后借由 SPI 命令进入 RX 模式。
5. TX: 发送 TX 命令给发送器。
6. RX: 发送 RX 命令给接收器。
7. 通过 TX/RX 完成 IRQ 告知 TX/RX 完成状态。



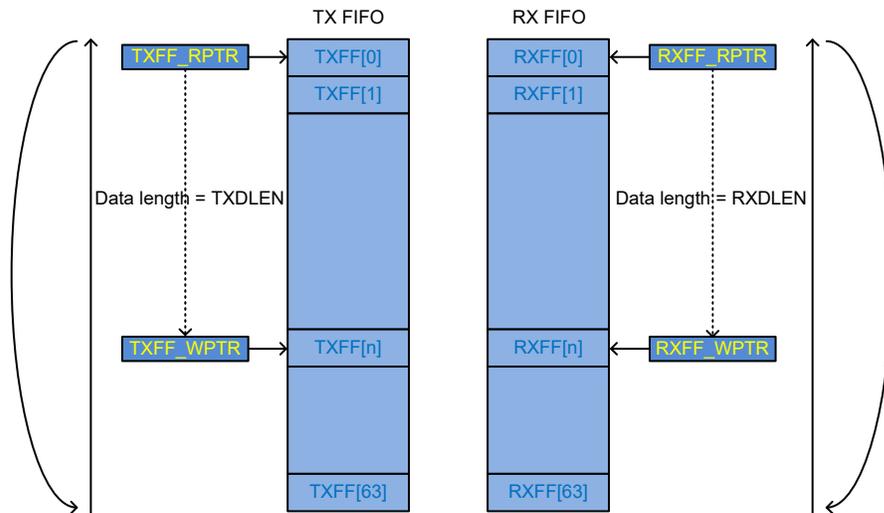
### Extend FIFO 模式

Extend FIFO 模式适用于传输有效载荷数据长度较长的数据包。最大长度为 255 个字节。由于 FIFO 的物理长度为 64 字节，想要扩展每个数据包的可用发送长度，MCU 和 FIFO 控制器之间需要一个握手机制。

设置 FFMG[1:0] 决定 FIFO 数据长度边界，然后设置 FFMG\_EN 位使能边界检测功能，当 TX FIFO 数据长度小于所选边界时通知 MCU。MCU 收到此提醒时应尽快往 TX FIFO 写数据以避免 TX FIFO 下溢迫使传输中断。

编程步骤：

1. 设置 FFMG\_EN 使能 FIFO 低阈值检测功能，设置 FFMG[1:0] 选择边界值长度为 4、8、16 或 32 字节。
2. 设置 FIFOLTIE 位为 1 使能 FIFO 低阈值 IRQ。
3. 设置 GIO<sub>n</sub>S 字段 (n=1~4) 为“101”，则 IRQ 可从 GIO<sub>1</sub>~GIO<sub>4</sub> 输出。
4. TX: 若检测到 FIFO 低阈值 IRQ 信号，MCU 会往 TX FIFO 写数据，写入长度小于等于 (64-FFMG[1:0]) 字节。接着 MCU 将 FIFO 低阈值 IRQ 标志位 FIFOLTIF 清零。MCU 重复这一步骤直到所有 TX 数据都完全写入 TX FIFO。
5. RX: 若检测到 FIFO 低阈值 IRQ 信号，MCU 会从 RX FIFO 读取数据，读取长度等于 FFMG[1:0] 字节。接着 MCU 将 FIFO 低阈值 IRQ 标志位 FIFOLTIF 清零。MCU 重复这一步骤直到接收到 RX 完成 IRQ，并从 RX FIFO 读取剩余数据。



### Infinite FIFO 模式

编程步骤：

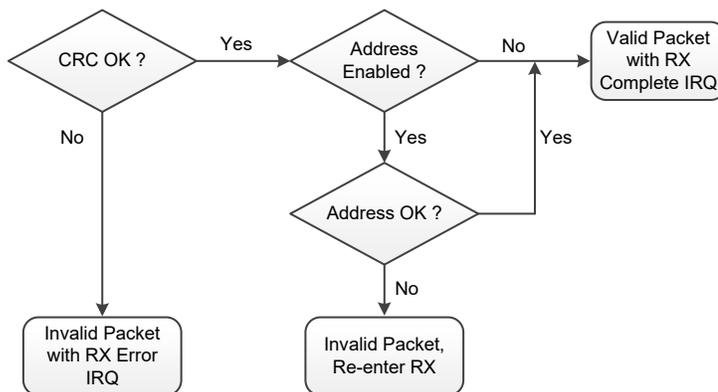
1. 设置 FFINF\_EN 为 1 使能 Infinite FIFO 模式。
2. 此模式下的握手机制以及 IRQ 功能都与 Extend FIFO 模式下的一样。
3. TX: 当接收到 FIFO 低阈值 IRQ 时，MCU 继续往 TX FIFO 写入 TX 数据，写入长度小于等于 (64-FFMG[1:0]) 字节。接着 MCU 将 FIFO 低阈值 IRQ 标志位 FIFOLTIF 清零。MCU 重复这一步骤直到它想结束 Infinite FIFO 模式。若要想结束此模式，当收到 IRQ 并往 TX FIFO 写入数据后，若剩余待发送数据的长度小于 192 字节并大于 64 字节，MCU 应将 FFINF\_EN 位清零并将

TXDLEN[7:0] 设置为剩余发送数据的长度。针对每一次传输，此结束配置只需设置一次。当所有目标数据都完全发送完后，数据包发送终止。

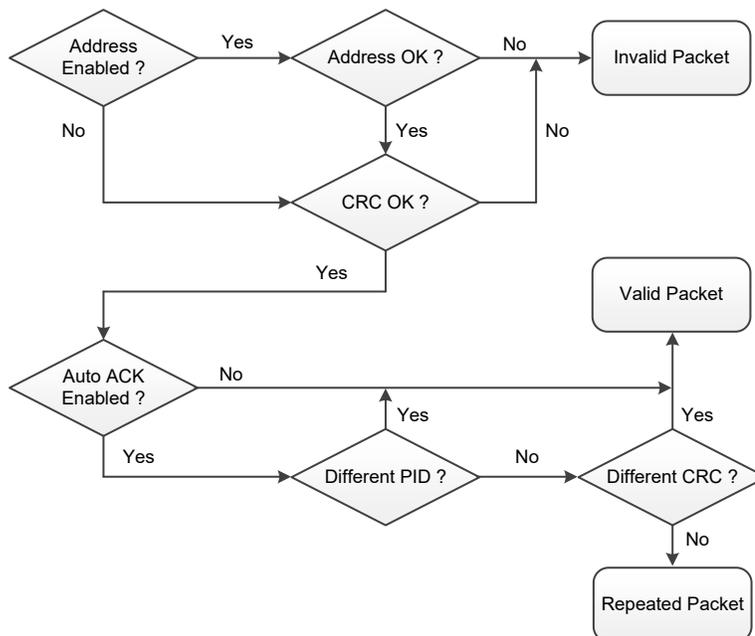
4. RX: 当接收到 FIFO 低阈值 IRQ 时, MCU 从 RX FIFO 读取数据, 读取长度等于 FFMG[1:0] 字节。接着 MCU 将 FIFO 低阈值 IRQ 标志位 FIFOLTIF 清零。MCU 重复这一步骤直到它想结束 Infinite FIFO 模式。若要想结束此模式, 当收到 IRQ 并从 RX FIFO 读取数据后, 若剩余待接收数据的长度小于 192 字节并大于 64 字节, MCU 应将 FFINF\_EN 位清零并将 RXDLEN[7:0] 设置为剩余接收数据的长度。针对每一次传输, 此结束配置只需设置一次。当所有目标数据都完全接收完后, 数据包接收终止。

### 接收数据包判断

在正常 RX 工作模式下, 数据包接收遵循以下判断标准。

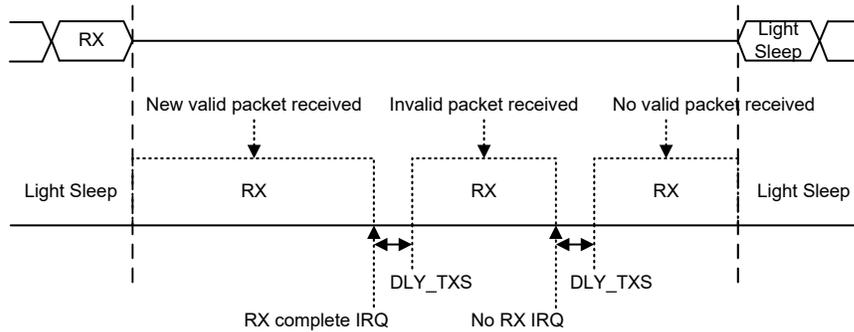


RF 针对连续 RX 模式以及自动应答模式采用额外的接收器数据包判断机制。这些特殊链接层函数存在的目的是为了在处理 TRX 数据包事务时减少 MCU 负载。



## 连续 RX 模式

RF 还支持特殊的连续 RX 工作模式。MCU 可设置 `RXCON_EN` 位为 1 来使能此模式并发送 RX 命令给芯片以启动此模式。若接收到一个有效的 RX 数据包，RF 将会向 MCU 发出 RX 完成中断请求。经过 `DLY_TXS[2:0]` 定义的一段时间后，RF 重复 RX 操作继续侦听后续传入的数据包。若接收到的是无效数据包，RF 只会重复 RX 操作但不会向 MCU 发出 RX 完成中断请求。MCU 发送 Light Sleep 命令给 RF 可停止连续 RX 模式。在连续 RX 模式下，只可使用 Simple FIFO 模式。在 MCU 从 RX FIFO 读取数据之前，为了防止接收的数据包数据长度域因后续传入数据包而损坏，用户需将 `RXPL2F_EN` 和 `PLEN_EN` 都设置为 1 从而将 `PLEN` 信息保存到 RX FIFO 中。由于 `PLEN` 域的存在，最大数据包数据长度变为 63 个字节。若 MCU 从 RX FIFO 读取数据之前有新传入的数据，则发生 FIFO 溢出错误，此时 RF 会将 `RXERRIF` 位置高并向 MCU 发出 RX 错误中断请求。此时，MCU 应该退出连续 RX 模式并将 RX FIFO 指针复位。

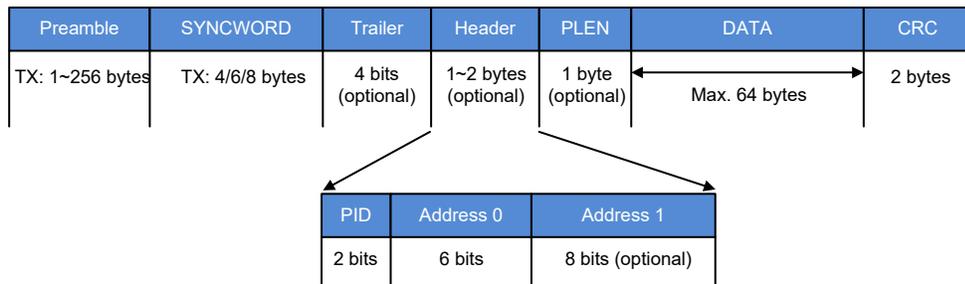


连续 RX 模式

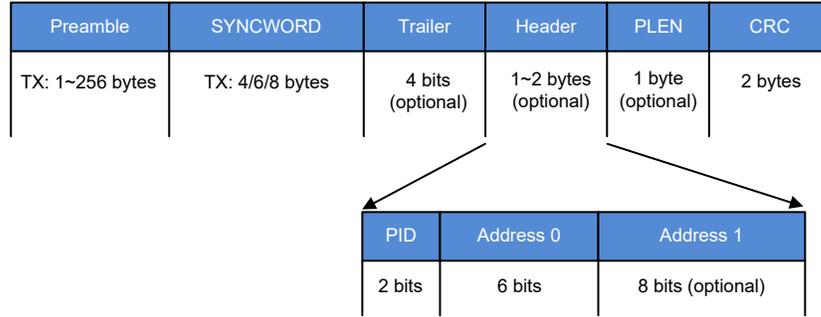
## ARK 模式：自动重发和自动应答

RF 支持自动重发和自动应答机制，通过设置 `ARK_EN` 为 1 来使能。此机制支持简单的双向通信，但只可工作在 Simple FIFO 模式下。

设置 `ARK_EN` 为 1 使芯片进入自动重发和自动应答模式。当接收到来自 MCU 的 TX 命令时会触发自动重发功能，当收到 RX 命令时会触发自动应答功能。自动重发模式下主机发送给从机的数据包格式如下图所示。

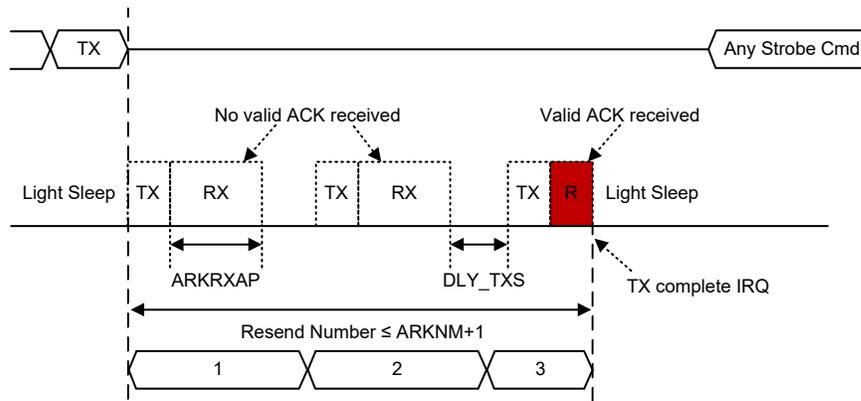


处于自动应答模式下的从机，使用下图所示的数据包格式发送应答数据包给主机。注意，此应答数据包不包含有效载荷数据域。

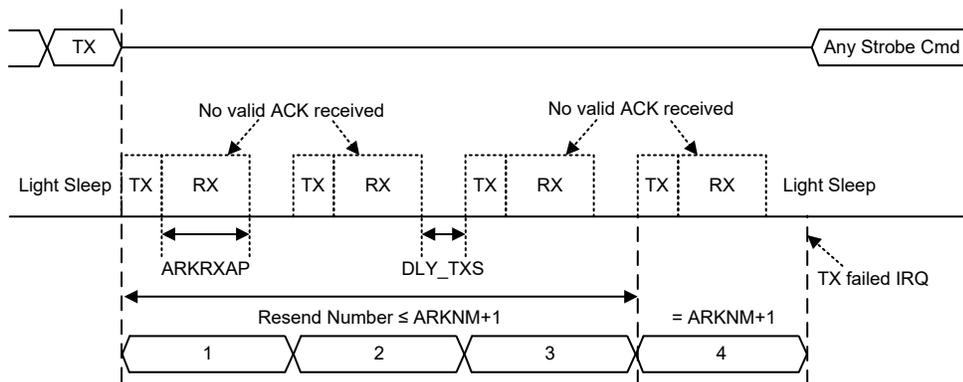


若在 ARK 模式下要使用地址域，则自动重发端 (主机) 设置的地址要与自动应答端 (从机) 的相同。

设置好 ARKNM[3:0]、ARK\_EN 和 ARKRXP[7:0] 之后，MCU 发出 TX 命令以开始自动重发进程。RF 开始发送 TX FIFO 中的数据并在 TX 操作完成后进入 RX 模式。RX 周期为 250μs 的倍数，此倍数等于 (ARKRXP[7:0]+1)。若 RF 在 RX 周期内收到来自从机的 CRC 校验正确的有效应答包，RF 将返回 Light Sleep 模式并向 MCU 发送 TX 完成中断请求。否则，RF 会判断是否达到 ARKNM[3:0] 定义的自动重发次数。若未达到，RF 将进入 TX 模式继续发送相同的 TX 数据，此时自动重发次数加一。



自动重发：达到 ARKNM 限制次数前接收到 ACK 数据包



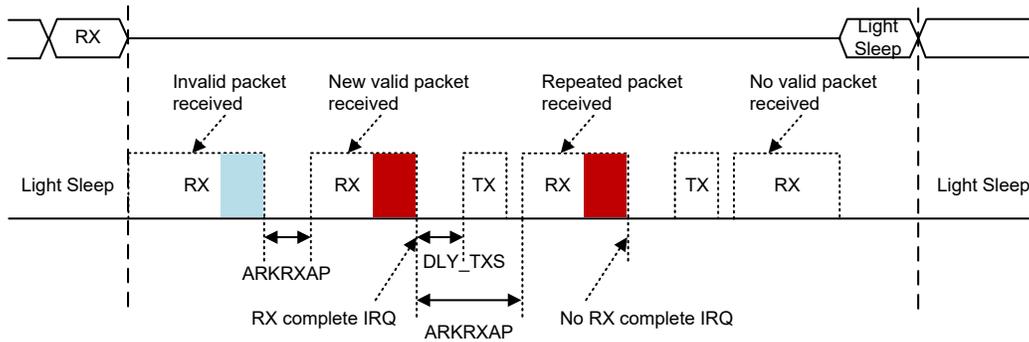
自动重发：达到 ARKNM 限制次数前未接收到有效数据包

从机自动应答方面，MCU 通过发送 RX 命令开启自动应答进程，通过发送 Light Sleep 命令停止自动应答进程。在自动应答模式下，从机端会启用 PID/

CRC 过滤功能以检查接收到的数据包。若新传入的数据包的 PID/CRC 与上一个数据包的 PID/CRC 相同，则新接收到的数据包将被视为重复的数据包。

在自动应答过程中，若接收到 PID/CRC 值不同且 CRC/地址检测正确的有效数据包，芯片会向 MCU 发出 RX 完成中断请求，并自动发送应答包给主机。若芯片接收到相同 PID/CRC 且 CRC/地址检测正确的数据包，会将其视为重复的数据包。接着，芯片不会向 MCU 发送 RX 完成中断请求但仍会自动发送应答包给主机。若芯片接收到的数据包 CRC/地址检测错误，不发送中断请求并且重新执行 RX 操作继续侦听后续数据包。

当前 RX 完成到重新下一次 RX 操作之间的时间间隔由 ARKRXP[7:0] 决定。在一般应用里，MCU 接收到 RX 完成中断请求后需在此时间内从接收器 FIFO 读取数据。另外，在接收到 RX 完成中断请求后，MCU 若想退出 ARK 模式需等待同样一段时间。



自动应答进程

### ATR 模式：自动发送 / 接收

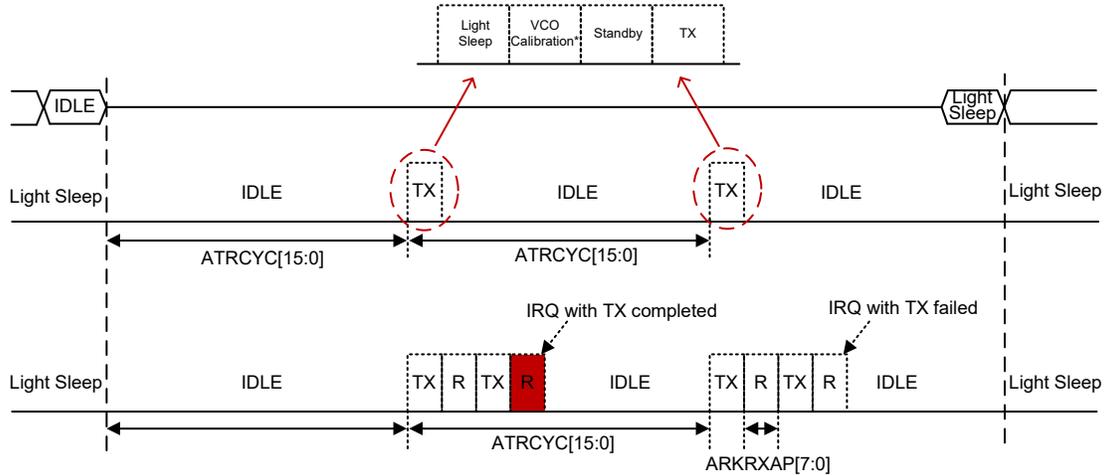
RF 支持特殊的 ATR 工作模式，可减少外部主机负载。此芯片含两种 ATR 功能，一种是 WOR，另一种是 WOT。这两种功能都只能工作在 Simple FIFO 模式下。这两种工作模式需要搭配使用一个以低频运行的 Idle 模式定时器。其低频时钟来自内部 LIRC 或外部 ROSCi 时钟，由 ATR1 寄存器中的 ATRCLKS 位选择。ATRCT 定时器有两种工作模式，通过 ATRCTM 位选择。若 ATRCTM 位清零则选择单次模式，此模式下当芯片进入 Idle 状态，每当发生 ATR 事务时 ATRCT 定时器重新启动，每当接收到 Light Sleep 命令时，ATRCT 定时器停止并退出 ATR 模式。若 ATRCTM 位置高则选择连续模式，此模式下一旦接收到 Idle 命令 ATRCT 定时器开始工作，并持续工作直到 ATR\_EN 位或 ATRCTM 位清零。进入 ATR 模式后，只有 Idle 命令、Light Sleep 命令、设置寄存器存储区命令和控制寄存器读 / 写命令可被 RF 识别。

### WOT (从 TX 唤醒) 功能

当设置 ATR\_EN 位为 1、ATRM[1:0] 为“00”使能 WOT 功能后，芯片将周期性地从 Idle 模式唤醒并在不与 MCU 互动的情况下发送 TX FIFO 中的数据。当接收到来自 MCU 的 Idle 命令时芯片开始 WOT 进程，当接收到来自 MCU 的 Light Sleep 命令时，芯片停止 WOT 进程。ATRCYC[15:0] 位用于设置 WOT 功能的唤醒周期。若达到定时器定时时间，唤醒定时器会触发芯片离开 Idle 状态并进入激活状态去发送数据，同时 ATRCYC[15:0] 的值会被载入定时器的计数器。完成 TX 操作后，芯片返回 Idle 模式并保持此状态直到下一次达到唤醒定时器定时时间。在激活状态下，芯片默认只执行一次唤醒传输。用户可结合 ARK 功能扩展唤醒传输机制。重复发送的次数由 ARK7 寄存器的 ARKNM[3:0]

位决定。在重复发送数据包的间隔内会插入一个 RX 时隙，此时隙由 ARK8 寄存器的 ARKRXAP[7:0] 位决定。若芯片在此间隙期间收到 ACK 信号，会向 MCU 发出 TX 完成中断请求。

Note: 1. VCO Calibration time: ~152μs@433MHz / ~96μs@868MHz  
2. Both new TX and RX need to first go through "Light Sleep→VCO Cal.→Standby"



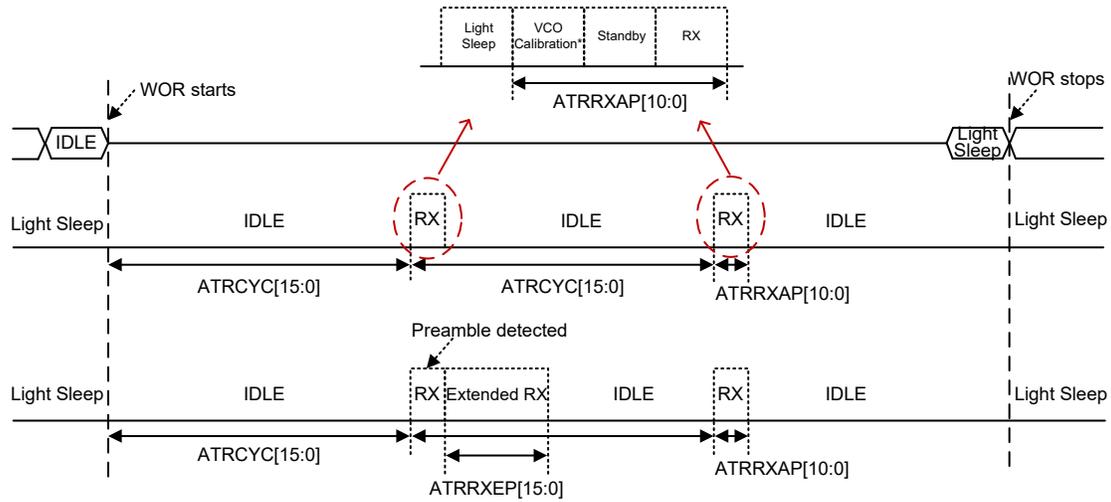
WOT 进程

### WOR (从 RX 唤醒) 功能

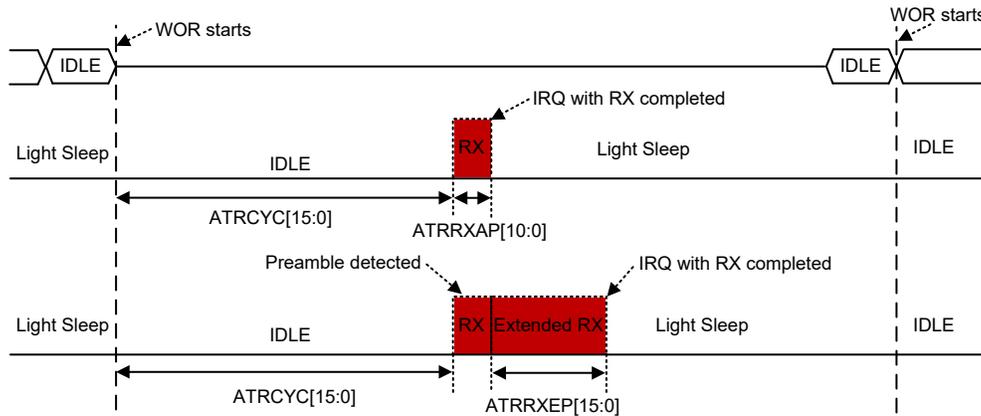
当设置 ATR\_EN 位为 1、ATRM[1:0] 为“01”使能 WOR 功能后，芯片将周期性地从 Idle 模式唤醒并在不与 MCU 互动的情况下侦听传入的数据。当接收到来自 MCU 的 Idle 命令时芯片开始 WOR 进程，当接收到来自 MCU 的 Light Sleep 命令时，芯片停止 WOR 进程。ATRCYC[15:0] 位用于设置 WOR 功能的唤醒周期。若达到定时器定时时间，唤醒定时器会触发芯片离开 Idle 状态并进入激活状态去侦听传入的数据，同时 ATRCYC[15:0] 的值会被载入定时器的计数器。接收有效周期由 ATRRXAP[7:0] 位决定，是 250μs 的倍数，最少为 250μs。若在 RX 有效周期内未接收到数据包，芯片将返回 Idle 模式并等待下一轮 WOR 进程。

若检测到前导码，则有效周期将自动延长。延长时间由 ATRRXEP[15:0] 定义。延长时间是 250μs 的倍数，最少为 250μs。一旦接收到同步码，接收周期将会自动延长直到整个数据包被完全接收。当 RX 接收完成且 CRC 校验正确时，RF 会发送 RX 完成中断请求告知 MCU 并停留在 Light Sleep 模式。MCU 可从 RX FIFO 读取传入的数据并发出 Idle 命令从而开始新一轮 WOR 进程。若想退出 WOR 模式，MCU 还需发送 Light Sleep 命令给 RF。

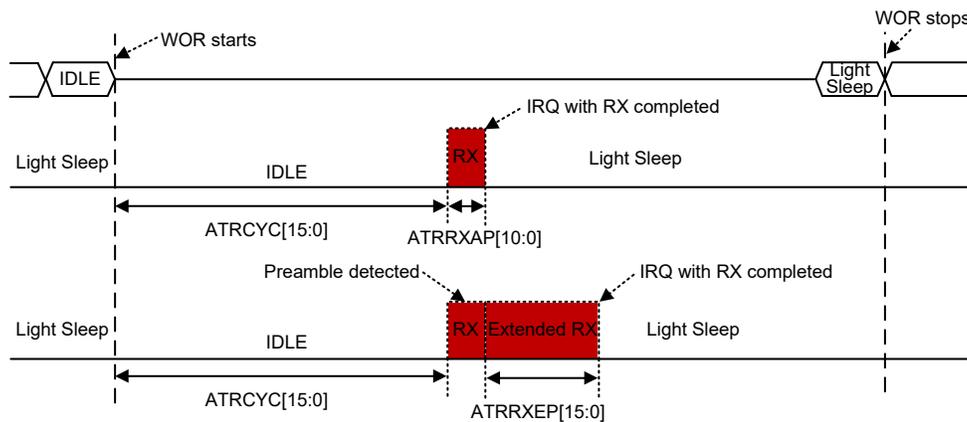
Note: 1. VCO Calibration time: ~152μs@433MHz / ~96μs@868MHz  
2. Both new RX and TX need to first go through "Light Sleep→VCO Cal.→Standby"



WOR – 未接收到传入数据

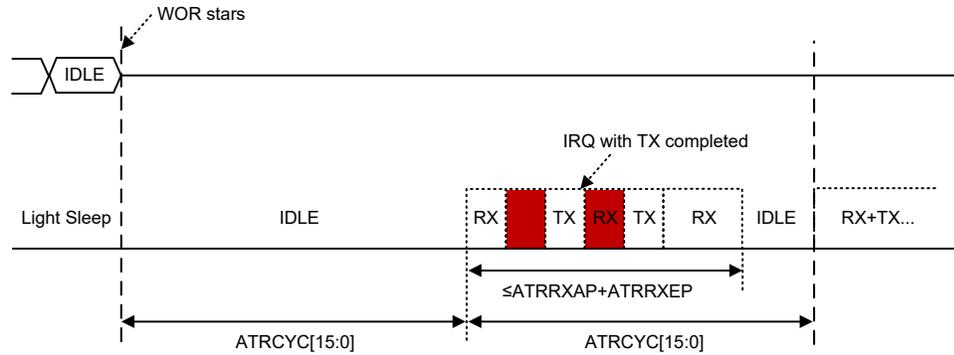


WOR – 接收到传入数据



接收到传入数据后停止 WOR

在 WOR 有效周期内，芯片默认只执行一次 RX 操作。用户可结合 ARK 功能扩展唤醒接收机制。在 WOR+ARK 模式下，在重复接收数据包的间隔内会插入一个 TX 时隙作为应答。TX 持续时间取决于发送数据速率。芯片保持 RX 模式的最大时间由 ATRRXAP 和 ATRRXEP 共同决定。若在达到定时器定时时间之前接收到 CRC 校验正确且包含不同 PID/CRC 值的有效数据包，芯片会发送一个 RX 完成中断请求给 MCU 并自动进入 TX 模式。若接收到 CRC 校验正确但 PID/CRC 值相同的重复数据包，芯片只会自动进入 TX 模式，不会向 MCU 发送中断请求。当 TX 操作完成后，芯片将再次返回 RX 模式并侦听传入的数据包直到无数据包传入为止。



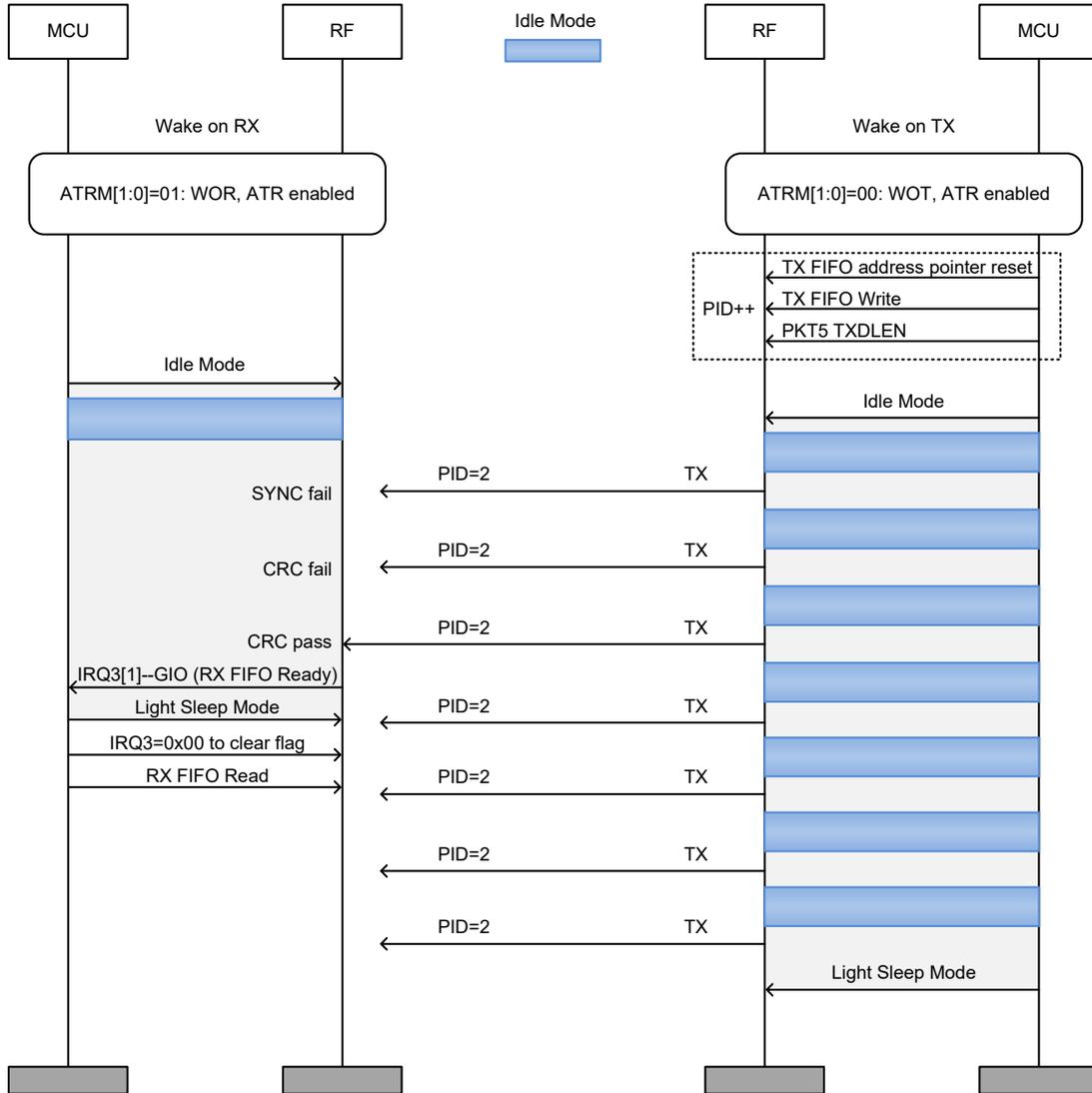
WOR+ARK 进程

#### WTM (唤醒定时模式)

RF 可被设置作为一个可编程定时器从 GIO 口输出周期性波形。用户可使用此信号唤醒 CPU。设置 ATR\_EN 为 1 和 ATRM=10/11 以使能 WTM 模式。当接收到来自 MCU 的 Idle 命令时芯片开始 WTM 进程，当接收到来自 MCU 的 Light Sleep 命令时，芯片停止 WTM 进程。在整个 WTM 进程内芯片都处于 Idle 模式。

信息流程范例

ATR: WOT & WOR





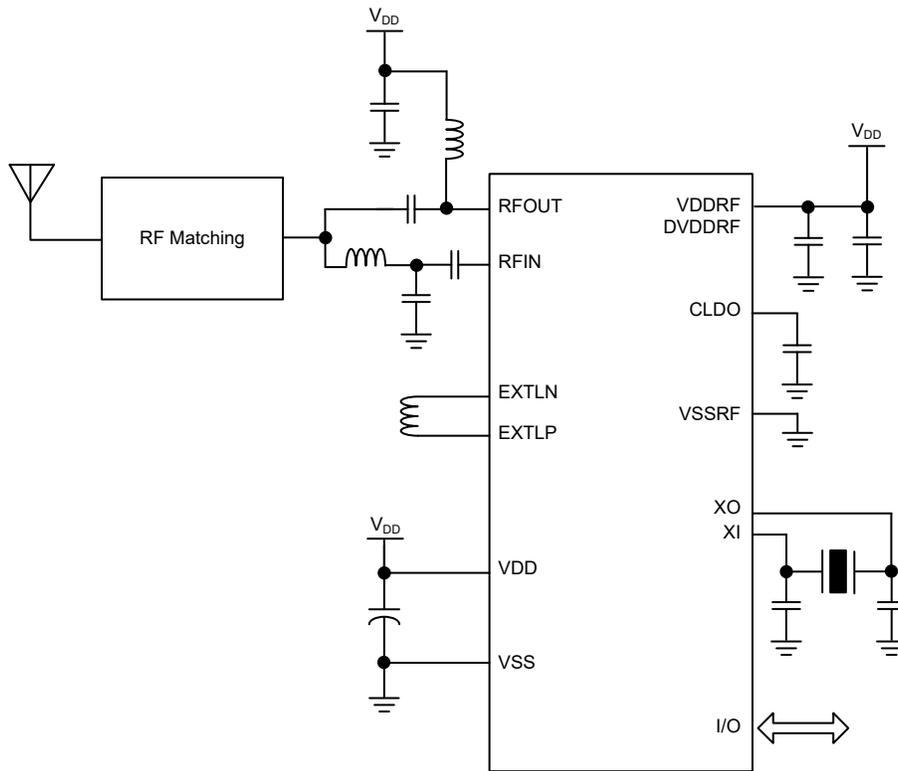


## 缩写

ADC	Analog to Digital Converter 模拟到数字转换器
AFC	Automatic Frequency Compensation 自动频率补偿
AGC	Automatic Gain Control 自动增益控制
ARK	Auto-Ack and Auto-Resend 自动重发和自动应答
ATR	Automatic-Transmit-Receive 自动发送 / 接收
BER	Bit Error Rate 误码率
BPF	Band Pass Filter 带通滤波器
CD	Carrier Detect 载波检测
CFO	Carrier Frequency Offset 载波频率偏移
CP	Charge Pump 电荷泵
CRC	Cyclic Redundancy Check 循环冗余校验
DCOC	DC Offset Correct 直流偏置修正
DSM	Delta Sigma Modulator Delta Sigma 调制器
FEC	Forward Error Correction 正向纠错
FIFO	First In First Out 先进先出
GFSK	Gaussian Frequency Shift Keying 高斯频移键控
HPF	High-Pass Filter 高通滤波器
ID	Identifier 标识符
IF	Intermedia Frequency 中频
IIR	Infinite Impulse Response 无限冲激响应
IRQ	Interrupt Request 中断请求
ISM	Industrial, Scientific and Medical 工业、科技和医疗
LNA	Low-Noise Amplifier 低噪声放大器
LO	local Oscillator 本机振荡器
LPF	Low-Pass Filter 低通滤波器
MCU	Mico Controller Unit 微控制器
MMD	Multi-Mode Divider 多模除法器
OW	Overwrite 覆写
PA	Power Amplifier 功率放大器
PD	Power Down 掉电
PFD	Phase Frequency Detector (for PLL) 锁相环相位频率检测器
PLL	Phase Lock Loop 锁相环
POR	Power On Reset 上电复位
PVT	Process-Voltage-Temperature 进程 - 电压 - 温度
RBCLK	RX Bit Clock 接收器位时钟
RSSI	Received Signal Strength Indicator 接收信号强度指示器
RX	Receiver 接收器
SNR	Signal Noise Ratio 信噪比
SPI	Serial Port Interface 串行接口

SX	Synthesizer 合成器
SYCK	System Clock for digital circuit 系统时钟用于数字电路
SYNC/SYNCWORD	Synchronization Word 同步码
TBCLK	TX Bit Clock 发送器位时钟
TRX	TX/RX 发送器 / 接收器
TX	Transmitter 发送器
VCO	Voltage Controlled Oscillator 压控振荡器
WOR	Wake-on-RX 从 RX 唤醒
WOT	Wake-on-TX 从 TX 唤醒
WTM	Wake-up Timer Mode 唤醒定时器模式
XCLK	Crystal Clock 晶振时钟
XO/XOSC	Crystal Oscillator 晶体振荡器
XTAL	Crystal 晶体

应用电路



## 指令集

### 简介

任何单片机成功运作的核心在于它的指令集，此指令集为一组程序指令码，用来指导单片机如何去执行指定的工作。在 Holtek 单片机中，提供了丰富且灵活的指令，共超过六十条，程序设计者可以事半功倍地实现它们的应用。

为了更加容易理解各种各样的指令码，接下来按功能分组介绍它们。

### 指令周期

大部分的操作均只需要一个指令周期来执行。分支、调用或查表则需要两个指令周期。一个指令周期相当于四个系统时钟周期，因此如果在 8MHz 的系统时钟振荡器下，大部分的操作将在 0.5 $\mu$ s 中执行完成，而分支或调用操作则将在 1 $\mu$ s 中执行完成。虽然需要两个指令周期的指令通常指的是 JMP、CALL、RET、RETI 和查表指令，但如果牵涉到程序计数器低字节寄存器 PCL 也将多花费一个周期去加以执行。即指令改变 PCL 的内容进而导致直接跳转至新地址时，需要多一个周期去执行，例如“CLR PCL”或“MOV PCL, A”指令。对于跳转指令必须注意的是，如果比较的结果牵涉到跳转动作将多花费一个周期，如果没有则需一个周期即可。

### 数据的传送

单片机程序中数据传送是使用最为频繁的操作之一，使用三种 MOV 的指令，数据不但可以从寄存器转移至累加器（反之亦然），而且能够直接移动立即数到累加器。数据传送最重要的应用之一是从输入端口接收数据或传送数据到输出端口。

### 算术运算

算术运算和数据处理是大部分单片机应用所必需具备的能力，在 Holtek 单片机内部的指令集中，可直接实现加与减的运算。当加法的结果超出 255 或减法的结果少于 0 时，要注意正确的处理进位和借位的问题。INC、INCA、DEC 和 DECA 指令提供了对一个指定地址的值加一或减一的功能。

### 逻辑和移位运算

标准逻辑运算例如 AND、OR、XOR 和 CPL 全都包含在 Holtek 单片机内部的指令集中。大多数牵涉到数据运算的指令，数据的传送必须通过累加器。在所有逻辑数据运算中，如果运算结果为零，则零标志位将被置位，另外逻辑数据运用形式还有移位指令，例如 RR、RL、RRC 和 RLC 提供了向左或向右移动一位的方法。不同的移位指令可满足不同的应用需要。移位指令常用于串行端口的程序应用，数据可从内部寄存器转移至进位标志位，而此位则可被检验，移位运算还可应用在乘法与除法的运算组成中。

## 分支和控制转换

程序分支是采取使用 JMP 指令跳转至指定地址或使用 CALL 指令调用子程序的形式，两者之不同在于当子程序被执行完毕后，程序必须马上返回原来的地址。这个动作是由放置在子程序里的返回指令 RET 来实现，它可使程序跳回 CALL 指令之后的地址。在 JMP 指令中，程序则只是跳到一个指定的地址而已，并不需如 CALL 指令般跳回。一个非常有用的分支指令是条件跳转，跳转条件是由数据存储器或指定位来加以决定。遵循跳转条件，程序将继续执行下一条指令或略过且跳转至接下来的指令。这些分支指令是程序走向的关键，跳转条件可能是外部开关输入，或是内部数据位的值。

## 位运算

提供数据存储器中单个位的运算指令是 Holtek 单片机的特性之一。这特性对于输出端口位的设置尤其有用，其中个别的位或端口的引脚可以使用“SET [m].i”或“CLR [m].i”指令来设定其为高位或低位。如果没有这特性，程序设计师必须先读入输入口的 8 位数据，处理这些数据，然后再输出正确的新数据。这种读入 - 修改 - 写出的过程现在则被位运算指令所取代。

## 查表运算

数据的储存通常由寄存器完成，然而当处理大量固定的数据时，它的存储量常常造成对个别存储器的不便。为了改善此问题，Holtek 单片机允许在程序存储器中建立一个表格作为数据可直接存储的区域，只需要一组简易的指令即可对数据进行查表。

## 其它运算

除了上述功能指令外，其它指令还包括用于省电的“HALT”指令和使程序在极端电压或电磁环境下仍能正常工作的看门狗定时器控制指令。这些指令的使用则请查阅相关的章节。

## 指令集概要

当要操作的数据存储器位于数据存储器 Sector 0 时，下表说明了与数据存储器存取有关的指令。

### 惯例

x: 立即数  
m: 数据存储器地址  
A: 累加器  
i: 第 0~7 位  
addr: 程序存储器地址

助记符	说明	指令周期	影响标志位
<b>算术运算</b>			
ADD A,[m]	ACC 与数据存储器相加，结果放入 ACC	1	Z, C, AC, OV, SC
ADDM A,[m]	ACC 与数据存储器相加，结果放入数据存储器	1 <sup>注</sup>	Z, C, AC, OV, SC
ADD A, x	ACC 与立即数相加，结果放入 ACC	1	Z, C, AC, OV, SC
ADC A,[m]	ACC 与数据存储器、进位标志相加，结果放入 ACC	1	Z, C, AC, OV, SC
ADCM A,[m]	ACC 与数据存储器、进位标志相加，结果放入数据存储器	1 <sup>注</sup>	Z, C, AC, OV, SC
SUB A, x	ACC 与立即数相减，结果放入 ACC	1	Z, C, AC, OV, SC, CZ
SUB A,[m]	ACC 与数据存储器相减，结果放入 ACC	1	Z, C, AC, OV, SC, CZ
SUBM A,[m]	ACC 与数据存储器相减，结果放入数据存储器	1 <sup>注</sup>	Z, C, AC, OV, SC, CZ
SBC A, x	ACC 与立即数、进位标志相减，结果放入 ACC	1	Z, C, AC, OV, SC, CZ
SBC A,[m]	ACC 与数据存储器、进位标志相减，结果放入 ACC	1	Z, C, AC, OV, SC, CZ
SBCM A,[m]	ACC 与数据存储器、进位标志相减，结果放入数据存储器	1 <sup>注</sup>	Z, C, AC, OV, SC, CZ
DAA [m]	将加法运算中放入 ACC 的值调整为十进制数，并将结果放入数据存储器	1 <sup>注</sup>	C
<b>逻辑运算</b>			
AND A,[m]	ACC 与数据存储器做“与”运算，结果放入 ACC	1	Z
OR A,[m]	ACC 与数据存储器做“或”运算，结果放入 ACC	1	Z
XOR A,[m]	ACC 与数据存储器做“异或”运算，结果放入 ACC	1	Z
ANDM A,[m]	ACC 与数据存储器做“与”运算，结果放入数据存储器	1 <sup>注</sup>	Z
ORM A,[m]	ACC 与数据存储器做“或”运算，结果放入数据存储器	1 <sup>注</sup>	Z
XORM A,[m]	ACC 与数据存储器做“异或”运算，结果放入数据存储器	1 <sup>注</sup>	Z
AND A, x	ACC 与立即数做“与”运算，结果放入 ACC	1	Z
OR A, x	ACC 与立即数做“或”运算，结果放入 ACC	1	Z
XOR A, x	ACC 与立即数做“异或”运算，结果放入 ACC	1	Z
CPL [m]	对数据存储器取反，结果放入数据存储器	1 <sup>注</sup>	Z
CPLA [m]	对数据存储器取反，结果放入 ACC	1	Z
<b>递增和递减</b>			
INCA [m]	递增数据存储器，结果放入 ACC	1	Z
INC [m]	递增数据存储器，结果放入数据存储器	1 <sup>注</sup>	Z
DECA [m]	递减数据存储器，结果放入 ACC	1	Z
DEC [m]	递减数据存储器，结果放入数据存储器	1 <sup>注</sup>	Z

助记符	说明	指令周期	影响标志位
<b>移位</b>			
RRA [m]	数据存储器右移一位，结果放入 ACC	1	无
RR [m]	数据存储器右移一位，结果放入数据存储器	1 <sup>注</sup>	无
RRCA [m]	带进位将数据存储器右移一位，结果放入 ACC	1	C
RRC [m]	带进位将数据存储器右移一位，结果放入数据存储器	1 <sup>注</sup>	C
RLA [m]	数据存储器左移一位，结果放入 ACC	1	无
RL [m]	数据存储器左移一位，结果放入数据存储器	1 <sup>注</sup>	无
RLCA [m]	带进位将数据存储器左移一位，结果放入 ACC	1	C
RLC [m]	带进位将数据存储器左移一位，结果放入数据存储器	1 <sup>注</sup>	C
<b>数据传送</b>			
MOV A,[m]	将数据存储器送至 ACC	1	无
MOV [m],A	将 ACC 送至数据存储器	1 <sup>注</sup>	无
MOV A, x	将立即数送至 ACC	1	无
<b>位运算</b>			
CLR [m].i	清除数据存储器的位	1 <sup>注</sup>	无
SET [m].i	置位数据存储器的位	1 <sup>注</sup>	无
<b>转移</b>			
JMP addr	无条件跳转	2	无
SZ [m]	如果数据存储器为零，则跳过下一条指令	1 <sup>注</sup>	无
SZA [m]	数据存储器送至 ACC，如果内容为零，则跳过下一条指令	1 <sup>注</sup>	无
SNZ [m]	如果数据存储器不为零，则跳过下一条指令	1 <sup>注</sup>	无
SZ [m].i	如果数据存储器的第 i 位为零，则跳过下一条指令	1 <sup>注</sup>	无
SNZ [m].i	如果数据存储器的第 i 位不为零，则跳过下一条指令	1 <sup>注</sup>	无
SIZ [m]	递增数据存储器，如果结果为零，则跳过下一条指令	1 <sup>注</sup>	无
SDZ [m]	递减数据存储器，如果结果为零，则跳过下一条指令	1 <sup>注</sup>	无
SIZA [m]	递增数据存储器，将结果放入 ACC，如果结果为零，则跳过下一条指令	1 <sup>注</sup>	无
SDZA [m]	递减数据存储器，将结果放入 ACC，如果结果为零，则跳过下一条指令	1 <sup>注</sup>	无
CALL addr	子程序调用	2	无
RET	从子程序返回	2	无
RET A, x	从子程序返回，并将立即数放入 ACC	2	无
RETI	从中断返回	2	无
<b>查表</b>			
TABRD [m]	读取特定页的 ROM 内容，并送至数据存储器和 TBLH	2 <sup>注</sup>	无
TABRDL [m]	读取最后页的 ROM 内容，并送至数据存储器和 TBLH	2 <sup>注</sup>	无
ITABRD [m]	读表指针 TBLP 自加，读取特定页的 ROM 内容，并送至数据存储器和 TBLH	2 <sup>注</sup>	无
ITABRDL [m]	读表指针 TBLP 自加，读取最后页的 ROM 内容，并送至数据存储器和 TBLH	2 <sup>注</sup>	无
<b>其它指令</b>			
NOP	空指令	1	无
CLR [m]	清除数据存储器	1 <sup>注</sup>	无
SET [m]	置位数据存储器	1 <sup>注</sup>	无

助记符	说明	指令周期	影响标志位
CLR WDT	清除看门狗定时器	1	TO, PDF
SWAP [m]	交换数据存储器的高低字节，结果放入数据存储器	1 <sup>注</sup>	无
SWAPA [m]	交换数据存储器的高低字节，结果放入 ACC	1	无
HALT	进入暂停模式	1	TO, PDF

注: 1. 对跳转指令而言，如果比较的结果牵涉到跳转即需 2 个周期，如果没有发生跳转，则只需一个周期。  
2. 任何指令若要改变 PCL 的内容将需要 2 个周期来执行。

## 扩展指令集

扩展指令用来提供更大范围的数据存储器寻址。当被存取的数据存储器位于 Sector 0 之外的任何数据存储器 Sector，扩展指令可直接存取数据存储器而无需使用间接寻址，此举不仅可节省 Flash 存储器空间的使用，同时可提高 CPU 执行效率。

助记符	说明	指令周期	影响标志位
<b>算术运算</b>			
LADD A,[m]	ACC 与数据存储器相加，结果放入 ACC	2	Z, C, AC, OV, SC
LADDM A,[m]	ACC 与数据存储器相加，结果放入数据存储器	2 <sup>注</sup>	Z, C, AC, OV, SC
LADC A,[m]	ACC 与数据存储器、进位标志相加，结果放入 ACC	2	Z, C, AC, OV, SC
LADCM A,[m]	ACC 与数据存储器、进位标志相加，结果放入数据存储器	2 <sup>注</sup>	Z, C, AC, OV, SC
LSUB A,[m]	ACC 与数据存储器相减，结果放入 ACC	2	Z, C, AC, OV, SC, CZ
LSUBM A,[m]	ACC 与数据存储器相减，结果放入数据存储器	2 <sup>注</sup>	Z, C, AC, OV, SC, CZ
LSBC A,[m]	ACC 与数据存储器、进位标志相减，结果放入 ACC	2	Z, C, AC, OV, SC, CZ
LSBCM A,[m]	ACC 与数据存储器、进位标志相减，结果放入数据存储器	2 <sup>注</sup>	Z, C, AC, OV, SC, CZ
LDA A [m]	将加法运算中放入 ACC 的值调整为十进制数，并将结果放入数据存储器	2 <sup>注</sup>	C
<b>逻辑运算</b>			
LAND A,[m]	ACC 与数据存储器做“与”运算，结果放入 ACC	2	Z
LOR A,[m]	ACC 与数据存储器做“或”运算，结果放入 ACC	2	Z
LXOR A,[m]	ACC 与数据存储器做“异或”运算，结果放入 ACC	2	Z
LANDM A,[m]	ACC 与数据存储器做“与”运算，结果放入数据存储器	2 <sup>注</sup>	Z
LORM A,[m]	ACC 与数据存储器做“或”运算，结果放入数据存储器	2 <sup>注</sup>	Z
LXORM A,[m]	ACC 与数据存储器做“异或”运算，结果放入数据存储器	2 <sup>注</sup>	Z
LCPL [m]	对数据存储器取反，结果放入数据存储器	2 <sup>注</sup>	Z
LCPLA [m]	对数据存储器取反，结果放入 ACC	2	Z
<b>递增和递减</b>			
LINCA [m]	递增数据存储器，结果放入 ACC	2	Z
LINC [m]	递增数据存储器，结果放入数据存储器	2 <sup>注</sup>	Z
LDECA [m]	递减数据存储器，结果放入 ACC	2	Z
LDEC [m]	递减数据存储器，结果放入数据存储器	2 <sup>注</sup>	Z
<b>移位</b>			
LRRA [m]	数据存储器右移一位，结果放入 ACC	2	无
LRR [m]	数据存储器右移一位，结果放入数据存储器	2 <sup>注</sup>	无
LRRCA [m]	带进位将数据存储器右移一位，结果放入 ACC	2	C
LRRC [m]	带进位将数据存储器右移一位，结果放入数据存储器	2 <sup>注</sup>	C
LRLA [m]	数据存储器左移一位，结果放入 ACC	2	无
LRL [m]	数据存储器左移一位，结果放入数据存储器	2 <sup>注</sup>	无
LRLCA [m]	带进位将数据存储器左移一位，结果放入 ACC	2	C
LRLC [m]	带进位将数据存储器左移一位，结果放入数据存储器	2 <sup>注</sup>	C
<b>数据传送</b>			
LMOV A,[m]	将数据存储器送至 ACC	2	无
LMOV [m],A	将 ACC 送至数据存储器	2 <sup>注</sup>	无

助记符	说明	指令周期	影响标志位
<b>位运算</b>			
LCLR [m].i	清除数据存储器的位	2 <sup>注</sup>	无
LSET [m].i	置位数据存储器的位	2 <sup>注</sup>	无
<b>转移</b>			
LSZ [m]	如果数据存储器为零，则跳过下一条指令	2 <sup>注</sup>	无
LSZA [m]	数据存储器送至 ACC，如果内容为零，则跳过下一条指令	2 <sup>注</sup>	无
LSNZ [m]	如果数据存储器不为零，则跳过下一条指令	2 <sup>注</sup>	无
LSZ [m].i	如果数据存储器的第 i 位为零，则跳过下一条指令	2 <sup>注</sup>	无
LSNZ [m].i	如果数据存储器的第 i 位不为零，则跳过下一条指令	2 <sup>注</sup>	无
LSIZ [m]	递增数据存储器，如果结果为零，则跳过下一条指令	2 <sup>注</sup>	无
LSDZ [m]	递减数据存储器，如果结果为零，则跳过下一条指令	2 <sup>注</sup>	无
LSIZA [m]	递增数据存储器，将结果放入 ACC，如果结果为零，则跳过下一条指令	2 <sup>注</sup>	无
LSDZA [m]	递减数据存储器，将结果放入 ACC，如果结果为零，则跳过下一条指令	2 <sup>注</sup>	无
<b>查表</b>			
LTABRD [m]	读取特定页的 ROM 内容，并送至数据存储器 and TBLH	3 <sup>注</sup>	无
LTABRDL [m]	读取最后页的 ROM 内容，并送至数据存储器 and TBLH	3 <sup>注</sup>	无
LITABRD [m]	读表指针 TBLP 自加，读取特定页的 ROM 内容，并送至数据存储器 and TBLH	3 <sup>注</sup>	无
LITABRDL [m]	读表指针 TBLP 自加，读取最后页的 ROM 内容，并送至数据存储器 and TBLH	3 <sup>注</sup>	无
<b>其它指令</b>			
LCLR [m]	清除数据存储器	2 <sup>注</sup>	无
LSET [m]	置位数据存储器	2 <sup>注</sup>	无
LSWAP [m]	交换数据存储器的高低字节，结果放入数据存储器	2 <sup>注</sup>	无
LSWAPA [m]	交换数据存储器的高低字节，结果放入 ACC	2	无

注：1. 对扩展跳转指令而言，如果比较的结果牵涉到跳转即需 3 个周期，如果没有发生跳转，则只需两个周期。  
2. 任何扩展指令若要改变 PCL 的内容将需要 3 个周期来执行。

## 指令定义

<b>ADC A, [m]</b>	Add Data Memory to ACC with Carry
指令说明	将指定的数据存储器、累加器内容以及进位标志相加，结果存放到累加器。
功能表示	$ACC \leftarrow ACC + [m] + C$
影响标志位	OV、Z、AC、C、SC
<b>ADCM A, [m]</b>	Add ACC to Data Memory with Carry
指令说明	将指定的数据存储器、累加器内容和进位标志位相加，结果存放到指定的数据存储器。
功能表示	$[m] \leftarrow ACC + [m] + C$
影响标志位	OV、Z、AC、C、SC
<b>ADD A, [m]</b>	Add Data Memory to ACC
指令说明	将指定的数据存储器和累加器内容相加，结果存放到累加器。
功能表示	$ACC \leftarrow ACC + [m]$
影响标志位	OV、Z、AC、C、SC
<b>ADD A, x</b>	Add immediate data to ACC
指令说明	将累加器和立即数相加，结果存放到累加器。
功能表示	$ACC \leftarrow ACC + x$
影响标志位	OV、Z、AC、C、SC
<b>ADDM A, [m]</b>	Add ACC to Data Memory
指令说明	将指定的数据存储器和累加器内容相加，结果存放到指定的数据存储器。
功能表示	$[m] \leftarrow ACC + [m]$
影响标志位	OV、Z、AC、C、SC
<b>AND A, [m]</b>	Logical AND Data Memory to ACC
指令说明	将累加器中的数据和指定数据存储器内容做逻辑与，结果存放到累加器。
功能表示	$ACC \leftarrow ACC \text{ "AND" } [m]$
影响标志位	Z

<b>AND A, x</b>	Logical AND immediate data to ACC
指令说明	将累加器中的数据和立即数做逻辑与，结果存放到累加器。
功能表示	$ACC \leftarrow ACC \text{ “AND” } x$
影响标志位	Z
<b>ANDM A, [m]</b>	Logical AND ACC to Data Memory
指令说明	将指定数据存储器和累加器中的数据做逻辑与，结果存放到数据存储器。
功能表示	$[m] \leftarrow ACC \text{ “AND” } [m]$
影响标志位	Z
<b>CALL addr</b>	Subroutine call
指令说明	无条件地调用指定地址的子程序，此时程序计数器先加 1 获得下一个要执行的指令地址并压入堆栈，接着载入指定地址并从新地址继续执行程序，由于此指令需要额外的运算，所以为一个 2 周期的指令。
功能表示	$Stack \leftarrow Program\ Counter + 1$ $Program\ Counter \leftarrow addr$
影响标志位	无
<b>CLR [m]</b>	Clear Data Memory
指令说明	将指定数据存储器内容清零。
功能表示	$[m] \leftarrow 00H$
影响标志位	无
<b>CLR [m].i</b>	Clear bit of Data Memory
指令说明	将指定数据存储器第 i 位内容清零。
功能表示	$[m].i \leftarrow 0$
影响标志位	无
<b>CLR WDT</b>	Clear Watchdog Timer
指令说明	WDT 计数器、暂停标志位 PDF 和看门狗溢出标志位 TO 清零。
功能表示	WDT cleared $TO \ \& \ PDF \leftarrow 0$
影响标志位	TO、PDF

<p><b>CPL [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p><b>Complement Data Memory</b> 将指定数据存储器中的每一位取逻辑反，相当于从 1 变 0 或 0 变 1。</p> <p><math>[m] \leftarrow \overline{[m]}</math></p> <p>Z</p>
<p><b>CPLA [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p><b>Complement Data Memory with result in ACC</b> 将指定数据存储器中的每一位取逻辑反，相当于从 1 变 0 或 0 变 1，而结果被储存回累加器且数据存储器中的内容不变。</p> <p><math>ACC \leftarrow \overline{[m]}</math></p> <p>Z</p>
<p><b>DAA [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p><b>Decimal-Adjust ACC for addition with result in Data Memory</b> 将累加器中的内容转换为 BCD (二进制转成十进制) 码。如果低四位的值大于“9”或 AC=1，那么 BCD 调整就执行对原值加“6”，否则原值保持不变；如果高四位的值大于“9”或 C=1，那么 BCD 调整就执行对原值加“6”。BCD 转换实质上是根据累加器和标志位执行 00H, 06H, 60H 或 66H 的加法运算，结果存放到数据存储器。只有进位标志位 C 受影响，用来指示原始 BCD 的和是否大于 100，并可以进行双精度十进制数的加法运算。</p> <p><math>[m] \leftarrow ACC + 00H</math> 或  <math>[m] \leftarrow ACC + 06H</math> 或  <math>[m] \leftarrow ACC + 60H</math> 或  <math>[m] \leftarrow ACC + 66H</math></p> <p>C</p>
<p><b>DEC [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p><b>Decrement Data Memory</b> 将指定数据存储器内容减 1。</p> <p><math>[m] \leftarrow [m] - 1</math></p> <p>Z</p>
<p><b>DECA [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p><b>Decrement Data Memory with result in ACC</b> 将指定数据存储器的内容减 1，把结果存放回累加器并保持指定数据存储器的内容不变。</p> <p><math>ACC \leftarrow [m] - 1</math></p> <p>Z</p>

<b>HALT</b>	Enter power down mode
指令说明	此指令终止程序执行并关掉系统时钟，RAM 和寄存器的内容保持原状态，WDT 计数器和分频器被清“0”，暂停标志位 PDF 被置位 1，WDT 溢出标志位 TO 被清 0。
功能表示	$TO \leftarrow 0$ $PDF \leftarrow 1$
影响标志位	TO、PDF
<b>INC [m]</b>	Increment Data Memory
指令说明	将指定数据存储器的内容加 1。
功能表示	$[m] \leftarrow [m] + 1$
影响标志位	Z
<b>INCA [m]</b>	Increment Data Memory with result in ACC
指令说明	将指定数据存储器的内容加 1，结果存放回累加器并保持指定的数据存储器内容不变。
功能表示	$ACC \leftarrow [m] + 1$
影响标志位	Z
<b>JMP addr</b>	Jump unconditionally
指令说明	程序计数器的内容无条件地由被指定的地址取代，程序由新的地址继续执行。当新的地址被加载时，必须插入一个空指令周期，所以此指令为 2 个周期的指令。
功能表示	$Program\ Counter \leftarrow addr$
影响标志位	无
<b>MOV A, [m]</b>	Move Data Memory to ACC
指令说明	将指定数据存储器的内容复制到累加器。
功能表示	$ACC \leftarrow [m]$
影响标志位	无
<b>MOV A, x</b>	Move immediate data to ACC
指令说明	将 8 位立即数载入累加器。
功能表示	$ACC \leftarrow x$
影响标志位	无

<p><b>MOV [m], A</b> 指令说明 功能表示 影响标志位</p>	<p>Move ACC to Data Memory 将累加器的内容复制到指定的数据存储器。 [m] ← ACC 无</p>
<p><b>NOP</b> 指令说明 功能表示 影响标志位</p>	<p>No operation 空操作，接下来顺序执行下一条指令。 无操作 无</p>
<p><b>ORA, [m]</b> 指令说明 功能表示 影响标志位</p>	<p>Logical OR Data Memory to ACC 将累加器中的数据和指定的数据存储器内容逻辑或，结果存放到累加器。 ACC ← ACC “OR” [m] Z</p>
<p><b>ORA, x</b> 指令说明 功能表示 影响标志位</p>	<p>Logical OR immediate data to ACC 将累加器中的数据和立即数逻辑或，结果存放到累加器。 ACC ← ACC “OR” x Z</p>
<p><b>ORM A, [m]</b> 指令说明 功能表示 影响标志位</p>	<p>Logical OR ACC to Data Memory 将存在指定数据存储器中的数据和累加器逻辑或，结果放到数据存储器。 [m] ← ACC “OR” [m] Z</p>
<p><b>RET</b> 指令说明 功能表示 影响标志位</p>	<p>Return from subroutine 将堆栈寄存器中的程序计数器值恢复，程序由取回的地址继续执行。 Program Counter ← Stack 无</p>
<p><b>RET A, x</b> 指令说明 功能表示 影响标志位</p>	<p>Return from subroutine and load immediate data to ACC 将堆栈寄存器中的程序计数器值恢复且累加器载入指定的立即数，程序由取回的地址继续执行。 Program Counter ← Stack ACC ← x 无</p>

<b>RETI</b>	Return from interrupt
指令说明	将堆栈寄存器中的程序计数器值恢复且中断功能通过设置 EMI 位重新使能。EMI 是控制中断使能的主控制位。如果在执行 RETI 指令之前还有中断未被响应，则这个中断将在返回主程序之前被响应。
功能表示	Program Counter ← Stack EMI ← 1
影响标志位	无
<b>RL [m]</b>	Rotate Data Memory left
指令说明	将指定数据存储器的内容左移 1 位，且第 7 位移到第 0 位。
功能表示	[m].(i+1) ← [m].i (i=0~6) [m].0 ← [m].7
影响标志位	无
<b>RLA [m]</b>	Rotate Data Memory left with result in ACC
指令说明	将指定数据存储器的内容左移 1 位，且第 7 位移到第 0 位，结果送到累加器，而指定数据存储器的内容保持不变。
功能表示	ACC.(i+1) ← [m].i (i=0~6) ACC.0 ← [m].7
影响标志位	无
<b>RLC [m]</b>	Rotate Data Memory Left through Carry
指令说明	将指定数据存储器的内容连同进位标志左移 1 位，第 7 位取代进位标志且原本的进位标志移到第 0 位。
功能表示	[m].(i+1) ← [m].i (i=0~6) [m].0 ← C C ← [m].7
影响标志位	C
<b>RLC A [m]</b>	Rotate Data Memory left through Carry with result in ACC
指令说明	将指定数据存储器的内容连同进位标志左移 1 位，第 7 位取代进位标志且原本的进位标志移到第 0 位，移位结果送回累加器，但是指定数据寄存器的内容保持不变。
功能表示	ACC.(i+1) ← [m].i (i=0~6) ACC.0 ← C C ← [m].7
影响标志位	C

<b>RR [m]</b>	Rotate Data Memory right
指令说明	将指定数据存储器的内容循环右移 1 位且第 0 位移到第 7 位。
功能表示	$[m].i \leftarrow [m].(i+1) (i=0\sim6)$ $[m].7 \leftarrow [m].0$
影响标志位	无
<b>RRA [m]</b>	Rotate Data Memory right with result in ACC
指令说明	将指定数据存储器的内容循环右移 1 位，第 0 位移到第 7 位，移位结果存放到累加器，而指定数据存储器的内容保持不变。
功能表示	$ACC.i \leftarrow [m].(i+1) (i=0\sim6)$ $ACC.7 \leftarrow [m].0$
影响标志位	无
<b>RRC [m]</b>	Rotate Data Memory right through Carry
指令说明	将指定数据存储器的内容连同进位标志右移 1 位，第 0 位取代进位标志且原本的进位标志移到第 7 位。
功能表示	$[m].i \leftarrow [m].(i+1) (i=0\sim6)$ $[m].7 \leftarrow C$ $C \leftarrow [m].0$
影响标志位	C
<b>RRCA [m]</b>	Rotate Data Memory right through Carry with result in ACC
指令说明	将指定数据存储器的内容连同进位标志右移 1 位，第 0 位取代进位标志且原本的进位标志移到第 7 位，移位结果送回累加器，但是指定数据寄存器的内容保持不变。
功能表示	$ACC.i \leftarrow [m].(i+1) (i=0\sim6)$ $ACC.7 \leftarrow C$ $C \leftarrow [m].0$
影响标志位	C
<b>SBC A, [m]</b>	Subtract Data Memory from ACC with Carry
指令说明	将累加器减去指定数据存储器的内容以及进位标志的反，结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示	$ACC \leftarrow ACC - [m] - \bar{C}$
影响标志位	OV、Z、AC、C、SC、CZ

<b>SBC A, x</b> 指令说明	Subtract immediate data from ACC with Carry 将累加器减去立即数以及进位标志的反，结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示	$ACC \leftarrow ACC - [m] - \bar{C}$
影响标志位	OV、Z、AC、C、SC、CZ
<b>SBCM A, [m]</b> 指令说明	Subtract Data Memory from ACC with Carry and result in Data Memory 将累加器减去指定数据存储器的内容以及进位标志的反，结果存放到数据存储器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示	$[m] \leftarrow ACC - [m] - \bar{C}$
影响标志位	OV、Z、AC、C、SC、CZ
<b>SDZ [m]</b> 指令说明	Skip if Decrement Data Memory is 0 将指定的数据存储器的内容减 1，判断是否为 0，若为 0 则跳过下一条指令，由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示	$[m] \leftarrow [m] - 1$ ，如果 $[m]=0$ 跳过下一条指令执行
影响标志位	无
<b>SDZA [m]</b> 指令说明	Skip if decrement Data Memory is zero with result in ACC 将指定数据存储器内容减 1，判断是否为 0，如果为 0 则跳过下一条指令，此结果将存放到累加器，但指定数据存储器内容不变。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示	$ACC \leftarrow [m] - 1$ ，如果 $ACC=0$ 跳过下一条指令执行
影响标志位	无
<b>SET [m]</b> 指令说明	Set Data Memory 将指定数据存储器的每一位设置为 1。
功能表示	$[m] \leftarrow FFH$
影响标志位	无

<p><b>SET [m].i</b></p> <p>指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Set bit of Data Memory</p> <p>将指定数据存储器的第 i 位置位为 1。</p> <p><math>[m].i \leftarrow 1</math></p> <p>无</p>
<p><b>SIZ [m]</b></p> <p>指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if increment Data Memory is 0</p> <p>将指定的数据存储器的内容加 1，判断是否为 0，若为 0 则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。</p> <p><math>[m] \leftarrow [m] + 1</math>，如果 <math>[m]=0</math> 跳过下一条指令执行</p> <p>无</p>
<p><b>SIZA [m]</b></p> <p>指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if increment Data Memory is zero with result in ACC</p> <p>将指定数据存储器的内容加 1，判断是否为 0，如果为 0 则跳过下一条指令，此结果会被存放到累加器，但是指定数据存储器的内容不变。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。</p> <p><math>ACC \leftarrow [m] + 1</math>，如果 <math>ACC=0</math> 跳过下一条指令执行</p> <p>无</p>
<p><b>SNZ [m].i</b></p> <p>指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if bit i of Data Memory is not 0</p> <p>判断指定数据存储器的第 i 位，若不为 0，则程序跳过下一条指令执行。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果为 0，则程序继续执行下一条指令。</p> <p>如果 <math>[m].i \neq 0</math>，跳过下一条指令执行</p> <p>无</p>
<p><b>SNZ [m]</b></p> <p>指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if Data Memory is not 0</p> <p>指定数据存储器的内容会先被读出，后又被重新写入指定存储器内。判断指定存储器，若不为 0，则程序跳过下一条指令执行。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果为 0，则程序继续执行下一条指令。</p> <p>如果 <math>[m] \neq 0</math>，跳过下一条指令执行</p> <p>无</p>

<b>SUB A, [m]</b>	Subtract Data Memory from ACC
指令说明	将累加器的内容减去指定的数据存储器的数据，把结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示	$ACC \leftarrow ACC - [m]$
影响标志位	OV、Z、AC、C、SC、CZ
<b>SUBM A, [m]</b>	Subtract Data Memory from ACC with result in Data Memory
指令说明	将累加器的内容减去指定数据存储器的数据，结果存放到指定的数据存储器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示	$[m] \leftarrow ACC - [m]$
影响标志位	OV、Z、AC、C、SC、CZ
<b>SUB A, x</b>	Subtract immediate Data from ACC
指令说明	将累加器的内容减去立即数，结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示	$ACC \leftarrow ACC - x$
影响标志位	OV、Z、AC、C、SC、CZ
<b>SWAP [m]</b>	Swap nibbles of Data Memory
指令说明	将指定数据存储器的低 4 位和高 4 位互相交换。
功能表示	$[m].3 \sim [m].0 \leftrightarrow [m].7 \sim [m].4$
影响标志位	无
<b>SWAPA [m]</b>	Swap nibbles of Data Memory with result in ACC
指令说明	将指定数据存储器的低 4 位与高 4 位互相交换，再将结果存放到累加器且指定数据寄存器的数据保持不变。
功能表示	$ACC.3 \sim ACC.0 \leftarrow [m].7 \sim [m].4$ $ACC.7 \sim ACC.4 \leftarrow [m].3 \sim [m].0$
影响标志位	无

<p><b>SZ [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if Data Memory is 0</p> <p>指定数据存储器的内容会先被读出，后又被重新写入指定存储器内。判断指定数据存储器的内容是否为 0，若为 0，则程序跳过下一条指令执行。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。</p> <p>如果 [m]=0，跳过下一条指令执行</p> <p>无</p>
<p><b>SZA [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if Data Memory is 0 with data movement to ACC</p> <p>将指定存储器内容复制到累加器，并判断指定存储器内容是否为 0，若为 0 则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。</p> <p>ACC ←[m]，如果 [m]=0，跳过下一条指令执行</p> <p>无</p>
<p><b>SZ [m].i</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if bit i of Data Memory is 0</p> <p>判断指定存储器的第 i 位是否为 0，若为 0，则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 2 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。</p> <p>如果 [m].i=0，跳过下一条指令执行</p> <p>无</p>
<p><b>TABRD [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Read table (specific page) to TBLH and Data Memory</p> <p>将表格指针对 TBHP 和 TBLP 所指的程序代码低字节 (指定页) 移至指定存储器且将高字节移至 TBLH。</p> <p>[m] ← 程序代码 (低字节)</p> <p>TBLH ← 程序代码 (高字节)</p> <p>无</p>
<p><b>TABRDL [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Read table (last page) to TBLH and Data Memory</p> <p>将表格指针 TBLP 所指的程序代码低字节 (最后一页) 移至指定存储器且将高字节移至 TBLH。</p> <p>[m] ← 程序代码 (低字节)</p> <p>TBLH ← 程序代码 (高字节)</p> <p>无</p>

<b>ITABRD [m]</b>	Increment table pointer low byte first and read table (specific page) to TBLH and data memory
指令说明	自加表格指针低字节 TBLP，将表格指针对 TBHP 和 TBLP 所指的程序代码低字节 (指定页) 移至指定的数据存储器且将高字节移至 TBLH。
功能表示	[m] ← 程序代码 (低字节) TBLH ← 程序代码 (高字节)
影响标志位	无
<b>ITABRDL [m]</b>	Increment table pointer low byte first and read table (last page) to TBLH and data memory
指令说明	自加表格指针低字节 TBLP，将表格指针 TBLP 所指的程序代码低字节 (最后一页) 移至指定的数据存储器且将高字节移至 TBLH。
功能表示	[m] ← 程序代码 (低字节) TBLH ← 程序代码 (高字节)
影响标志位	无
<b>XOR A, [m]</b>	Logical XOR Data Memory to ACC
指令说明	将累加器的数据和指定的数据存储器内容逻辑异或，结果存放到累加器。
功能表示	ACC ← ACC “XOR” [m]
影响标志位	Z
<b>XORM A, [m]</b>	Logical XOR ACC to Data Memory
指令说明	将累加器的数据和指定的数据存储器内容逻辑异或，结果放到数据存储器。
功能表示	[m] ← ACC “XOR” [m]
影响标志位	Z
<b>XOR A, x</b>	Logical XOR immediate data to ACC
指令说明	将累加器的数据与立即数逻辑异或，结果存放到累加器。
功能表示	ACC ← ACC “XOR” x
影响标志位	Z

## 扩展指令定义

扩展指令被用来直接存取存储在任何数据存储器 Sector 中的数据。

<b>LADC A, [m]</b>	Add Data Memory to ACC with Carry
指令说明	将指定的数据存储器、累加器内容以及进位标志相加，结果存放到累加器。
功能表示	$ACC \leftarrow ACC + [m] + C$
影响标志位	OV、Z、AC、C、SC
<b>LADCM A, [m]</b>	Add ACC to Data Memory with Carry
指令说明	将指定的数据存储器、累加器内容和进位标志位相加，结果存放到指定的数据存储器。
功能表示	$[m] \leftarrow ACC + [m] + C$
影响标志位	OV、Z、AC、C、SC
<b>LADD A, [m]</b>	Add Data Memory to ACC
指令说明	将指定的数据存储器和累加器内容相加，结果存放到累加器。
功能表示	$ACC \leftarrow ACC + [m]$
影响标志位	OV、Z、AC、C、SC
<b>LADDM A, [m]</b>	Add ACC to Data Memory
指令说明	将指定的数据存储器和累加器内容相加，结果存放到指定的数据存储器。
功能表示	$[m] \leftarrow ACC + [m]$
影响标志位	OV、Z、AC、C、SC
<b>LAND A, [m]</b>	Logical AND Data Memory to ACC
指令说明	将累加器中的数据和指定数据存储器内容做逻辑与，结果存放到累加器。
功能表示	$ACC \leftarrow ACC \text{ "AND" } [m]$
影响标志位	Z
<b>LANDM A, [m]</b>	Logical AND ACC to Data Memory
指令说明	将指定数据存储器内容和累加器中的数据做逻辑与，结果存放到数据存储器。
功能表示	$[m] \leftarrow ACC \text{ "AND" } [m]$
影响标志位	Z

<b>LCLR [m]</b>	Clear Data Memory
指令说明	将指定数据存储器的内容清零。
功能表示	$[m] \leftarrow 00H$
影响标志位	无
<b>LCLR [m].i</b>	Clear bit of Data Memory
指令说明	将指定数据存储器的第 i 位内容清零。
功能表示	$[m].i \leftarrow 0$
影响标志位	无
<b>LCPL [m]</b>	Complement Data Memory
指令说明	将指定数据存储器中的每一位取逻辑反， 相当于从 1 变 0 或 0 变 1。
功能表示	$[m] \leftarrow \overline{[m]}$
影响标志位	Z
<b>LCPLA [m]</b>	Complement Data Memory with result in ACC
指令说明	将指定数据存储器中的每一位取逻辑反，相当于从 1 变 0 或 0 变 1，结果被存放回累加器且数据寄存器的内容保持 不变。
功能表示	$ACC \leftarrow \overline{[m]}$
影响标志位	Z
<b>LDAA [m]</b>	Decimal-Adjust ACC for addition with result in Data Memory
指令说明	将累加器中的内容转换为 BCD (二进制转成十进制) 码。 如果低四位的值大于“9”或 AC=1，那么 BCD 调整就执行 对低四位加“6”，否则低四位保持不变；如果高四位的 值大于“9”或 C=1，那么 BCD 调整就执行对高四位加“6”。 BCD 转换实质上是根据累加器和标志位执行 00H，06H， 60H 或 66H 的加法运算，结果存放到数据存储器。只有进 位标志位 C 受影响，用来指示原始 BCD 的和是否大于 100，并可以进行双精度十进制数的加法运算。
功能表示	$[m] \leftarrow ACC + 00H$ 或 $[m] \leftarrow ACC + 06H$ 或 $[m] \leftarrow ACC + 60H$ 或 $[m] \leftarrow ACC + 66H$
影响标志位	C

<b>LDEC [m]</b> 指令说明 功能表示 影响标志位	Decrement Data Memory 将指定数据存储器的内容减 1。 $[m] \leftarrow [m] - 1$ Z
<b>LDECA [m]</b> 指令说明 功能表示 影响标志位	Decrement Data Memory with result in ACC 将指定数据存储器的内容减 1，把结果存放回累加器并保持指定数据存储器的内容不变。 $ACC \leftarrow [m] - 1$ Z
<b>LINC [m]</b> 指令说明 功能表示 影响标志位	Increment Data Memory 将指定数据存储器的内容加 1。 $[m] \leftarrow [m] + 1$ Z
<b>LINCA [m]</b> 指令说明 功能表示 影响标志位	Increment Data Memory with result in ACC 将指定数据存储器的内容加 1，结果存放回累加器并保持指定的数据存储器内容不变。 $ACC \leftarrow [m] + 1$ Z
<b>LMOV A, [m]</b> 指令说明 功能表示 影响标志位	Move Data Memory to ACC 将指定数据存储器的内容复制到累加器中。 $ACC \leftarrow [m]$ 无
<b>LMOV [m], A</b> 指令说明 功能表示 影响标志位	Move ACC to Data Memory 将累加器的内容复制到指定数据存储器。 $[m] \leftarrow ACC$ 无
<b>LOR A, [m]</b> 指令说明 功能表示 影响标志位	Logical OR Data Memory to ACC 将累加器中的数据和指定的数据存储器内容逻辑或，结果存放到累加器。 $ACC \leftarrow ACC \text{ "OR" } [m]$ Z

<b>LORMA, [m]</b>	Logical OR ACC to Data Memory
指令说明	将存在指定数据存储器中的数据 and 累加器逻辑或，结果放到数据存储器。
功能表示	$[m] \leftarrow \text{ACC} \text{ "OR" } [m]$
影响标志位	Z
<b>LRL [m]</b>	Rotate Data Memory left
指令说明	将指定数据存储器的内容左移 1 位，且第 7 位移到第 0 位。
功能表示	$[m].(i+1) \leftarrow [m].i \ (i=0\sim6)$ $[m].0 \leftarrow [m].7$
影响标志位	无
<b>LRLA [m]</b>	Rotate Data Memory left with result in ACC
指令说明	将指定数据存储器的内容左移 1 位，且第 7 位移到第 0 位，结果送到累加器，而指定数据存储器的内容保持不变。
功能表示	$\text{ACC}.(i+1) \leftarrow [m].i \ (i=0\sim6)$ $\text{ACC}.0 \leftarrow [m].7$
影响标志位	无
<b>LRLC [m]</b>	Rotate Data Memory Left through Carry
指令说明	将指定数据存储器的内容连同进位标志左移 1 位，第 7 位取代进位标志且原本的进位标志移到第 0 位。
功能表示	$[m].(i+1) \leftarrow [m].i \ (i=0\sim6)$ $[m].0 \leftarrow C$ $C \leftarrow [m].7$
影响标志位	C
<b>LRLCA [m]</b>	Rotate Data Memory left through Carry with result in ACC
指令说明	将指定数据存储器的内容连同进位标志左移 1 位，第 7 位取代进位标志且原本的进位标志移到第 0 位，移位结果送回累加器，但是指定数据寄存器的内容保持不变。
功能表示	$\text{ACC}.(i+1) \leftarrow [m].i \ (i=0\sim6)$ $\text{ACC}.0 \leftarrow C$ $C \leftarrow [m].7$
影响标志位	C

<b>LRR [m]</b>	Rotate Data Memory right
指令说明	将指定数据存储器的内容循环右移 1 位且第 0 位移到第 7 位。
功能表示	$[m].i \leftarrow [m].(i+1) (i=0\sim6)$ $[m].7 \leftarrow [m].0$
影响标志位	无
<b>LRRA [m]</b>	Rotate Data Memory right with result in ACC
指令说明	将指定数据存储器的内容循环右移 1 位，第 0 位移到第 7 位，移位结果存放到累加器，而指定数据存储器的内容保持不变。
功能表示	$ACC.i \leftarrow [m].(i+1) (i=0\sim6)$ $ACC.7 \leftarrow [m].0$
影响标志位	无
<b>LRRC [m]</b>	Rotate Data Memory right through Carry
指令说明	将指定数据存储器的内容连同进位标志右移 1 位，第 0 位取代进位标志且原本的进位标志移到第 7 位。
功能表示	$[m].i \leftarrow [m].(i+1) (i=0\sim6)$ $[m].7 \leftarrow C$ $C \leftarrow [m].0$
影响标志位	C
<b>LRRC A [m]</b>	Rotate Data Memory right through Carry with result in ACC
指令说明	将指定数据存储器的内容连同进位标志右移 1 位，第 0 位取代进位标志且原本的进位标志移到第 7 位，移位结果送回累加器，但是指定数据寄存器的内容保持不变。
功能表示	$ACC.i \leftarrow [m].(i+1) (i=0\sim6)$ $ACC.7 \leftarrow C$ $C \leftarrow [m].0$
影响标志位	C
<b>LSBC A, [m]</b>	Subtract Data Memory from ACC with Carry
指令说明	将累加器减去指定数据存储器的内容以及进位标志的反，结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示	$ACC \leftarrow ACC - [m] - \bar{C}$
影响标志位	OV、Z、AC、C、SC、CZ

<b>LSBCMA, [m]</b>	Subtract Data Memory from ACC with Carry and result in Data Memory
指令说明	将累加器减去指定数据存储器的内容以及进位标志的反，结果存放到数据存储器。如果结果为负，C标志位清除为0，反之结果为正或0，C标志位设置为1。
功能表示	$[m] \leftarrow ACC - [m] - \bar{C}$
影响标志位	OV、Z、AC、C、SC、CZ
<b>LSDZ [m]</b>	Skip if Decrement Data Memory is 0
指令说明	将指定的数据存储器的内容减1，判断是否为0，若为0则跳过下一条指令，由于取得下一个指令时会要求插入一个空指令周期，所以此指令为3个周期的指令。如果结果不为0，则程序继续执行下一条指令。
功能表示	$[m] \leftarrow [m] - 1$ ，如果 $[m]=0$ 跳过下一条指令执行
影响标志位	无
<b>LSDZA [m]</b>	Skip if decrement Data Memory is zero with result in ACC
指令说明	将指定数据存储器内容减1，判断是否为0，如果为0则跳过下一条指令，此结果将存放到累加器，但指定数据存储器内容不变。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为3个周期的指令。如果结果不为0，则程序继续执行下一条指令。
功能表示	$ACC \leftarrow [m] - 1$ ，如果 $ACC=0$ 跳过下一条指令执行
影响标志位	无
<b>LSET [m]</b>	Set Data Memory
指令说明	将指定数据存储器的每一个位置位为1。
功能表示	$[m] \leftarrow FFH$
影响标志位	无
<b>LSET [m].i</b>	Set bit of Data Memory
指令说明	将指定数据存储器的第i位置位为1。
功能表示	$[m].i \leftarrow 1$
影响标志位	无

<p><b>LSIZ [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if increment Data Memory is 0</p> <p>将指定的数据存储器的内容加 1，判断是否为 0，若为 0 则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 3 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。</p> <p><math>[m] \leftarrow [m] + 1</math>，如果 <math>[m]=0</math> 跳过下一条指令执行</p> <p>无</p>
<p><b>LSIZA [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if increment Data Memory is zero with result in ACC</p> <p>将指定数据存储器的内容加 1，判断是否为 0，如果为 0 则跳过下一条指令，此结果会被存放累加器，但是指定数据存储器的内容不变。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 3 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。</p> <p><math>ACC \leftarrow [m] + 1</math>，如果 <math>ACC=0</math> 跳过下一条指令执行</p> <p>无</p>
<p><b>LSNZ [m].i</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if bit i of Data Memory is not 0</p> <p>判断指定数据存储器的第 i 位，若不为 0，则程序跳过下一条指令执行。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 3 个周期的指令。如果结果为 0，则程序继续执行下一条指令。</p> <p>如果 <math>[m].i \neq 0</math>，跳过下一条指令执行</p> <p>无</p>
<p><b>LSNZ [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if Data Memory is not 0</p> <p>指定数据存储器的内容会先被读出，后又被重新写入指定数据存储器内。判断指定数据存储器，若不为 0，则程序跳过下一条指令执行。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 3 个周期的指令。如果结果为 0，则程序继续执行下一条指令。</p> <p>如果 <math>[m] \neq 0</math>，跳过下一条指令执行</p> <p>无</p>
<p><b>LSUBA, [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Subtract Data Memory from ACC</p> <p>将累加器的内容减去指定的数据存储器的数据，把结果存放到累加器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。</p> <p><math>ACC \leftarrow ACC - [m]</math></p> <p>OV、Z、AC、C、SC、CZ</p>

<b>LSUBM A, [m]</b> 指令说明	Subtract Data Memory from ACC with result in Data Memory 将累加器的内容减去指定数据存储器中的数据，结果存放到指定的数据存储器。如果结果为负，C 标志位清除为 0，反之结果为正或 0，C 标志位设置为 1。
功能表示	$[m] \leftarrow ACC - [m]$
影响标志位	OV、Z、AC、C、SC、CZ
<b>LSWAP [m]</b> 指令说明	Swap nibbles of Data Memory 将指定数据存储器的低 4 位和高 4 位互相交换。
功能表示	$[m].3 \sim [m].0 \leftrightarrow [m].7 \sim [m].4$
影响标志位	无
<b>LSWAPA [m]</b> 指令说明	Swap nibbles of Data Memory with result in ACC 将指定数据存储器的低 4 位和高 4 位互相交换，再将结果存放到累加器且指定数据寄存器的数据保持不变。
功能表示	$ACC.3 \sim ACC.0 \leftarrow [m].7 \sim [m].4$ $ACC.7 \sim ACC.4 \leftarrow [m].3 \sim [m].0$
影响标志位	无
<b>LSZ [m]</b> 指令说明	Skip if Data Memory is 0 指定数据存储器的内容会先被读出，后又被重新写入指定数据存储器内。判断指定数据存储器的内容是否为 0，若为 0，则程序跳过下一条指令执行。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 3 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示	如果 $[m]=0$ ，跳过下一条指令执行
影响标志位	无
<b>LSZA [m]</b> 指令说明	Skip if Data Memory is 0 with data movement to ACC 将指定数据存储器内容复制到累加器，并判断指定数据存储器内容是否为 0，若为 0 则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 3 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。
功能表示	$ACC \leftarrow [m]$ ，如果 $[m]=0$ ，跳过下一条指令执行
影响标志位	无

<p><b>LSZ [m].i</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Skip if bit i of Data Memory is 0 判断指定数据存储器的第 i 位是否为 0，若为 0，则跳过下一条指令。由于取得下一个指令时会要求插入一个空指令周期，所以此指令为 3 个周期的指令。如果结果不为 0，则程序继续执行下一条指令。</p> <p>如果 [m].i=0，跳过下一条指令执行</p> <p>无</p>
<p><b>LTABRD [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Move the ROM code (specific page) to TBLH and data memory 将表格指针对 TBHP 和 TBLP 所指的程序代码低字节 (指定页) 移至指定数据存储器且将高字节移至 TBLH。</p> <p>[m] ← 程序代码 (低字节) TBLH ← 程序代码 (高字节)</p> <p>无</p>
<p><b>LTABRDL [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Read table (last page) to TBLH and Data Memory 将表格指针 TBLP 所指的程序代码低字节 (最后一页) 移至指定数据存储器且将高字节移至 TBLH。</p> <p>[m] ← 程序代码 (低字节) TBLH ← 程序代码 (高字节)</p> <p>无</p>
<p><b>LITABRD [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Increment table pointer low byte first and read table (specific page) to TBLH and data memory 自加表格指针低字节 TBLP，将表格指针对 TBHP 和 TBLP 所指的程序代码低字节 (指定页) 移至指定的数据存储器且将高字节移至 TBLH。</p> <p>[m] ← 程序代码 (低字节) TBLH ← 程序代码 (高字节)</p> <p>无</p>
<p><b>LITABRDL [m]</b> 指令说明</p> <p>功能表示</p> <p>影响标志位</p>	<p>Increment table pointer low byte first and read table (last page) to TBLH and data memory 自加表格指针低字节 TBLP，将表格指针 TBLP 所指的程序代码低字节 (最后一页) 移至指定的数据存储器且将高字节移至 TBLH。</p> <p>[m] ← 程序代码 (低字节) TBLH ← 程序代码 (高字节)</p> <p>无</p>

<b>LXOR A, [m]</b>	Logical XOR Data Memory to ACC
指令说明	将累加器的数据和指定的数据存储器内容逻辑异或，结果存放到累加器。
功能表示	$ACC \leftarrow ACC \text{ “XOR” } [m]$
影响标志位	Z
<b>LXORM A, [m]</b>	Logical XOR ACC to Data Memory
指令说明	将累加器的数据和指定的数据存储器内容逻辑异或，结果放到数据存储器。
功能表示	$[m] \leftarrow ACC \text{ “XOR” } [m]$
影响标志位	Z

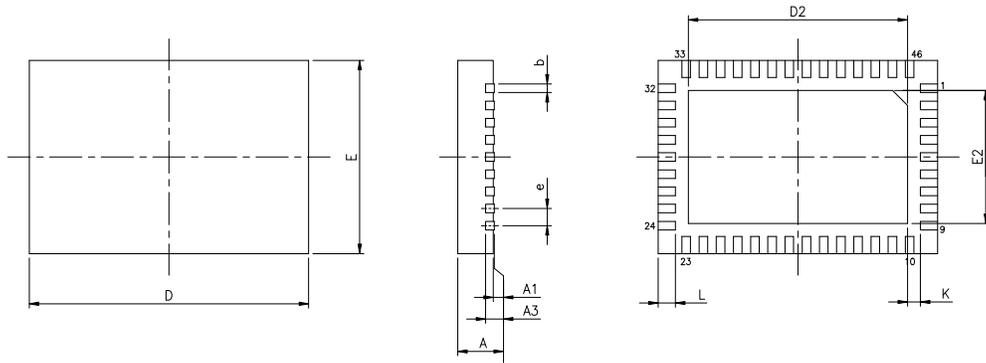
## 封装信息

请注意，这里提供的封装信息仅作为参考。由于这个信息经常更新，提醒用户咨询 [Holtek 网站](#) 以获取最新版本的[封装信息](#)。

封装信息的相关内容如下所示，点击可链接至 Holtek 网站相关信息页面。

- 封装信息 (包括外形尺寸、包装带和卷轴规格)
- 封装材料信息
- 纸箱信息

## SAW Type 46-pin QFN (6.5mm×4.5mm×0.75mm) 外形尺寸



符号	尺寸 (单位: inch)		
	最小值	典型值	最大值
A	0.028	0.030	0.031
A1	0.000	0.001	0.002
A3	—	0.008 BSC	—
b	0.006	0.008	0.010
D	—	0.256 BSC	—
E	—	0.177 BSC	—
e	—	0.016 BSC	—
D2	0.197	—	0.205
E2	0.118	—	0.126
L	0.014	0.016	0.018
K	0.008	—	—

符号	尺寸 (单位: mm)		
	最小值	典型值	最大值
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
A3	—	0.203 BSC	—
b	0.15	0.20	0.25
D	—	6.50 BSC	—
E	—	4.50 BSC	—
e	—	0.40 BSC	—
D2	5.00	—	5.20
E2	3.00	—	3.20
L	0.35	0.40	0.45
K	0.20	—	—

Copyright® 2023 by HOLTEK SEMICONDUCTOR INC. All Rights Reserved.

本文件出版时 HOLTEK 已针对所载信息为合理注意，但不保证信息准确无误。文中提到的信息仅是提供作为参考，且可能被更新取代。HOLTEK 不担保任何明示、默示或法定的，包括但不限于适合商品化、令人满意的质量、规格、特性、功能与特定用途、不侵害第三方权利等保证责任。HOLTEK 就文中提到的信息及该信息之应用，不承担任何法律责任。此外，HOLTEK 并不推荐将 HOLTEK 的产品使用在会由于故障或其他原因而可能会对人身安全造成危害的地方。HOLTEK 特此声明，不授权将产品使用于救生、维生或安全关键零部件。在救生 / 维生或安全应用中使用 HOLTEK 产品的风险完全由买方承担，如因该等使用导致 HOLTEK 遭受损害、索赔、诉讼或产生费用，买方同意出面进行辩护、赔偿并使 HOLTEK 免受损害。HOLTEK ( 及其授权方，如适用 ) 拥有本文件所提供信息 ( 包括但不限于内容、数据、示例、材料、图形、商标 ) 的知识产权，且该信息受著作权法和其他知识产权法的保护。HOLTEK 在此并未明示或暗示授予任何知识产权。HOLTEK 拥有不事先通知而修改本文件所载信息的权利。如欲取得最新的信息，请与我们联系。